OPAx994-Q1 具有无限容性负载驱动能力的汽车类 24V、轨到轨输入和输出、25MHz、150mA 输出电流运算放大器

1 特性

- 宽电源电压：2.7 V 至 24 V
- 轨到轨输入和输出
- 宽带宽：25MHz GBW，单位增益稳定
- 无限容性负载驱动能力
  - 驱动 10µF 和 1MΩ 负载时，相位裕度为 60°
- 高输出电流驱动：±150mA
- 低失调电压：±200µV（典型值）
- 低失调电压漂移：±0.17µV/°C（典型值）
- 低噪声：1kHz 时为 12nV/√Hz
- 高共模抑制：135 dB
- 高压摆率：18 V/µs
- 低静态电流：每个放大器 1.25 mA

2 应用

- 针对 AEC-Q100 1 级应用进行了优化
- 混合动力汽车/电动汽车逆变器和电机控制
- HEV/EV 直流/直流转换器
- 车载充电器 (OBC) 和无线充电器
- 交流充电（桩）站
- GFCI 故障检测与测试
- 软件定义无线电
- 高侧和低侧电流检测

3 说明

OPAx994-Q1 系列（OPA994-Q1 和 OPA2994-Q1）是高电压 (24V) 轨到轨输入和输出 (RRIO) 运算放大器系列。这些器件具有出色的交流性能，包括 25MHz 的宽单位带宽增益积和 18V/µs 的高压摆率，同时每通道仅需 1.25mA 的静态电流。

OPAx994-Q1 系列用于在各种容性负载下保持稳定性。例如，当驱动 10µF 的大容性负载和 1MΩ 的负载电阻时，OPAx994-Q1 能够实现 60 度的相位裕度。OPAx994-Q1 采用补偿架构设计，可缓解大容性负载下的持续振铃。这使得具有可变或未知的大容性负载的系统具有可靠的性能并易于设计。

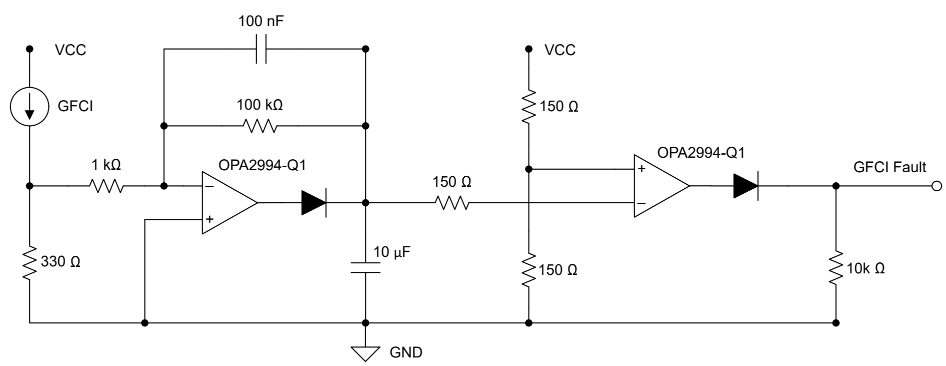
这些器件还具有出色的直流精度，包括 150mA/通道的高短路输出电流、低失调电压（典型值为 ±200µV）、低温漂（典型值为 ±0.17µV/°C）和 135dB 的高 CMRR，适用于主输入对范围内的高电压运行。因此，OPAx994-Q1 是灵活、稳健且高性能的运算放大器，适用于高电压汽车应用。

器件信息

器件型号[1]	通道数	封装	封装尺寸[3]
OPA994-Q1	单通道	DBV（SOT-23，5）[2]	2.90mm x 2.80mm
OPA2994-Q1	双通道	D（SOIC，8）[2]	4.90mm × 6.00mm
		DGK（VSSOP，8）[2]	3.00mm x 4.90mm

(1) 有关详细信息，请参阅 节 10。
(2) 此封装为仅预发布状态。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

ADVANCE INFORMATION



OPAx994-Q1 位于电动汽车服务设备 (EVSE) 接地故障断路器 (GFCI) 故障检测和测试电路中

ADVANCE INFORMATION

内容

4 引脚配置和功能

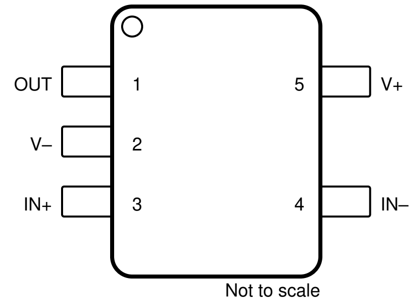


图 4-1. OPA994-Q1 DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能：OPA994-Q1

引脚		类型[(1)]	说明
名称	编号		
IN+	3	I	同相输入
IN–	4	I	反相输入
OUT	1	O	输出
V+	5	—	正（最高）电源
V–	2	—	负电源（最低）

(1) I = 输入，O = 输出

ADVANCE INFORMATION

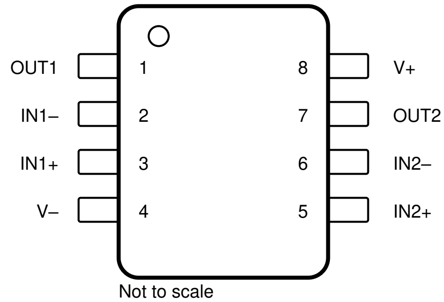


图 4-2. OPA2994-Q1 D 和 DGK 封装，8 引脚 SOIC 和 VSSOP（顶视图）

表 4-2. 引脚功能：OPA2994-Q1

引脚		类型[(1)]	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V+	8	—	正（最高）电源
V –	4	—	负电源（最低）

(1) I = 输入，O = 输出

ADVANCE INFORMATION

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	24	V
信号输入引脚	共模电压[(3)]	(V–) – 0.5	(V+) + 0.5	V
	差分电压[(4)]		±0.5	V
	电流[(3)]		±10	mA
输出短路[(2)]		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 如果在超出*绝对最大额定值*下列出的额定值的情况下运行器件，则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力等级，该器件并未设计为在*建议运行条件*中指定的条件之外运行。如果长时间暴露于*建议运行条件*之外的任何条件（包括绝对最大额定条件）下，则可能影响器件的可靠性和性能。
(2) 接地短路，每个封装对应一个放大器。延长的短路电流，特别是在较高的电源电压下，会导致过热并最终导致毁坏。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(4) 输入引脚通过背对背二极管进行连接，以实现输入保护。如果差分输入电压可能超过 0.5V，则将输入电流限制在 10mA 或更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	2.7	24	V
V_I	共模电压范围	(V-) – 0.1	(V+) + 0.1	V
T_A	额定温度	-40	125	°C

ADVANCE INFORMATION

ADVANCE INFORMATION

5.4 单通道器件的热性能信息

热指标[(1)]		OPA994-Q1 DBV (SOT-23) 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	TBD	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	待定	°C/W
$R_{\theta JB}$	结至电路板热阻	TBD	°C/W
ψ_{JT}	结至顶部特征参数	TBD	°C/W
ψ_{JB}	结至电路板特征参数	TBD	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	待定	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

5.5 双通道器件的热性能信息

热指标[(1)]		OPA2994-Q1		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	待定	待定	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	待定	待定	°C/W
$R_{\theta JB}$	结至电路板热阻	待定	待定	°C/W
ψ_{JT}	结至顶部特征参数	待定	待定	°C/W
ψ_{JB}	结至电路板特征参数	待定	待定	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	待定	待定	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

5.6 电气特性

T_A = 25°C 时，V_S = (V+) – (V–) = 2.7V 至 24 V（±1.35V 至 ±12 V）、R_L = 10kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.2	±1	mV
			T_A = –40°C 至 125°C			±1.2	
dV_{OS}/dT	输入失调电压漂移	V_{CM} = V–	T_A = –40°C 至 125°C		±0.17		μV/℃
PSRR	输入失调电压与电源间的关系	V_{CM} = V–，V_S = 5V 至 24V	T_A = –40°C 至 125°C		±3.5	±22	μV/V
PSRR	输入失调电压与电源间的关系	V_{CM} = V–，V_S = 2.7V 至 24V	T_A = –40°C 至 125°C			±60(1)	μV/V
	直流通道隔离				1		μV/V
输入偏置电流							
I_B	输入偏置电流				±400	±1500	nA
I_{OS}	输入失调电流				±2		nA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			1.8		μV_{PP}
					0.3		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			12		nV/√Hz
		f = 10kHz			11		
i_N	输入电流噪声密度	f = 1kHz			1		pA/√Hz
输入电压范围							
V_{CM}	共模输入电压范围			(V-) – 0.1		(V+) + 0.1	V
V_{Diff}	差分输入电压范围					±0.5	V
CMRR	共模抑制比	V_S = 24V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = –40°C 至 125°C	115	135		dB
		V_S = 5V，V– < V_{CM} < (V+) – 2V（主输入对）(1)		105	120		
		V_S = 2.7V，V– < V_{CM} < (V+) – 2V（主输入对）			100		
		V_S = 2.7 – 24V，(V+) – 1V < V_{CM} < V+（辅助输入对）			95		
		(V+) – 2V < V_{CM} < (V+) – 1V	T_A = –40°C 至 125°C		请参阅		
输入阻抗							
Z_{ID}	差分				10 || 3		MΩ || pF
Z_{ICM}	共模				1 || 1		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 24V，V_{CM} = V_S/2，(V–) + 1V < V_O < (V+) – 1V		80	87		dB
			T_A = –40°C 至 125°C		87		
		V_S = 5V，V_{CM} = V_S/2，(V–) + 1 V < V_O < (V+) – 1 V(1)		75	80		
			T_A = –40°C 至 125°C		80		
		V_S = 2.7V，V_{CM} = V_S/2，(V–) + 1 V < V_O < (V+) – 1 V(1)		75	80		
			T_A = –40°C 至 125°C		80		

ADVANCE INFORMATION

5.6 电气特性（续）

T_A = 25°C 时，V_S = (V+) – (V–) = 2.7V 至 24 V（±1.35V 至 ±12 V）、R_L = 10kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积				25		MHz
SR	压摆率	V_S = 24V，V_{STEP} = 10V，G = +1，C_L = 20pF[6]			18		V/μs
t_S	趋稳时间	精度达到 0.1%，V_S = 24V，V_{STEP} = 10V，G = +1，C_L = 50pF			0.15		μs
		精度达到 0.1%，V_S = 24V，V_{STEP} = 10V，G = +1，C_L = 500pF			0.5		
		精度达到 0.01%，V_S = 24V，V_{STEP} = 10V，G = +1，C_L = 50pF			0.65		
		精度达到 0.01%，V_S = 24V，V_{STEP} = 10V，G = +1，C_L = 500pF			1		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF			55		°
	过载恢复时间	V_{IN} × 增益 > V_S			200		ns
THD+N	总谐波失真 + 噪声	V_S = 24V，V_O = 3 V_{RMS}，G = 1，f = 1kHz，R_L = 10kΩ			0.0001%		
					120		dB
		V_S = 10V，V_O = 3V_{RMS}，G = 1，f = 1kHz，R_L = 128Ω			0.001%		
					100		dB
		V_S = 10V，V_O = 0.4V_{RMS}，G = 1，f = 1kHz，R_L = 32Ω			0.00032%		
					110		dB
输出							
	相对于电源轨的电压输出摆幅	正负 电源轨余量	V_S = 24V，R_L = 空载		35		mV
			V_S = 24V，R_L = 10kΩ		45	55	
			V_S = 24V，R_L = 2kΩ		60	70	
			V_S = 5V，R_L = 空载		35		
			V_S = 5V，R_L = 10kΩ		40	45	
			V_S = 5V，R_L = 2kΩ		45	50	
			V_S = 2.7V，R_L = 空载		30		
			V_S = 2.7V，R_L = 10kΩ		35	40	
			V_S = 2.7V，R_L = 2kΩ		40	50	
I_{SC}	短路电流	V_S = 24 V		±62	±150		mA
		V_S = 5V[1]		±50	±100		
		V_S = 2.7V[1]		±45	±65		
C_{LOAD}	容性负载驱动				无限；请参阅		pF
Z_O	开环输出阻抗	I_O = 0A			请参阅		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			1.25	1.7	mA
I_Q	每个放大器的静态电流		T_A = –40°C 至 125°C			2.1	mA

(1) 仅由特性确定。
(2) 有关更多信息，请参阅。

6 详细说明

6.1 概述

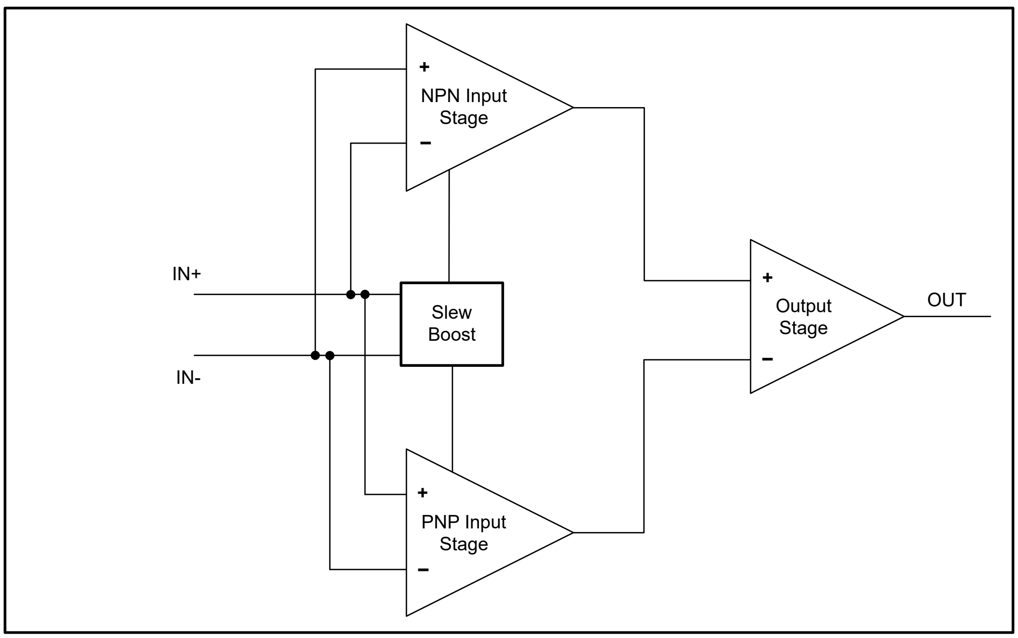
OPAx994-Q1 系列（OPA994-Q1 和 OPA2994-Q1）是高电压 (24V) 通用运算放大器系列。

当不存在容性负载时，OPAx994-Q1 系列具有 25MHz 的宽增益带宽。这些器件具有无限容性负载驱动能力，能够驱动大容性负载而不会出现持续振荡。

这些器件还具有出色的直流精度，包括轨到轨输入/输出、低失调电压（典型值为 ±200μV）和低温漂（典型值为 ±0.17μV/°C）。

OPAx994-Q1 具有独特功能，例如无限容性负载驱动能力、高短路电流（典型值为 ±150mA）和高压摆率（典型值为 18V/μs），是一款极其灵活、稳健且高性能的运算放大器，适用于各种高电压汽车应用。

6.2 功能方框图



ADVANCE INFORMATION

6.3 特性说明

6.3.1 无限容性负载驱动

设计运算放大器电路时面临的挑战之一是，验证运算放大器在驱动容性负载时是否稳定。OPAx994-Q1 采用具有无限容性负载驱动 (UCLD) 功能的独特架构，用于防止在驱动大容性负载时放大器输出信号出现持续振荡。这是通过在容性负载增加时保持可接受的相位裕度来实现的。

不稳定的运算放大器电路将具有不可预测或意外的输出，并且瞬态性能较差。当输入或负载发生变化时，这通常会导致较大的过冲和振铃，但也可能导致持续振荡。将负载电容器 CL 连接到放大器的输出端时，可能会出现一种导致运算放大器不稳定的常见情形。这种不稳定性是运算放大器内部输出阻抗 Zo 所致，该阻抗会与 CL 形成一个第二极点。

OPAx994-Q1 系列的 UCLD 具有专有输出补偿结构，能够检测输出端的电容，并调整内部极点和零点结构，以实现可接受的相位裕度。这种行为是 UCLD 器件所特有的，并允许运算放大器在更大的容性负载（与传统放大器相比）下保持稳定。

为了保持可接受的相位裕度，UCLD 器件会在较大的容性负载下降低增益带宽积。在没有很大容性负载的情况下，OPAx994-Q1 的额定增益带宽积为 25MHz，但在传统放大器开始变得不稳定时，该值将开始减小。这种折衷可扩展输出驱动能力。 OPAx994-Q1 采用宽增益带宽积设计，可确保为很多具有更高容性负载的通用应用留出余量。

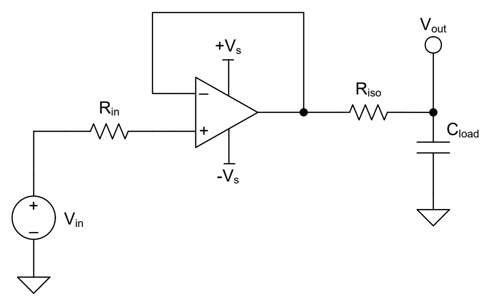


图 **6-1. 使用 OPAx994-Q1 扩展容性负载驱动**

6.3.2 EMI 抑制

OPAx994-Q1 采用集成电磁干扰 (EMI) 滤波来减少无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。通过电路设计技术可改进 EMI 抗扰度；OPAx994-Q1 受益于这些设计改进措施。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。表 6-1 提供了 OPAx994-Q1 在实际应用中通常会遇到的特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用报告包含了与运算放大器相关的 EMIRR 性能主题，该报告可在 www.ti.com 上下载。

表 6-1. OPAx994-Q1 目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	50.0dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	56.3dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	65.6dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	70.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	78.9dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星操作、C 波段（4GHz 至 8GHz）	91.0dB

6.3.3 共模电压范围

OPAx994-Q1 是一款 24V 的真正轨到轨输入运算放大器，其输入共模范围扩展到两个电源轨。此宽范围通过并联互补的 PNP 和 NPN 差分输入对实现，如图 6-2 所示。当输入电压靠近正轨，通常从 (V+) – 1V 到正电源时，NPN 对运行。当输入电压为负电源电压到大约 (V+) – 2V 时，PNP 对运行。其转换区域较小，通常为 (V+) – 2V 至 (V+) – 1V，这时两个输入对都处于开启状态。此转换区域会随工艺不同而略有波动。在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。

更多有关共模电压范围和互补对相互作用的信息，请参阅*具有互补对输入级的运算放大器* 应用手册。

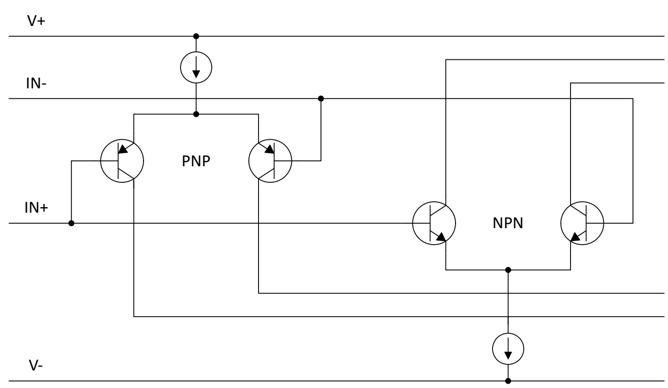


图 6-2. 轨到轨输入级

6.3.4 反相保护

OPAx994-Q1 系列具有内部相位反转保护功能。当输入被驱动至超过其线性共模范围时，很多运算放大器都会出现相位反转。这种情况在同相电路中最常见，当输入被驱动至超过指定的共模电压范围时，导致输出反向到相对的电源轨上。OPAx994-Q1 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 6-3 中展示了这个特性。有关相位反转的更多信息，请参阅*具有互补对输入级的运算放大器*应用手册。

ADVANCE INFORMATION

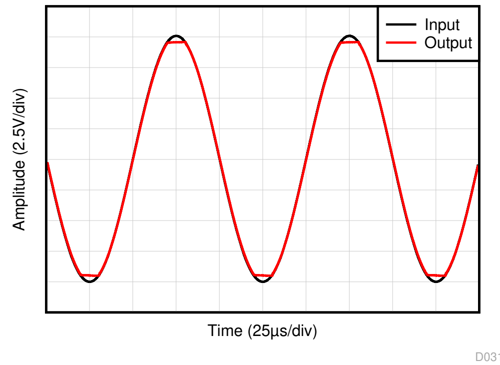


图 **6-3.** 无相位反转

6.3.5 电气过载

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。图 6-4 显示了 OPAx994-Q1 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

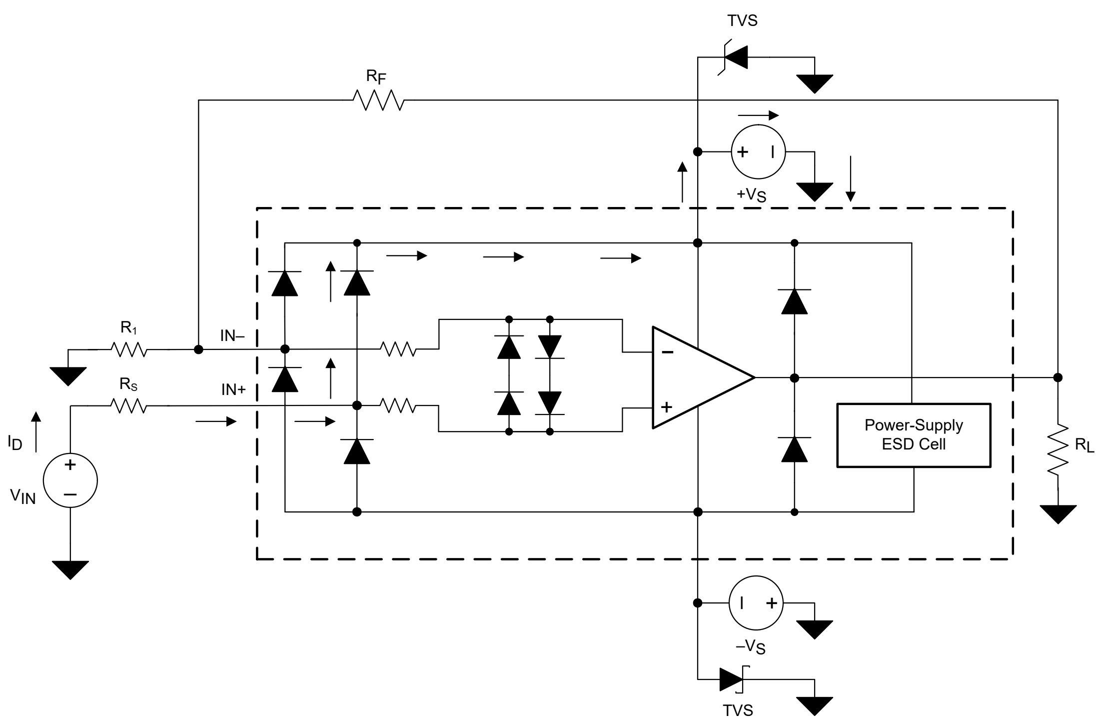


图 **6-4.** 与典型电路应用相关的等效内部 **ESD** 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，吸收器件可能会激活。吸收器件具有触发或阈值电压，该电压高于 OPAx994-Q1 的正常工作电压，但低于器件击穿电压电平。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 6-4 中所示）时，ESD 保护组件将保持未激活状态并且不会介入应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

图 6-4 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $–V_S$ 为 0V 时向输入端施加输入信号，放大器如何响应。同样，具体结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管；请参阅图 6-4。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

OPAx994-Q1 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅图 6-4。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx994-Q1 的低噪声性能。图 6-4 显示了实现限流反馈电阻器的示例配置。

6.3.6 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx994-Q1 的过载恢复时间大约为 200ns。

ADVANCE INFORMATION

ADVANCE INFORMATION

6.3.7 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。由于工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（*钟形曲线*）或*正态*分布，即使*电气特性*表格中没有最小值或最大值规格，电路设计人员也可以利用此信息来确定其系统的限值空间。

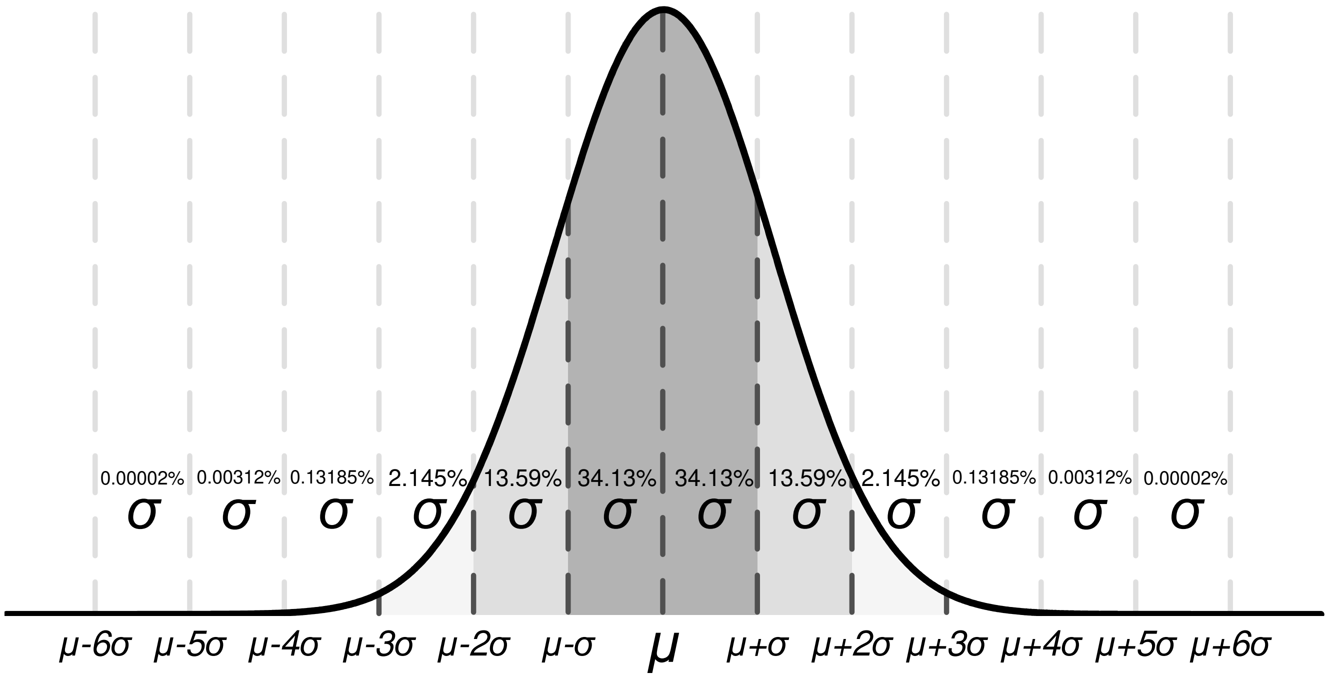


图 6-5. 理想的高斯分布

图 6-5 展示了一个分布示例，其中 μ 或 *mu* 是分布的平均值，而 σ 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准偏差或一 σ 内（从 $\mu - \sigma$ 到 $\mu + \sigma$）。

根据具体规格，*电气特性*表中“典型值”一列中列出的值会以多种不同的方式表示。根据一般经验法则，如果规格本身具有非零平均值（例如增益带宽），那么典型值等于平均值 (μ)。然而，如果规格的平均值本身接近于零（例如输入失调电压），那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

设计人员可以使用此图表来计算器件中某个规格的近似概率；例如，对于 OPAx994-Q1，典型的输入电压失调值为 200μV。因此，预计所有 OPAx994-Q1 器件中有 68.2% 的器件具有 -200μV 至 +200μV 的失调电压。在 4 σ (±800μV) 条件下，分布的 99.9937% 都具有小于 ±800μV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

在最小值或最大值列中具有值的规格由 TI 确保，超过这些限值的器件将从生产材料中剔除。例如，OPAx994-Q1 系列在 25°C 条件下的最大失调电压为 1mV，尽管这相当于略小于 5σ（约为 170 万个器件中有 1 个器件），但 TI 确保会从生产材料中剔除任何失调电压大于 1mV 的器件。

对于最小值或最大值列中没有值的规格，可考虑为设计人员应用选择 1σ 值的足够限值空间，并使用此值进行最坏情况下的设计。例如，6 σ 值相当于大约 5 亿分之 1 的单位，这种情况极不可能，并可以作为一个宽保护空间选项来设计系统。在这种情况下，OPAx994-Q1 产品系列在失调电压漂移上没有最大值或最小值。但根据*电气特性* 表格中 0.17μV/°C 的典型值，可以计算出失调电压漂移的 6σ 值约为 1.02μV/°C。在为最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

请注意，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的性能。此信息应该只能用于估算器件的性能。

6.4 器件功能模式

OPAx994-Q1 具有单一功能模式，可在电源电压大于或等于 2.7V (±1.35V) 时工作。OPAx994-Q1 的最大电源电压为 24V (±12V)。

ADVANCE INFORMATION

ADVANCE INFORMATION

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

OPAx994-Q1 系列提供出色的直流精度和交流性能。这些器件的工作电压高达 24V，并提供真正的轨到轨输入/输出、低失调电压、失调电压漂移以及 25MHz 带宽和高输出驱动。这些特性使 OPAx994-Q1 成为一款适用于高电压汽车应用且稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 低侧电流测量

图 7-1 展示了低侧电流检测应用中配置的 OPA994-Q1。有关图 7-1 中所示电路的全面分析，包括理论、计算、模拟和测量数据，请参阅 TI 精密设计 TIPD129 *0A 至 1A 单电源低侧电流检测解决方案*。

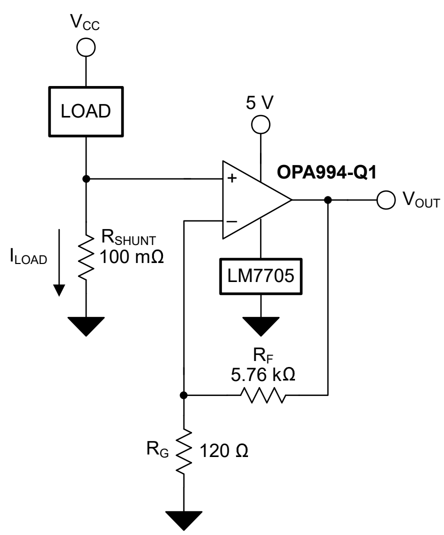


图 7-1. OPAx994-Q1 位于低侧电流检测应用

7.2.1.1 设计要求

针对此设计的设计要求如下：

- 负载电流：0A 至 1A
- 最大输出电压：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数：

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，方程式 2 中定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT\_MAX}}{I_{LOAD\_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 OPA994-Q1 放大，从而产生 0V 至 4.9V 的输出电压。OPA994-Q1 产生必要输出电压时所需的增益根据方程式 3 算出：

$$Gain = \frac{(V_{OUT\_MAX} - V_{OUT\_MIN})}{(V_{IN\_MAX} - V_{IN\_MIN})} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整电阻器 R_F 和 R_G 的阻值，从而将 OPA994-Q1 的增益设置为 49V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

将 R_F 选为 5.76kΩ 时，R_G 计算得出为 120Ω。R_F 和 R_G 被选定为 5.76kΩ 和 120Ω，因为这两个是标准值电阻器，可产生 49:1 的比率。也可以使用可产生 49:1 的比率的其他电阻器。但是，电阻器过大会产生超过运算放大器固有噪声的热噪声。图 7-2 展示了图 7-1 所示电路测得的传递函数。

7.2.1.3 应用曲线

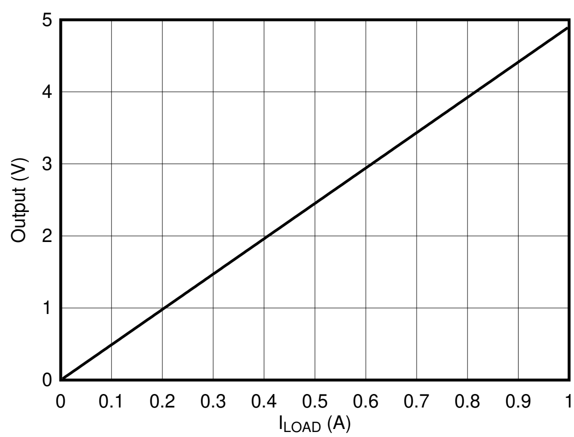


图 7-2. 低侧电流检测传递函数

7.3 电源建议

OPAx994-Q1 的额定工作电压范围是 2.7V 至 24V（±1.35V 至 ±12V）；多数规格可在 –40°C 至 125°C 的温度范围内适用，或具有特定的电源电压和测试条件。

小心
电源电压超过 24V 会对器件造成损坏；请参阅*绝对最大额定值*。

将 0.1μF 旁路电容器置于电源引脚附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。更多有关旁路电容器放置的详细信息，请参阅节 7.4。

ADVANCE INFORMATION

7.4 布局

7.4.1 布局指南

为了实现器件的最佳工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端之间的单个旁路电容适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。通常将多层 PCB 中的一层或多层专门作为接地层。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如 所示，使 RF 和 RG 靠近反相输入可最大限度减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因水分渗入塑料封装中而发生性能变化。在任何水必 PCB 清洁过程之后，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

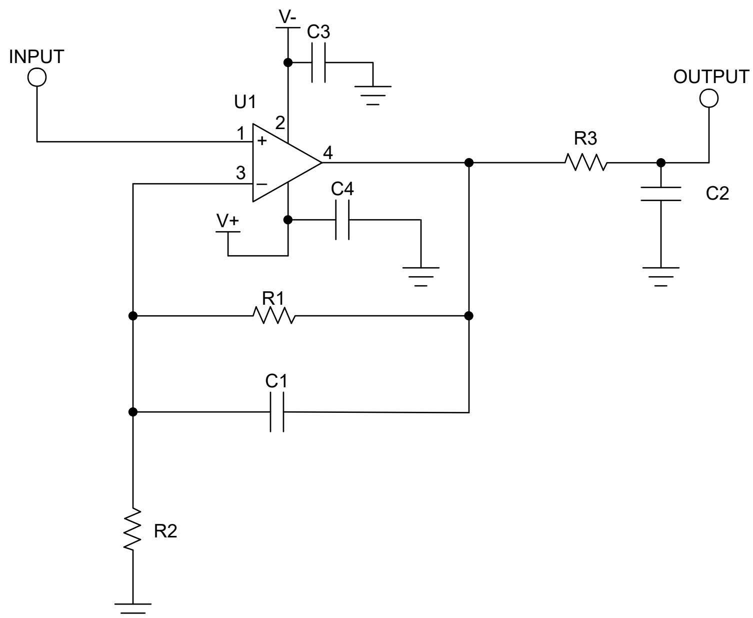


图 7-3. 同相配置布局示例的原理图

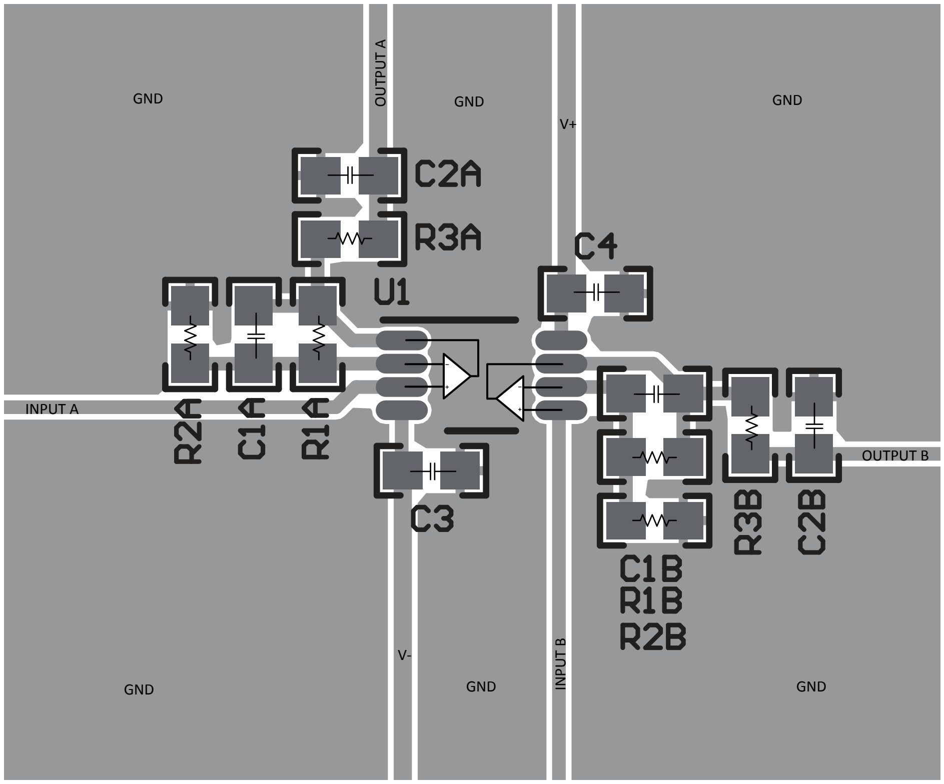


图 **7-4. VSSOP-8 (DGK)** 封装的布局示例

ADVANCE INFORMATION

ADVANCE INFORMATION

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 文档支持

8.2.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*支持多路复用器的精密运算放大器* 应用简报
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比* 应用报告
- 德州仪器 (TI)，*具有互补对输入级的运算放大器* 应用手册
- 德州仪器 (TI)，*0A 至 1A 单电源低侧电流检测解决方案* 参考设计 (TIPD129)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
蓝牙® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

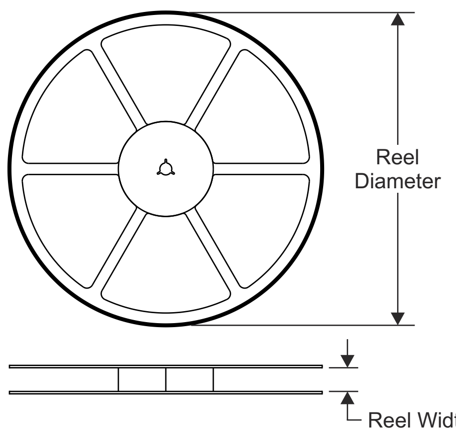
日期	修订版本	说明
2023 年 11 月	*	初始发行版

10 机械、封装和可订购信息

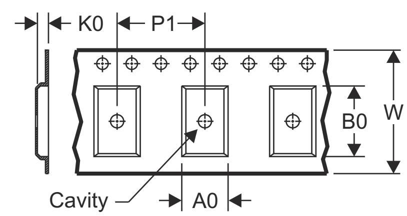
下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带封装信息

REEL DIMENSIONS

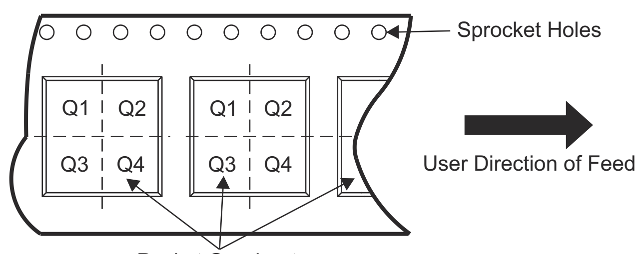


TAPE DIMENSIONS



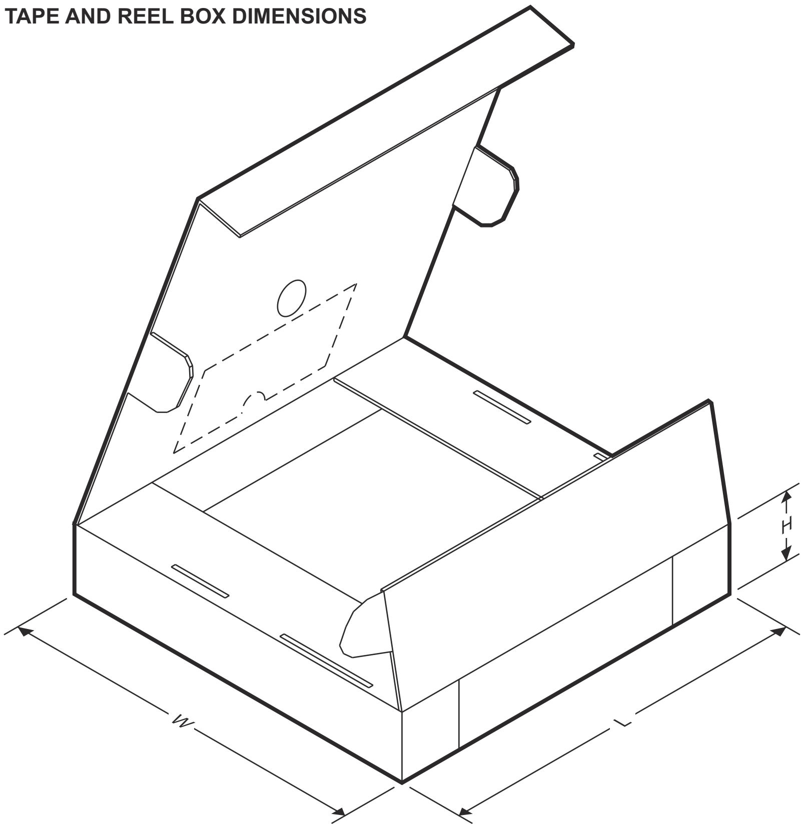
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
OPA994QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2994QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2994QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



ADVANCE INFORMATION

器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
OPA994QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA2994QDRQ1	SOIC	D	8	3000	356.0	356.0	35.0
OPA2994QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0

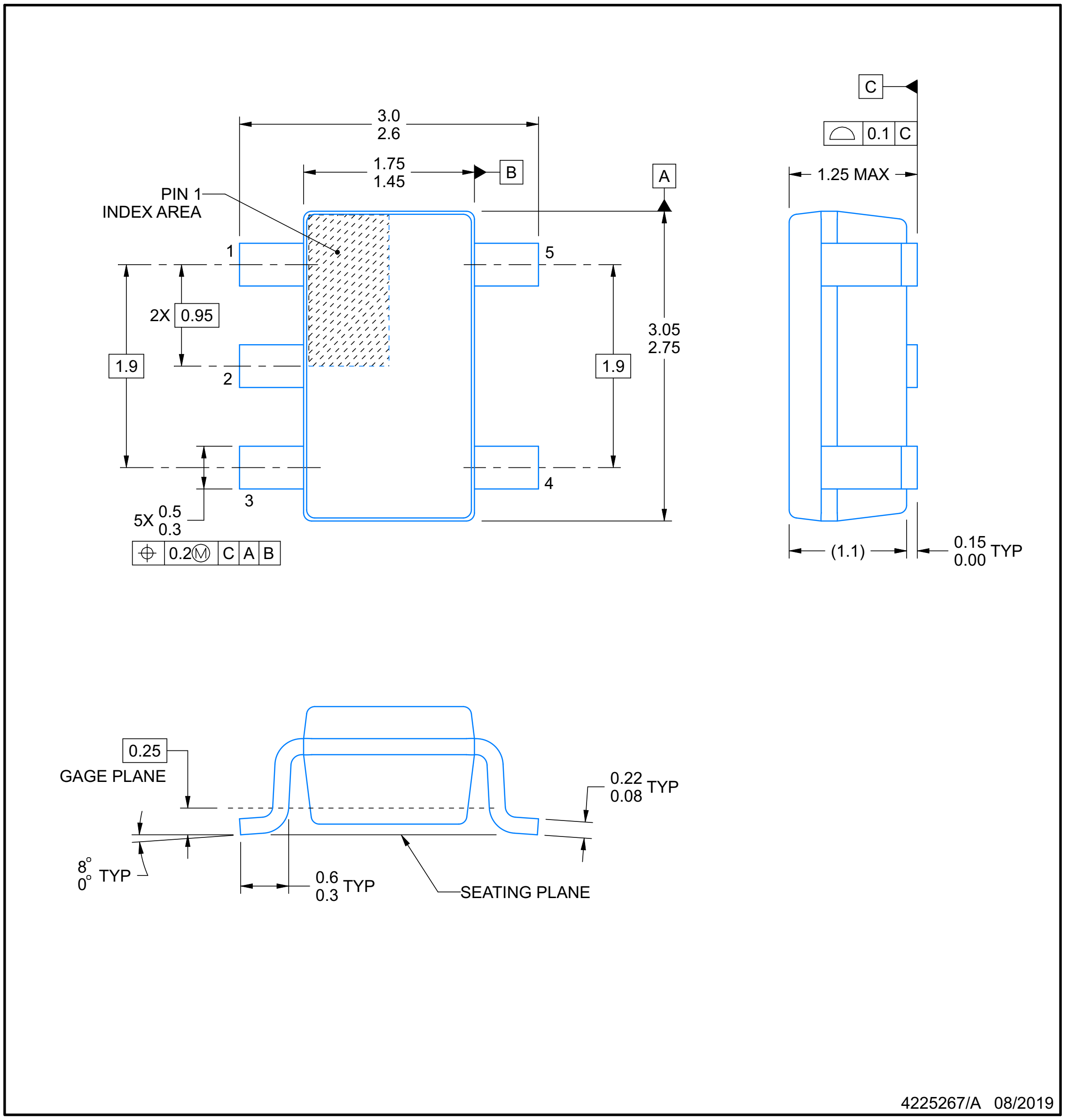
10.2 机械数据

PACKAGE OUTLINE

DBV0005A-C01

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

ADVANCE INFORMATION

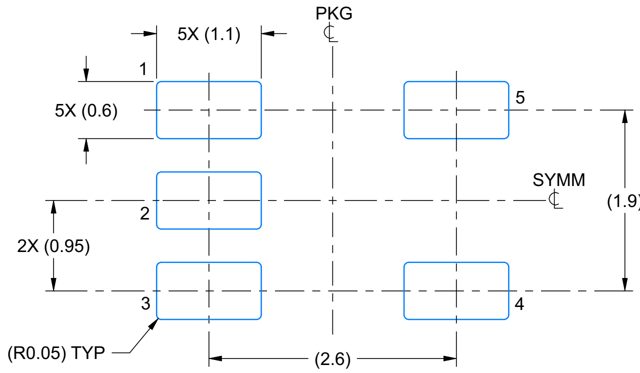
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

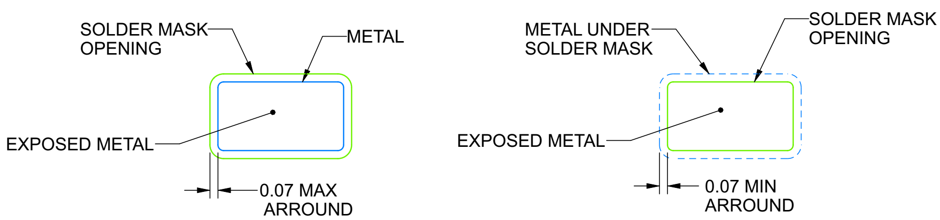
DBV0005A-C01

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



NON SOLDER MASK DEFINED (PREFERRED)

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4225267/A 08/2019

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

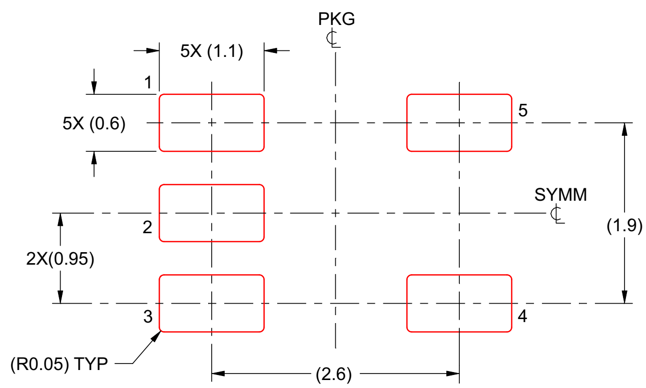
TEXAS INSTRUMENTS
www.ti.com

EXAMPLE STENCIL DESIGN

DBV0005A-C01

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4225267/A 08/2019

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

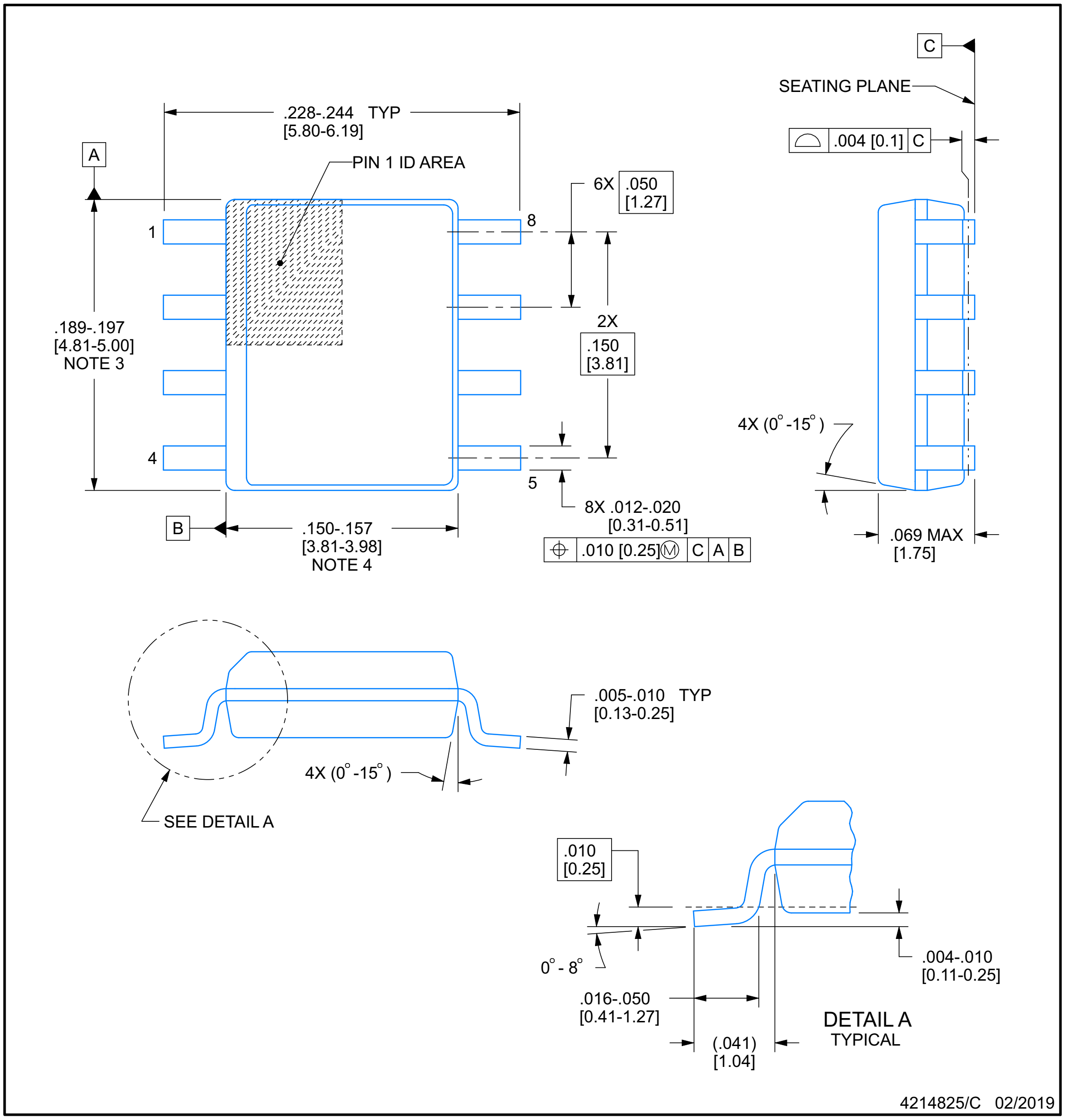
ADVANCE INFORMATION

PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

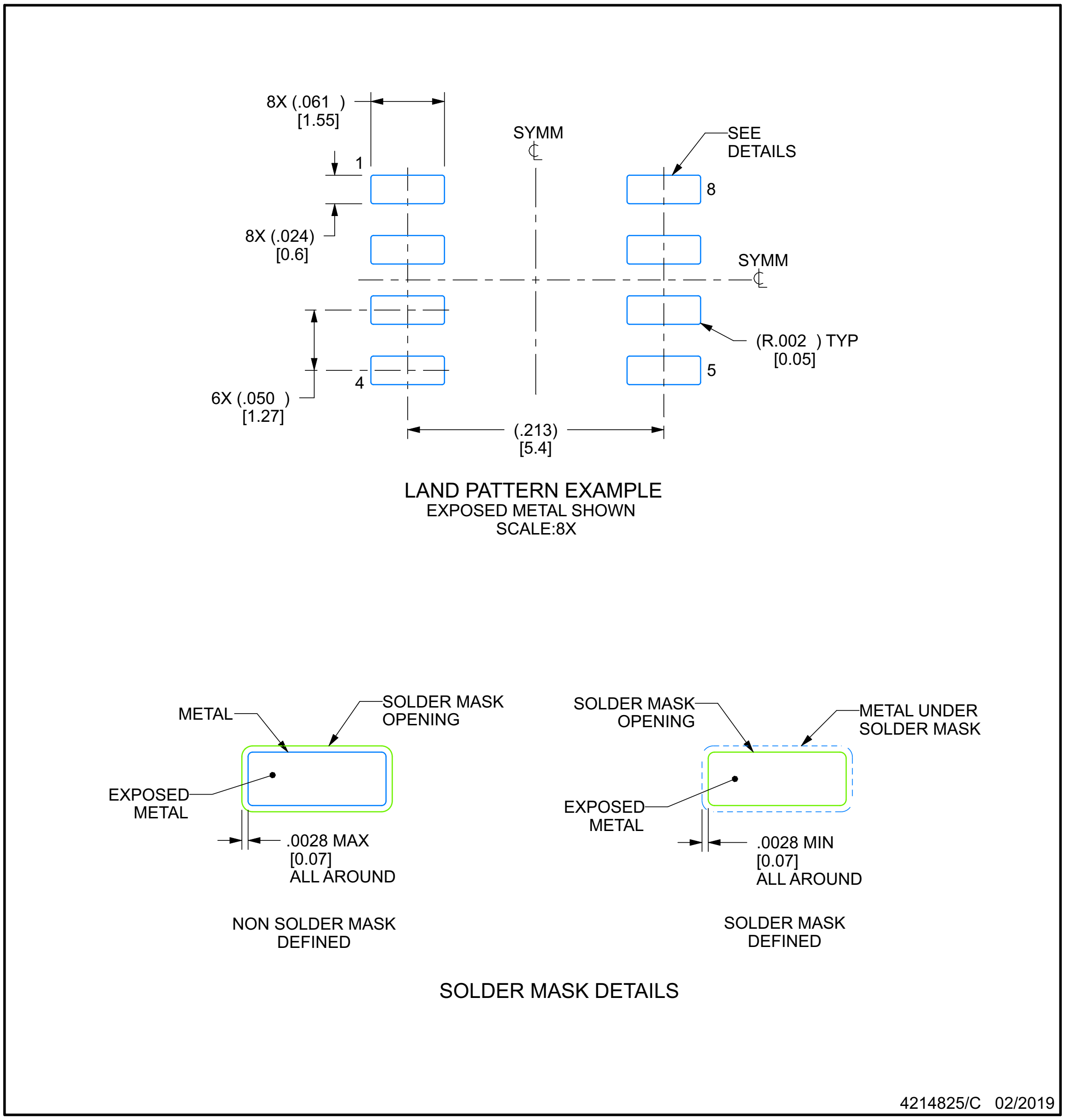
TEXAS INSTRUMENTS
www.ti.com

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

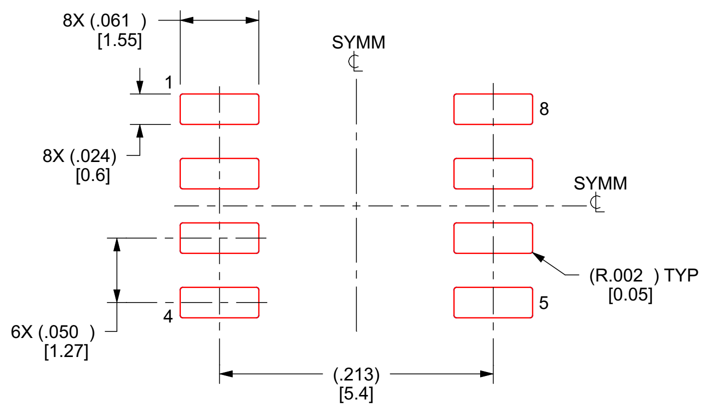
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

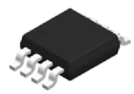
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

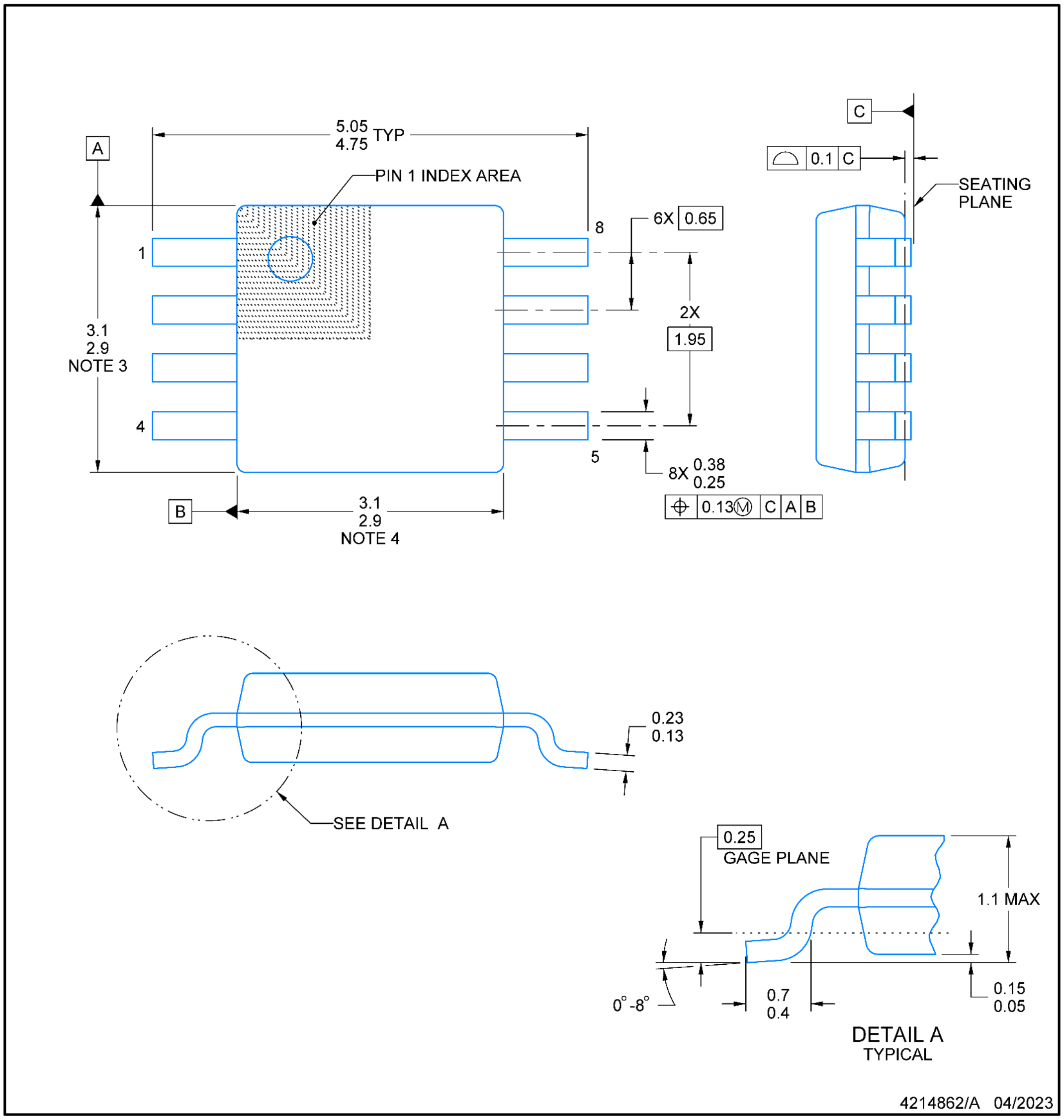
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

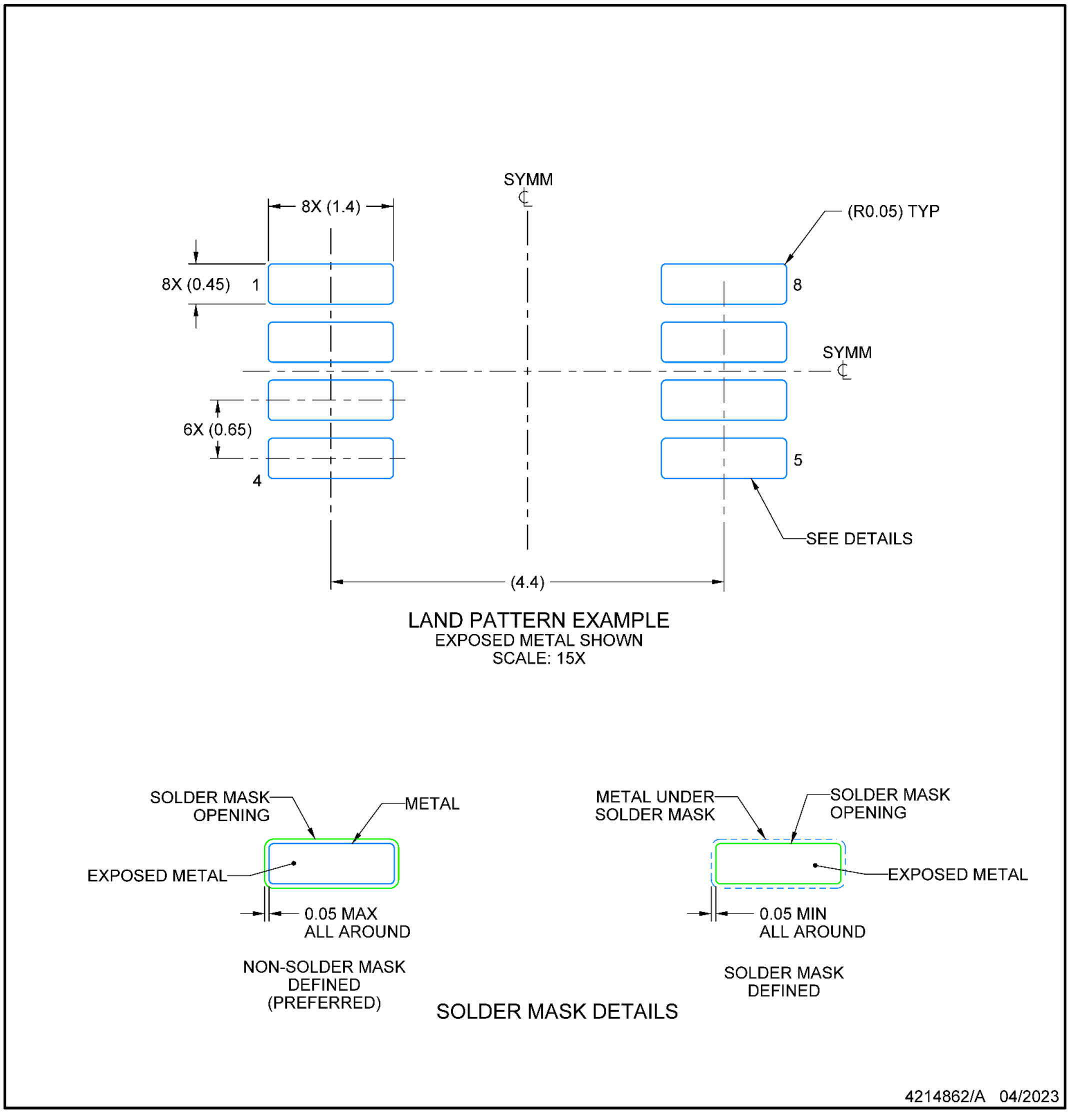
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DGK0008A ™ **VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

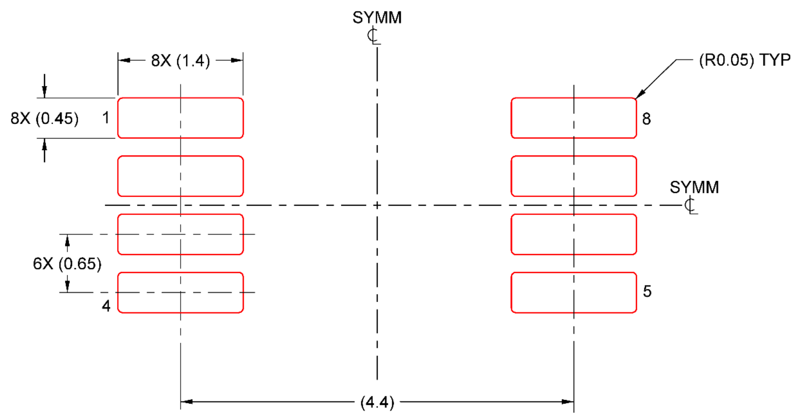
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

Texas Instruments
www.ti.com

EXAMPLE STENCIL DESIGN

DGK0008A ™ **VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Texas Instruments
www.ti.com

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
POPA2994QDRQ1	ACTIVE	SOIC	D	8	3000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

OTHER QUALIFIED VERSIONS OF OPA2994-Q1 :

- Catalog : OPA2994

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要声明和免责声明

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265