1 G ビット (128 MB)/512 M ビット (64 MB) GL-T MIRRORBIT™ フラッシュ

パラレル , 3.0 V

概要

サイプレス S29GL01GT/512T は、45 nm プロセス テクノロジを用いて製造される、MIRRORBIT™ フラッシュ製品です。ページ アクセス時間 15 ns という高速アクセスと、これに対応した 100 ns という高速ランダム アクセス時間を実現しています。一度の動作で最大 256 ワード /512 バイトのプログラム可能な書き込みバッファを備え、標準のプログラミング アルゴリズムに比べて効果的な高速プログラミングを実現しています。このような特長を備えたこれらのデバイスは、大容量 , 高性能 , そして低消費電力を必要とする今日の組込みアプリケーションに最適です。

特長

- 45nm の MIRRORBIT™ 技術
- 単一電源 (V_{CC}) による読み出し / プログラム / 消去 (2.7 V ～ 3.6 V)
- 汎用性がある I/O 機能
  - 広範な I/O 電圧 (V_{IO}): 1.65 V ～ V_{CC}
- ×8/×16 データ バス
- 非同期 32 バイト ページ読み出し
- 512 バイト プログラミング バッファ
  - ページの倍数単位で、最大 512 バイトまでのプログラミング
- 単一ワードと同一ワードでの複数プログラムを選択可能
- 自動エラー チェックと訂正 (ECC) — 1 ビット エラー訂正の内部ハードウェア ECC
- セクタ消去
  - ユニフォーム 128 KB セクタ
- プログラム / 消去動作のための一時停止 / 再開コマンド
- ステータス レジスタ , データ ポーリング , およびレディ / ビジー ピンによるデバイス状態の特定
- セクタの高度な保護 (ASP)
  - セクタごとの揮発性および不揮発性の保護方式
- 個別の 2048 バイト OTP (ワンタイムプログラム) アレイ
  - 4 つのロック可能な領域 (SSR0 ～ SSR3)
  - SSR0 は工場出荷時ロック設定
  - SSR3 はパスワードによる読み出し保護
- 共通フラッシュ インターフェース (CFI) パラメーター テーブル
- 温度範囲 / グレード
  - 産業用 (–40°C ～ +85°C)
  - 産業用プラス (–40°C ～ +105°C)
  - 拡張 (–40°C ～ +125°C)
  - 車載用 , AEC-Q100 グレード 3 (–40°C ～ +85°C)
  - 車載用 , AEC-Q100 グレード 2 (–40°C ～ +105°C)
- 100,000 プログラム / 消去サイクル
- 20 年のデータ保持期間

- パッケージ オプション
  - 56 ピン TSOP
  - 64 ボール LAA 強化 BGA, 13 mm × 11 mm
  - 64 ボール LAE 強化 BGA, 9 mm × 9 mm
  - 56 ボール VBU 強化 BGA, 9 mm × 7 mm

性能要約

動作温度範囲 **–40°C ～ +85°C** の性能要約

最大読み出しアクセス時間					
メモリ容量	**電圧範囲**	**ランダム アクセス時間 (t_{ACC})**	**ページ アクセス時間 (t_{PACC})**	**CE# アクセス時間 (t_{CE})**	**OE# アクセス時間 (t_{OE})**
512 Mb	フル $V_{CC} = V_{IO}$	100	15	100	25
	汎用 I/O V_{IO}	110	25	110	35
1 Gb	フル $V_{CC} = V_{IO}$	100	15	100	25
	汎用 I/O V_{IO}	110	25	110	35

動作温度範囲 **–40°C ～ +105°C** の性能要約

最大読み出しアクセス時間					
メモリ容量	**電圧範囲**	**ランダム アクセス時間 (t_{ACC})**	**ページ アクセス時間 (t_{PACC})**	**CE# アクセス時間 (t_{CE})**	**OE# アクセス時間 (t_{OE})**
512 Mb	フル $V_{CC} = V_{IO}$	110	15	110	25
	汎用 I/O V_{IO}	120	25	120	35
1 Gb	フル $V_{CC} = V_{IO}$	110	15	110	25
	汎用 I/O V_{IO}	120	25	120	35

動作温度範囲 **–40°C ～ +125°C** の性能要約

最大読み出しアクセス時間					
メモリ容量	**電圧範囲**	**ランダム アクセス時間 (t_{ACC})**	**ページ アクセス時間 (t_{PACC})**	**CE# アクセス時間 (t_{CE})**	**OE# アクセス時間 (t_{OE})**
512 Mb	フル $V_{CC} = V_{IO}$	120	15	120	25
	汎用 I/O V_{IO}	130	25	130	35
1 Gb	フル $V_{CC} = V_{IO}$	120	15	120	25
	汎用 I/O V_{IO}	130	25	130	35

標準的なプログラム / 消去速度

動作	–40°C ～ +85°C	–40°C ～ +105°C	–40°C ～ +125°C
バッファ プログラミング (512 バイト)	1.14 MBps	1.14 MBps	1.14 MBps
セクタ消去 (128 KB)	245 KBps	245 KBps	245 KBps

最大消費電流

動作	–40°C ～ +85°C	–40°C ～ +105°C	–40°C ～ +125°C
アクティブ読み出し (5 MHz, 30 pF)	60 mA	60 mA	60 mA
プログラム	100 mA	100 mA	100 mA
消去	100 mA	100 mA	100 mA
スタンバイ	100 µA	200 µA	215 µA

目次

概要 1
特長 1
性能要約 2
目次 4
1 製品概要 6
2 アドレス空間オーバーレイ 8
2.1 フラッシュ メモリ アレイ 10
2.2 デバイス ID および CFI (ID-CFI) ASO 11
2.3 ステータス レジスタ ASO 12
2.4 データ ポーリング ステータス ASO 12
2.5 SSR ASO 13
2.6 セクタ保護の制御 14
2.7 ECC ステータス ASO 15
3 データ保護 16
3.1 デバイス保護方式 16
3.2 コマンド保護 16
3.3 SSR (OTP) 16
3.4 セクタ保護方式 17
4 読み出し動作 22
4.1 非同期読み出し 22
4.2 ページ モード読み出し 22
5 組込み動作 23
5.1 組込みアルゴリズム コントローラー (EAC) 23
5.2 プログラムと消去のまとめ 24
5.3 自動 ECC 25
5.4 コマンド セット 27
5.5 ステータス監視 43
5.6 エラー タイプおよびクリア手順 50
5.7 組込みアルゴリズム性能表 53
6 データの完全性 56
6.1 消去可能回数 56
6.2 データ保持 56
7 ソフトウェア インターフェース リファレンス 57
7.1 コマンドのまとめ 57
7.2 デバイス ID と共通フラッシュ インターフェース (ID-CFI) の ASO マップ 64
8 信号の説明 69
8.1 アドレスとデータの設定 69
8.2 入出力のまとめ 69
8.3 ワード / バイト設定 70
8.4 汎用 I/O 機能 70
8.5 レディ / ビジー # (RY/BY#) 70
8.6 ハードウェア リセット 70
9 信号プロトコル 71
9.1 インターフェースの状態 71
9.2 ハードウェア データ保護状態での電源切断 72
9.3 低消費電力モード 72
9.4 読み出し 73
9.5 書き込み 74
10 電気的仕様 75
10.1 絶対最大定格 75
10.2 熱抵抗 75

目次

10.3 ラッチアップ特性 75
10.4 動作範囲 76
10.5 DC 電気的特性 79
10.6 静電容量特性 81
11 タイミング仕様 84
11.1 波形遷移の要点 84
11.2 AC テスト条件 85
11.3 パワーオン リセット (POR) とウォーム リセット 86
11.4 AC 電気的特性 89
12 物理インターフェース 106
12.1 56 ピン TSOP 106
12.2 64 ボール FBGA 108
12.3 56 ボール FBGA 111
13 FBGA パッケージの取扱注意事項 113
14 注文情報 114
14.1 有効な組合せ — 標準 114
14.2 有効な組合せ — 車載用グレード / AEC-Q100 117
改訂履歴 120
免責事項 121

1 製品概要

GL-T ファミリは、512M ビット～ 1G ビットの、3.0 V コア , 汎用 I/O, 不揮発性フラッシュ メモリ デバイスで構成されます。これらのデバイスは 8 ビット (バイト)/16 ビット (ワード) 幅のデータ バスを持ち、バイト / ワード境界アドレスのみを使用します。すべての読み出しアクセスは各バス転送サイクルで 8/16 ビットのデータを供給します。すべての書き込みアクセスは各バス転送サイクルから 8/16 ビットのデータを受け取ります。

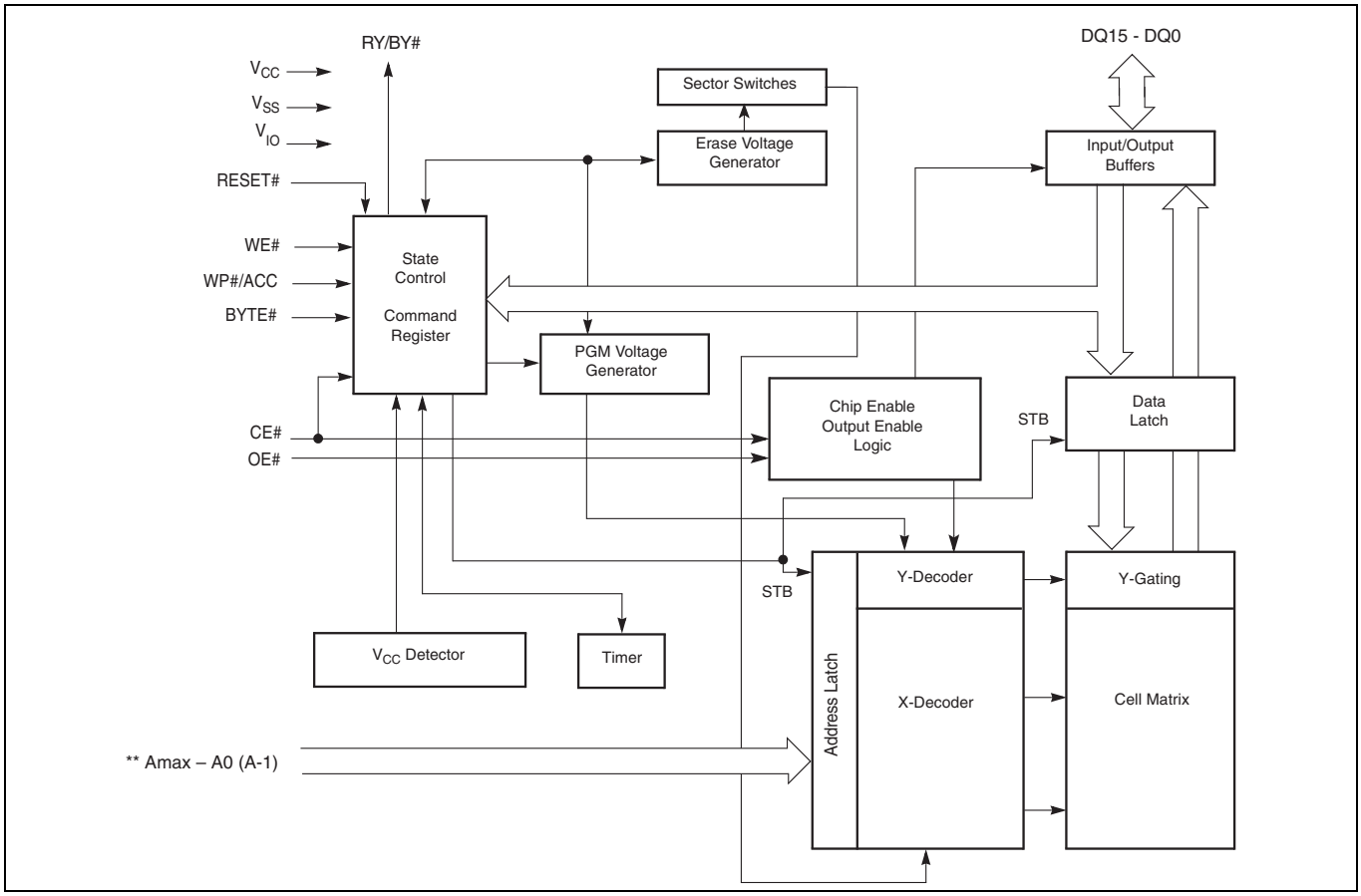


Figure 1 ブロック ダイヤグラム [1]

GL-T ファミリは、XIP (eXecute In Place) 技術とデータ ストレージ フラッシュ メモリの両方の最良の機能を組み合わせています。このファミリは、データストレージフラッシュの高密度かつ高速のプログラム速度とともに、XIP フラッシュの高速ランダム アクセスを有しています。

任意のランダムな場所への読み出しアクセスは、デバイス容量と I/O 供給電圧に応じて、100 ns ～ 120 ns です。各々の (最初の) ランダム アクセスで、ページと呼ばれる 32 バイトにアラインされたデータ グループをすべて読み出します。同一ページ内の他のワードは、ワード アドレスの下位 4 ビットのみを変更して読み出しが可能です。同一ページ内でのアクセスには 15 ns ～ 25 ns を要します。これはページ モード読み出しと呼ばれています。上位ワード アドレス ビットを変更すると、異なるページに移動し、新しい初期アクセスが開始されます。すべての読み出しアクセスは非同期です。

注 :
1. Amax GL01GT = A25, Amax GL512T = A24

Table 1　　S29GL-T アドレス マップ

タイプ	×16		×8	
	カウント	アドレス	カウント	アドレス
ページ内のアドレス	16	A3–A0	32	A3–A1
書き込みバッファ内のアドレス	256	A7–A0	256	A7–A1
ページ	セクタあたり 4096	A15–A4	セクタあたり 4096	A15–A4
書き込みバッファ ライン	セクタあたり 256	A15–A8	セクタあたり 256	A15–A8
セクタ	1024 (1 G ビット) 512 (512 M ビット)	Amax–A16	1024 (1 G ビット) 512 (512 M ビット)	Amax–A16

デバイス制御ロジックは、ホスト インターフェース コントローラー (HIC) と組込みアルゴリズム コントローラー (EAC) の 2 つの並行する操作セクションに分かれています。HIC はデバイス入力の信号レベルをモニターし、かつ必要に応じてデバイス出力を駆動し、ホスト システムとのデータ読み出しと書き込み転送を実行します。HIC は読み出し転送で、現在入力されたアドレス空間からデータを出力し、書き込み転送アドレスとデータ情報を EAC コマンド メモリに配置し、また、電源遷移 , ハードウェア リセットおよび書き込み転送を EAC に通知します。EAC は、書き込み転送後、コマンド メモリを参照して適切なコマンド シーケンスを検出し、関連する組込みアルゴリズムを実行します。

メモリ アレイ内の不揮発性データの書換えには、組込みアルゴリズム (EA) と呼ばれる複雑な動作シーケンスを実行する必要があります。アルゴリズムはデバイス内部の EAC によって完全に管理されています。メイン アルゴリズムは、メイン アレイ データのプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。お EAC はコマンドを受け取り、コマンドを完了するのに必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

各メモリ ビットの消去済み状態はロジック 1 です。プログラミングにより論理 1 (HIGH) から論理 0 (LOW) に変更します。消去動作のみがロジック 0 から 1 に変更できます。消去動作は、セクタと呼ばれる、128KB にアラインされた一連のデータ グループに対して実行される必要があります。インフィニオンからの出荷する時点では、すべてのセクタは消去されています。

プログラミングは 512 バイトの書き込みバッファを介して行われます。x16 タイプでは、プログラミング動作を開始する前に、書き込みバッファの任意の位置に 1 ～ 256 ワードを書き込めます。フラッシュ メモリ アレイ内では、512 バイトにアラインされた各々の 512 バイトのデータ グループをライン (Line) と呼びます。また、x8 タイプでは、プログラム動作を開始する前に、書き込みバッファ内の任意の位置に 1 ～ 256 バイトを書き込めます。プログラミング動作は揮発性データを書き込みバッファから不揮発性メモリ アレイのラインに転送します。この動作は書き込みバッファ プログラミングと呼ばれます。

デバイスが、書き込みバッファにロードされた 32 バイト整列のデータ ページを 512 バイト フラッシュ アレイ ラインに転送する時、内部ロジックはページ用の ECC コードを、ホスト システム ソフトウェアには見えないメモリ アレイの一部にプログラムします。内部ロジックはすべてのアレイ読み出し動作の初期アクセス中に ECC 情報をチェックします。必要があれば、ECC 情報は初期アクセス時間中に 1 ビット エラーを訂正します。

リセット後、または書き込みバッファを使用する動作の完了後は、書き込みバッファの値がすべて 1 になります。バッファ書き込みコマンドによって 0 に書き込まれていない位置は、デフォルトにより「1」の値のままです。書き込みバッファ内の「1」は、プログラミング動作内にメモリ アレイのデータに影響しません。

書き込みバッファにロードされた各データのページは、メモリ アレイのラインに転送されます。

ASP (Advanced Sector Protection) という高度なセクタ保護機能セットによって、セクタはそれぞれ独立にプログラムと消去動作から保護されます。ASP では、プログラムと消去動作から保護されるセクタを選択するために、いくつかの、ハードウェアおよびソフトウェア制御の、揮発性と不揮発性の手法を提供しています。

2 アドレス空間 オーバーレイ

いくつかの個々のアドレススペースがあり、フラッシュ メモリ デバイスのアドレス範囲内に表示されることがあります。ひとつのアドレス空間が常時表示されます (アクセスできます)。

- フラッシュ メモリ アレイ : データ格納用のメイン不揮発性メモリ アレイであり、非同期読み出し動作によってランダムにアクセスできます。
- ID/CFI: サイプレスの工場でプログラムされたデバイス特性情報のために使用されるメモリ アレイです。この領域には、デバイス識別 (ID) と共通フラッシュ インターフェース (CFI) の情報テーブルが含まれています。
- セキュア シリコン領域 (SSR): インフィニオンの工場でプログラムされた恒久データおよびカスタマープログラミング可能な恒久データのために使用される 1 回書き込み可能な (OTP) 不揮発性メモリ アレイです。
- ロック レジスタ : ASP 機能を設定し SSR をロックするため使用される OTP 不揮発性ワードです。
- 恒久的保護ビット (PPB): セクタごとに 1 ビットを有する 不揮発性メモリ アレイです。プログラムされると、各ビットは該当するセクタを消去とプログラミングから保護します。
- PPB ロック : PPB ビットのプログラミングと消去を有効化または無効化する揮発性レジスタ ビットです。
- アレイ パスワード : パスワード モードのセクタ保護を使用する際に PPB ロック ビットの状態を変更可能にするために使用される 64 ビット パスワード格納用の OTP 型不揮発性アレイです。
- SSR3 パスワード : SSR3 の読み出しを可能にするために使用される 64 ビット パスワード格納用の OTP 型不揮発性アレイです。
- ダイナミック保護ビット (DYB): 揮発性アレイであり、セクタごとに 1 ビットを占めます。セットされると、各ビットは該当するセクタを消去とプログラミングから保護します。
- ステータス レジスタ : 組込みアルゴリズム ステータスを表示するために使用する揮発性レジスタです。
- データ ポーリング ステータス : レガシーソフトウェア互換で、組込みアルゴリズム ステータスを表示するための代替方法として使用される揮発性レジスタです。
- ECC ステータス : 選択されたページの読み出し中に行われたすべてのエラー検出または訂正措置のステータスを提供します。

メイン フラッシュ メモリ アレイは一次のデフォルトアドレス空間ですが、任意の一時点で他の 1 つのアドレス空間によってオーバーレイされることがあります。各代替アドレス空間はアドレス空間オーバーレイ (ASO) と呼ばれています。

各 ASO は、フラッシュ デバイスのアドレス範囲全体を置き換え (オーバーレイ) します。特定の ASO アドレス マップで定義されていないアドレス範囲は、将来に使用するために確保されます。ASO アドレス マップ範囲外のすべての読み出しアクセスは、有効ではない (未定義) データを返します。その位置はアクティブ駆動されたデータを表示しますが、「1」にせよ「0」にせよ、その意味は未定義です。

任意の時にフラッシュ デバイスのアドレス空間に表示される内容を決定する 4 つのデバイス動作モードがあります。

- 読み出しモード
- データ ポーリング モード
- ステータス レジスタ (SR) モード
- アドレス空間オーバーレイ (ASO) モード

アドレス空間 オーバーレイ

読み出しモードでは、フラッシュ メモリ アレイ全体が、ホスト システムのメモリ コントローラーによって直接読み出せます。電源投入時、ハードウェア リセット後、コマンド リセット後、または組込みアルゴリズム (EA) が一時停止された後は、メモリ デバイスの組込みアルゴリズム コントローラー (EAC) の制御下でデバイスが読み出しモードになります。読み出しアクセスとコマンド書き込み動作は読み出しモードで実行可能です。EA が一時停止されている時に、読み出しモードにおいてコマンドのサブセットが許容されます。

どのモードでも、ステータス レジスタ読み出しコマンドを発行してデバイスのアドレス空間内のあらゆるワード アドレスでステータス レジスタ ASO を表示させられます。このステータス レジスタ ASO モードでは、デバイス インターフェースは読み出しアクセスだけに対応し、書き込みアクセスはすべて無視されます。デバイスへの次の読み出しアクセスは、ステータス レジスタの内容にアクセスし、ステータス レジスタ ASO を終了し、ステータス レジスタ読み出しコマンドが受信された以前の (呼び出し) モードに戻ります。

EA モードでは、EAC は不揮発性メモリアレイのプログラミングまたは消去のような組込みアルゴリズムを実行します。EA モード中には、フラッシュ デバイス アドレス空間全体がデータ ポーリング状態 ASO で置換されるため、どのメイン フラッシュ メモリアレイも読み出せません。データ ポーリング状態は、デバイス アドレス空間内のすべてのワード位置でも発生します。

EA モードでは、プログラム / 消去一時停止コマンド、またはステータス レジスタ読み出しコマンドのみが実行可能です。他のコマンドはすべて無視されます。したがって、EA モードから他の ASO に入ることはできません。

組込みアルゴリズム (EA) が一時停止されると、デバイスがその EA を一時停止させるまでデータ ポーリング ASO が認識できます。EA が一時停止しているとき、データ ポーリング ASO は終了し、フラッシュ アレイ データが利用できます。一時停止された EA が再開されると、EA が再度一時停止になるか終了するまで、データ ポーリング ASO が再びアクセスされます。組込みアルゴリズムが実行されと、データ ポーリング ASO は終了し、デバイスは (組込みアルゴリズムが開始された) 前の (呼び出し) モードに移行します。

ASO モードでは、残りのオーバーレイ アドレス空間の 1 つがアクセス (メインのフラッシュ アレイ アドレス マップにオーバーレイ) されます。いつも一度に移行できる ASO は 1 つだけです。デバイスへのコマンドは、現在アクセス中の ASO に作用します。個々の ASO に対して特定のコマンドのみが有効です。これらは表の各 ASO 関連のセクション、**Table 23** にリスト アップされています。

以下の ASO は 1 から 0 へ変更するようにプログラム可能な不揮発データを持っています。

- セキュア シリコン領域
- ロック レジスタ
- 恒久的保護ビット (PPB)
- パスワード
- PPB ASO のみ 0 から 1 へ変更するために消去可能な不揮発データを持つ

ある不揮発性 ASO がアクセスされている間にプログラム コマンドまたは消去コマンドが発行されると、EA はその ASO 上で動作します。EA がアクティブの間は ASO は読み出し不可です。EA が完了すると、ASO に入っている状態のままで再度読み出し可能になります。EA がこれらの任意の ASO で動作している間は、一時停止コマンドと再開コマンドが無視されます。

2.1 フラッシュ メモリ アレイ

S29GL-T ファミリはセクタサイズ 128 kB の同一のセクタ アーキテクチャを有しています。下表に異なるデバイスのセクタ アーキテクチャを示します。

Table 2 S29GL01GT セクタおよびメモリ アドレス マップ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	アドレス範囲 (8 ビット)	備考
128	1024	SA0	0000000h–000FFFFh	0000000h–001FFFFh	セクタ開始アドレス
		:	:	:	–
		SA1023	3FF0000h–3FFFFFFh	7FE0000h–7FFFFFFh	セクタ終了アドレス

Table 3 S29GL512T セクタおよびメモリ アドレス マップ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	アドレス範囲 (8 ビット)	備考
128	512	SA0	0000000h–000FFFFh	0000000h–001FFFFh	セクタ開始アドレス
		:	:	:	–
		SA511	1FF0000h–1FFFFFFh	3FE0000h–3FFFFFFh	セクタ終了アドレス

注 : 上記の表は、デバイス全体のセクタ関連情報を 1 ページで示すために圧縮した表現になっています。明示的にリスト アップされていない (GL512T の SA1 ～ SA510 のような) セクタおよびそのアドレスの範囲は、同じサイズの他のすべてのセクタの場合と同じパターンを形成するようなセクタ開始アドレスと終了アドレスを有します。例えば、すべての 128 kB セクタは、x16 タイプでは XXX0000h ～ XXXFFFFh で、x8 タイプでは XXX0000h ～ XXX1FFFF のパターンを有します。

2.2 デバイス ID および CFI (ID-CFI) ASO

システムに搭載されたフラッシュ メモリの種類を識別するために、システムに対する 2 つの従来方式があります。1 つは従来自動選択 (Auto Select) として呼ばれていたもので、現在ではデバイス識別 (ID) と呼ばれています。もう 1 つの方法は、共通フラッシュインターフェース (CFI) と呼ばれています。

ID に関しては、1 つのコマンドを使用してアドレス空間オーバーレイを有効にし、その最大 16 ワードの位置を読み出すことで、JEDEC 製造者識別 (ID)、デバイス ID、およびいくつかの構成情報と保護ステータス情報をフラッシュ メモリから取得します。システムはこの製造者 ID とデバイス ID を用いて、フラッシュ デバイスと一緒に使用する適切なドライバー ソフトウェアを選択できます。

CFI もまた、コマンドを使ってアドレス空間オーバーレイを有効にし、フラッシュ メモリの構成や動作方法の基本情報についての拡張可能なテーブルを読み出せます。この方法を用いると、使用するそれぞれのメモリ デバイス特性を念頭において、ドライバーソフトウェアが記述される必要はありません。その代わりに、ドライバー ソフトウェアは多くの異なるデバイスを扱うためにより一般的な方法で記述されますが、ドライバーの動作を CFI テーブルの情報に基づいて最適化します。

これまでは、これら 2 つのアドレス空間は個別のコマンドを使用し、そして個別のオーバーレイでした。しかし、これら 2 つのアドレス空間のマッピングは重複しないので、単一のアドレス空間に組み合わせ、単一のオーバーレイに共に表示できます。自動選択 (ID) または CFI オーバーレイにアクセス (入る) するために使用されるどちらの従来のコマンドも、今回組み合わせた ID-CFI アドレス マップを表示させます。

表示される ID-CFI アドレス マップは、フラッシュ アレイ全体をオーバーレイします。

ID-CFI アドレス マップは、選択したセクタの位置 0 を始点とします。ID-CFI ASO の最大定義アドレスを超えて選択したセクタの最大アドレスまでの位置は未定義のデータを有します。ID-CFI へアクセスするためのコマンドは前の世代のメモリに使用されたものと同じアドレスとデータ値を使用して、JEDEC 製造者 ID (自動選択) と CFI 情報にそれぞれアクセスします。

Table 4 ID-CFI アドレス マップ概要

ワード アドレス	バイト アドレス	説明	読み出し / 書き込み
(SA) + 0000h ～ 000Fh	(SA) + 0000h ～ 001Fh	デバイス ID (従来の自動選択値)	読み出し専用
(SA) + 0010h ～ 0079h	(SA) + 0020h ～ 00F2h	CFI データ構造	読み出し専用
(SA) + 0080h ～ FFFFh	(SA) + 00F3h ～ 1FFFFh	未定義	読み出し専用

完全なアドレス マップについては **Table 25** を参照してください。

2.2.1 デバイス ID

JEDEC (Joint Electron Device Engineering Council) の標準 JEP106T は、準拠メモリ用の製造者 ID を定義します。共通の業界使用法が、メモリデバイスから製造者 ID とデバイス固有 ID を読み出す方法とフォーマットを定義しました。製造者 ID とデバイス ID 情報は、主に、プログラミング機器が、対応するプログラミング アルゴリズムを有するデバイスと自動的にマッチするように意図されています。インフィニオンはこの 32 バイトのアドレス空間内に追加フィールドを加えました。

元の業界フォーマットは、x8, x16, x32 等のどのメモリ データ バス幅でも動作するように構成されていました。ID コード値は従来はバイト幅ですが、バス幅アドレス境界に位置しています。これはデバイス アドレス入力のインクリメントが、常に、データ バスの最下位バイトに位置する ID コード付きの、連続するバイト , ワード , またはダブルワード位置を読み出すためです。デバイスのデータ バスはワード幅のため、各コード バイトは各ワード位置の下半分に位置しています。元の業界フォーマットでは上位バイトが常に 0 でした。インフィニオンはこのフォーマットを変更して、アドレス空間のいくつかのワードにおいて両方のバイトを使用するようにしました。デバイス ID のアドレス マップの詳細については **Table 25** を参照してください。

2.2.2 共通フラッシュ メモリ インターフェース

JEDEC CFI 仕様 (JESD68.01) は、フラッシュ メモリ デバイスから読み出し可能な標準化されたデータ構造を定義し、ベンダー仕様のソフトウェア アルゴリズムを全デバイス ファミリで使用可能としています。データ構造には、さまざまな電気的パラメーターとタイミング パラメーター、およびデバイスがサポートする特別な機能などのシステム設定の情報が含まれます。そのため、ソフトウェア サポートは、デバイスに依存せず、デバイス ID にも依存せず、フラッシュ デバイス ファミリ全体に対して上位下位互換性があります。

システムは、**デバイス ID と共通フラッシュ インターフェース (ID-CFI) の ASO マップ**に示すように、選択したセクタ内のアドレスにある CFI 情報を読み出せます。

デバイス ID 情報のように、CFI 情報は x8, x16, x32 などのすべてのメモリ データ バス幅で動作するように構成されています。コード値は常にバイト幅ですが、データ バス幅アドレス境界に位置されます。よって、デバイス アドレスのインクリメントは、常にデータ バスの最下位バイトに位置するコード付きの連続するバイト , ワード , またはダブル ワード位置を読み出します。データ バスはワード幅のため、各コード バイトは各ワード位置の下半部に位置し、上位バイトは常に '0' です。

詳細は、CFI 仕様バージョン 1.4 (またはそれ以降) および JEDEC 発行文献 JEP137-A および JESD68.01 の資料を参照してください。JEDEC 標準については、JEDEC ((**www.jedec.org**) にお問い合わせください。

2.3 ステータス レジスタ ASO

ステータス レジスタ ASO は、組込みアルゴリズム (EA) のレジスタ化された揮発性状態を示す単一のワードを含みます。ステータス レジスタ読み出しコマンドが発行されると、現時点のステータスが (WE# の立ち上りエッジで) レジスタに取り込まれ、ASO が有効になります。ステータス レジスタの内容はすべてのワード位置に現れます。最初の読み出しアクセスは、ステータス レジ スタ ASO 状態 (CE# または OE# の立ち上りエッジを有する) を終了し、ステータス レジスタ読み出しコマンドの発行時点に使 用されていたアドレス空間のマップに戻ります。書き込みコマンドはステータス レジスタ ASO 状態を終了しません。

2.4 データ ポーリング ステータス ASO

データ ポーリング ステータス ASO は、EA の進行状態を示す揮発性メモリの単一のワードを含みます。データ ポーリング ステータス ASO 状態への遷移は、EA を開始するコマンド シーケンスの最後の書き込みサイクルの直後に行われます。EA を開始するコマンドは以下です。

- ワード プログラム
- バッファからフラッシュへのプログラム
- チップ消去
- セクタ消去
- 消去の再開 / プログラム再開
- プログラム再開拡張方式
- ブランク チェック
- ロック レジスタ プログラム
- パスワード プログラム
- PPB プログラム
- 全 PPB 消去
- 消去ステータス評価

データ ポーリングによるステータス ワードは、デバイスのアドレス空間のすべてのワード位置に現れます。EA が完了するとデータ ポーリング ステータス ASO は終了し、デバイス アドレス空間は EA が開始された時点のアドレスマップモードに戻ります。

2.5 SSR ASO

SSR は、1 回のみプログラム可能で更なる変更からは永久に保護される追加メモリ領域、つまり 1 回書き込み可能 (OTP) 領域を提供します。SSR の長さは 2048 バイトです。その内容は、工場用ロック セキュア シリコン領域 (SSR0) が 512 バイト , カスタマー用ロックセキュア シリコン領域 (SSR1 と SSR2) が 1024 バイト , および読み出しパスワード付きのカスタマー用ロック セキュア シリコン領域 (SSR3) が 512 バイトです。

SSR0 は、更なるプログラミングを防止するために、ロックされた状態で出荷されています。SSR1 と SSR2 はそれぞれが個別のロック ビットを持つ OTP で、一度ロックされるとその領域への更なるプログラミングは不可です。SSR3 は OTP で、SSR3 パスワードがないとこの領域の読み出しやプログラミングには SSR3 パスワードが必要です。SSR3 は一度ロックされると更なるプログラミングは実行できません。

セキュア シリコン エントリ コマンドの実行中に提供されるセクタ アドレスは、SSR のアドレス マップによってオーバーレイされるフラッシュ メモリ アレイ セクタを選択します。SSR は選択したセクタ内の位置 0 からオーバーレイされます。将来の互換性のため、セクタ 0 のアドレスを使用することを推奨します。SSR ASO 状態の間、他のすべてのセクタの内容は、読み出し動作のためのメモリ コア データです。ASO 領域外のプログラミングは許可されません。

Table 5 SSR

ワード アドレス範囲	バイト アドレス範囲	内容	領域	サイズ
(SA) + 0000h ～ 00FFh	(SA) + 0000h ～ 01FFh	工場ロック用セキュア シリコン領域	SSR0	512 バイト
(SA) + 0100h ～ 01FFh	(SA) + 0200h ～ 03FFh	カスタマー ロック用セキュア シリコン領域	SSR1	512 バイト
(SA) + 0200h ～ 02FFh	(SA) + 0400h ～ 05FFh	カスタマー ロック用セキュア シリコン領域	SSR2	512 バイト
(SA) + 0300h ～ 03FFh	(SA) + 0600h ～ 07FFh	読み出しパスワード付きカスタマー ロック用セキュア シリコン領域	SSR3	512 バイト
(SA) + 0400h ～ FFFFh	(SA) + 0800h ～ 1FFFFh	未定義	該当なし	126 KB

2.6 セクタ保護の制御

2.6.1 ロック レジスタ ASO

ロック レジスタ ASO は、OTP メモリのシングル ワードを含みます。ASO モードに遷移すると、ロック レジスタがデバイス アドレス空間のすべてのワード位置に割り付けられます。しかし、将来の互換性のため、ロック レジスタに対する読み出しまたはプログラミングは、デバイス アドレス空間の位置 0 でのみ行うことを推奨します。

2.6.2 恒久的保護ビット (PPB) ASO

PPB ASO は、デバイス内の各セクタに対応するフラッシュ メモリ アレイの 1 ビットを含みます。PPB ASO モードに遷移すると、セクタの PPB ビットがそのセクタ内のアドレスの最下位ビット (LSB) に割り付けられます。セクタ内の任意のアドレスを読み出すと、LSB がそのセクタの不揮発性保護状態を示すデータを表示します。ただし、将来の互換性のため、PPB ビットの読み出しまたはプログラミングをセクタのアドレス ‘0’ でのみ行うことを推奨します。このビットが ‘0’ の場合、セクタはプログラミングおよび消去動作から保護されます。このビットが ‘1’ の場合、セクタは PPB で保護されません。セクタは ASP の他の機能でも保護されることがあります。

2.6.3 PPB ロック ASO

PPB ロック ASO は、揮発性メモリのシングル ビットを含みます。このビットは、PPB ASO のビットがプログラミングまたは消去されることを制御します。このビットが 0 の場合、PPB ASO はプログラミングおよび消去動作から保護されます。このビットが 1 の場合、PPB ASO は保護されません。PPB ロック ASO モードに遷移すると、PPB ロック ビットがデバイス アドレス空間内の各アドレスの最下位ビット (LSB) に割り付けられます。ただし、将来の互換性のため、PPB ロック ビットに対する読み出しまたはプログラミングを、デバイスのアドレス ‘0’ でのみ行うことを推奨します。

2.6.4 パスワード ASO

パスワード ASO は、OTP メモリの 4 ワードを含みます。パスワード ASO モードに遷移すると、パスワードがデバイス アドレス空間内のアドレス ‘0’ から出力されます。第 4 ワードより上位のアドレスのデータは未定義です。

2.6.5 ダイナミック保護ビット (DYB) ASO

DYB ASO は、デバイス内の各セクタに対応する揮発性メモリ アレイの 1 ビットを含みます。DYB ASO モードに遷移すると、セクタの DYB ビットはそのセクタの各アドレスの最下位ビット (LSB) に割り付けられます。セクタ内の任意のアドレスを読み出すと、セクタの不揮発性保護状態を示す LSB のあるデータを表示します。しかし、将来の互換性のため、DYB ビットに対する読み出し、セットまたはクリアは、セクタのアドレス 0 でのみ行うことを推奨します。このビットが ‘0’ の場合、セクタはプログラミングおよび消去動作から保護されます。このビットが ‘1’ の場合、セクタは DYB で保護されません。セクタは ASP の他の機能で保護されることがあります。

2.7 ECC ステータス ASO

システムは、読み出しモード中に ECC ステータス エントリ コマンド シーケンスを発行することで、ECC ステータス ASO にアクセスできます。ECC ステータス ASO は、ECC 機能の有効または無効ステータス、または選択されたページの読み出し中に ECC 機能が 1 ビット エラーを訂正したか否かの情報を提供します。**自動 ECC** は、ECC 機能についてより詳細に説明します。

ECC ステータス ASO では以下の動作が行えます。

- 選択したページの ECC ステータスの読み出し
- ASO 終了

2.7.1 ECC ステータス

ECC ステータス ASO の内容は、選択された ECC ページについて、ECC ロジックが、32 バイトデータの ECC ページで、ECC ページ 8 ビット ECC コードでエラーを訂正したか否かを、またはその ECC ユニットで ECC が無効になっていることを示します。**Table 23** と **Table 24** に示す ECC ステータス読み出しコマンドで指定したアドレスは ECC ページを選択します。

Table 6 ECC ステータス ワード – 上位バイト

ビット	15	14	13	12	11	10	9	8
名称	RFU	RFU	RFU	RFU	RFU	RFU	RFU	RFU
値	X	X	X	X	X	X	X	X

Table 7 ECC ステータス ワード – 下位バイト

ビット	7	6	5	4	3	2	1	0
名称	RFU	RFU	RFU	RFU	16 ワード ページで ECC 有効	ECC ビットの 1 ビット エラー訂正済み	データ ビットの 1 ビット エラー訂正済み	RFU
値	X	X	X	X	0 = ECC 有効 1 = ECC 無効	0 = エラー訂正なし 1 = 1 ビットエラー訂正済み	0 = エラー訂正なし 1 = 1 ビットエラー訂正済み	X

3 データ保護

デバイスは、どのセクタでの悪意によるもしくは偶発的な変更 をハードウェア手段によって防ぐためのいくつかの機能を提供します。

3.1 デバイス保護方式

3.1.1 電源投入時の書き込み禁止

RESET#, CE#, WE#, OE# は、Power-On-Reset(POR) 中は無視されます。POR 時には、デバイスは選択できず 、WE# の立ち上りエッジでコマンドを受け付けず、出力をさせません。ホスト インターフェース コントローラー (HIC) と組込みアルゴリズムコントローラー (EAC) は、POR 時には、スタンバイ状態にリセットされ、アレイ データ読み出し準備ができています。CE# または OE# は POR (t_{VCS}) の終了前に V_{IH} に達する必要があります。

POR の終了時、デバイスの条件は以下のとおりです。

- すべての内部設定情報がロードされている
- デバイスは読み出しモードになっている
- ステータス レジスタはデフォルト値になっている
- DYB ASO 内のすべてのビットは全セクタを非保護の設定になっている
- 書き込みバッファはすべて 1 の値でロードされている
- EAC はスタンバイ状態になっている

3.1.2 低 V_{CC} 時の書き込み禁止

V_{CC} が V_{LKO} 未満になると、HIC はすべての書き込みサイクルを受信せず、EAC がリセットされます。これにより、V_{CC} 電圧投入時と切断時にデータは保護されます。V_{CC} が V_{LKO} 以上の場合、意図しない書き込みを回避するために、システムは適切な信号を制御ピンに供給する必要があります。

3.2 コマンド保護

EA はコマンド シーケンスを EAC コマンド メモリに書き込むことで開始されます。コマンド メモリ アレイはホスト システムからの読み出しは不可で、ASO を有しません。各ホスト インターフェース書き込みは、デバイスに対するコマンドまたはコマンド シーケンスの一部です。EAC は、書き込みが適切なコマンド シーケンスの一部かどうかを判断するために、各書き込み転送のアドレスとデータを確認します。正しいコマンド シーケンスが完了すると、EAC は適切な EA を開始します。

誤ったアドレスやデータ値を書き込むか、または不適切なシーケンスで書き込むことにより、EAC を通常、スタンバイ状態に戻します。ただし、不適切なコマンド シーケンスによりデバイスが不定状態になることがあります。この場合には、システムはリセット コマンドを書き込むか、または場合によりハードウェア リセット (RESET# 信号を LOW に駆動する) を行い、EAC をスタンバイ状態 (ランダム読み出し可能状態) に復帰させる必要があります。

各書き込みで提供されるアドレスは、その書き込みがデバイスに対するコマンドであることを識別するように、ビット パターンを含んでいることがあります。アドレスの上位部分は、コマンド動作が実行されるセクタ アドレスを選択することもできます。セクタ アドレス (SA) は Amax から A16 までのフラッシュ アドレス ビット (システム バイト アドレス信号 Amax から A16) を含みます。コマンド ビット パターンは、A10 ～ A0 のフラッシュ アドレス ビット (システム バイト アドレス信号 A11 から A1) に配置されます。

各書き込みにおけるデータは、書き込みをコマンドとして識別するためのビット パターン、実行されるコマンド動作を識別するコード、または動作を実行するために必要な提供情報です。デバイスにより受け付けられるコマンドの一覧については、**Table 23** を参照してください。

3.3 SSR (OTP)

セキュア シリコン領域の説明については **SSR ASO** を参照してください。許可されるコマンドの説明については**セキュア シリコン領域 ASO** を参照してください。

3.4 セクタ保護方式

3.4.1 書き込み保護信号

WP# = V_{IL} の場合は、他の ASP 設定に関係なく、最下位または最上位アドレスのセクタがプログラム動作や消去動作から保護されます。最下位と最上位セクタのどちらかは選択したデバイス オーダー オプション (モデル) に依存します。WP# = V_{IH} の場合、最下位または最上位アドレスのセクタは WP# 信号によって保護されませんが、他の ASP 設定の要素により保護されることがあります。WP# は内部プルアップを持っており、何も接続しないと V_{IH} となります。組込み動作中に WP# は V_{IL} と V_{IH} の間で変化させてはいけません。

3.4.2 高度セクタ保護 (ASP)

ASP は、1 つのセクタまたはすべてのセクタで、プログラムや消去の動作を個別に無効または有効にするために使用される、独立したハードウェアおよびソフトウェア方式の一式です。ここでは、メモリアレイに保存されたデータのさまざまな保護方法を記載します。これらの方式の概要を **Figure 2** に示します。

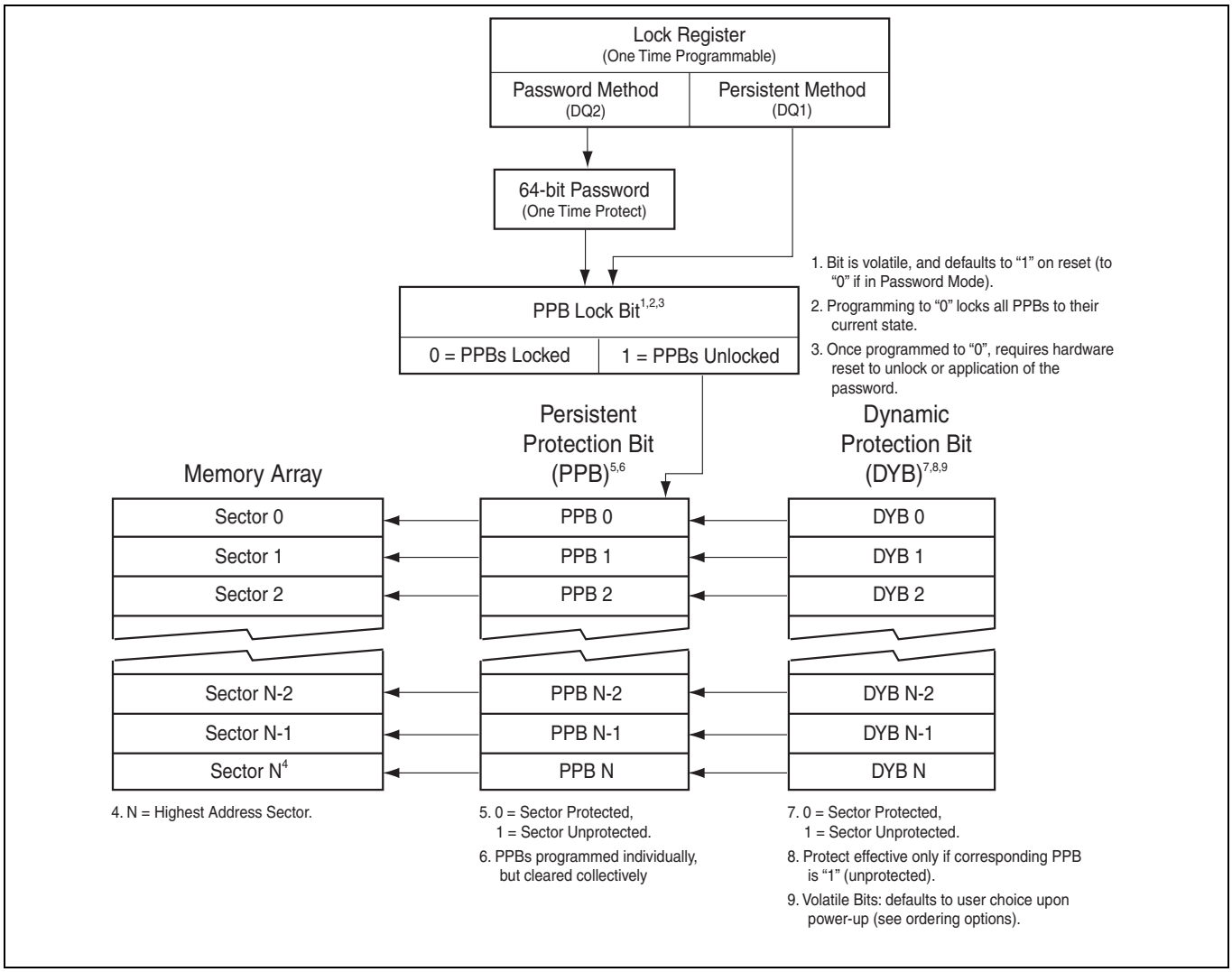


Figure 2 ASP の概要

いずれのメインのフラッシュ アレイ セクタにも、不揮発性 (PPB) と揮発性 (DYB) の保護ビットが整備されています。それらのビットのどちらかが ‘0’ であると、セクタはプログラム動作や消去動作から保護されます。

PPB ビットは、PPB ロック ビットが ‘0’ の場合にプログラムや消去から保護されます。PPB ロック ビットの状態を管理する方式には、恒久保護およびパスワード保護の 2 つがあります。

恒久保護方式では、POR またはハードウェア リセット時に PPB ロック ビットが ‘1’ にセットされ、PPB ビットがデバイス リセットによって保護されなくなります。PPB ビットを保護するために PPB ロック ビットを ‘0’ にクリアするためのコマンドがあります。恒久保護方式では、PPB ロック ビットをセットするコマンドがないため、PPB ロックビットは、次の電源切断またはハードウェア リセットまで、‘0’ のままです。恒久保護方式では、ブートコードにより、PPB のプログラミングまたは消去によってセクタ保護を変更するオプションを設定し、次に PPB ロック ビットを消去することで、その後の通常のシステム動作の間の更なる変更から PPB を保護します。これはブート コード制御によるセクタ保護とも呼ばれます。

パスワード方式では、POR またはハードウェア リセットの間、PPB ロック ビットを ‘0’ にクリアして PPB を保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠せます。隠しパスワードと比較するためのパスワードを供給するために 1 個のコマンドが使用されます。パスワードが一致した場合、PPB ロック ビットは PPB を保護解除するために ‘1’ に設定されます。PPB ロックビットを ‘0’ に消去するために、あるコマンドが使用されます。

PPB ロック管理方法の選択は、ロック レジスタの OTP ビットのプログラミングによって行われ、使用方法がそれに応じて恒久的に選択されます。

ロック レジスタは SSR 保護用の OTP ビットも含んでいます。

PPB ビットは消去され、そのためインフィニオンからの出荷時にはすべてのメイン フラッシュ アレイのセクタがすべて非保護です。セキュア シリコン領域は、注文時のオーダ オプション (モデル) によって、工場にて保護するか非保護のままにできます。

3.4.3 PPB ロック

PPB ロックはすべての PPB ビットを保護するための揮発性ビットです。‘0’ にクリアすると、すべての PPB をロックし、‘1’ に設定すると PPB の変更を許可します。PPB ロック ビットはデバイスあたりに 1 つのみ割り当てられます。

PPB ロック コマンドを使用してこのビットを ‘0’ にクリアします。PPB ロック ビットは、必ずすべての PPB を所望の設定にした後で、‘0’ にクリアされなければなりません。

恒久保護モードでは、POR またはハードウェア リセットの間は、PPB ロックが ‘1’ にセットされます。クリアされると、ソフトウェア コマンド シーケンスでは PPB ロックをセットできません。別のハードウェア リセットまたは電源投入で PPB ロックビットをセットする必要があります。

パスワード保護モードでは、POR またはハードウェア リセットの間に、PPB ロックが ‘0’ にクリアされます。PPB ロックは、パスワード ロック解除コマンド シーケンスによってのみ ‘1’ に設定できます。PPB ロックは PPB ロック ビット クリアのコマンドで消去できます。

3.4.4 恒久的保護ビット (PPB)

PPB は、別の不揮発性フラッシュ アレイに配置されます。各セクタごとに 1 つの PPB ビットが割り当てられます。PPB が ‘0’ の場合、その対応するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムされますが、グループとして消去される必要があります。これは、個々のワードがメイン アレイでプログラム可能であるがセクタ全体が一括での消去を必要とすることと同様です。消去前のプリプログラミングと検証は EAC が行います。

PPB ビットのプログラミングには、通常のワード プログラミングのための時間が必要です。PPB ビットのプログラミング動作または PPB 消去動作中は、動作が完了するまで、データ ポーリング状態 DQ6 トグル ビット I がトグルします。すべての PPB を消去するには、通常のセクタ消去時間が必要です。

PPB ロックが ‘0’ の場合、PPB プログラムまたは消去コマンドは実行されず、PPB のプログラミングまたは消去することなくタイムアウトします。

所定のセクタの PPB の保護状態は、PPB ASO に遷移した時に PPB 状態読み出しコマンドを実行することによって確認されます。

3.4.5 ダイナミック保護ビット (DYB)

DYB は、揮発性でセクタ固有であり、個別に変更できます。DYB は、消去した PPB を持つセクタのみに対して保護を制御します。セクタの PPB が ‘1’ の場合には、DYB セットまたは消去コマンド シーケンスを発行すると、DYB はそれに応じて ‘0’ に設定されるかまたは ‘1’ に消去され、それに伴って各セクタは保護か非保護の状態に置かれます。この機能により、ソフトウェアで簡単にセクタを予期せぬ書換えから保護でき、同時に変更が必要な場合に簡単な保護解除することが出来ます。

DYB は、必要に応じて ‘0’ にセットするかまたは ‘1’ にクリアできます。

3.4.6 セクタ保護状態の概要

各セクタは以下の保護状態があります。

- ロック解除 – セクタは非保護です。簡単なコマンドで保護を変更できます。パワー サイクルまたはハードウェア リセット後は非保護のデフォルト状態となります。
- 動的ロック – セクタは保護され、保護は簡単なコマンドで変更できます。パワー サイクルまたはハードウェア リセットの間は、保護状態は保存されません。
- 恒久的ロック – セクタは保護されます。PPB ロック ビットが ‘1’ にセットされた場合のみ、保護を変更できます。保護状態は不揮発性で、パワー サイクルまたはハードウェア リセットの間は保存されます。保護状態を変更するには、PPB ビットをプログラムするかまたは消去する必要があります。

Table 8 セクタ保護状態

保護ビット値			セクタ状態
PPB ロック	PPB	DYB	
1	1	1	非保護 – PPB と DYB は変更可能
1	1	0	保護 – PPB と DYB は変更可能
1	0	1	保護 – PPB と DYB は変更可能
1	0	0	保護 – PPB と DYB は変更可能
0	1	1	非保護 – PPB は変更不可、DYB は変更可能
0	1	0	保護 – PPB は変更不可、DYB は変更可能
0	0	1	保護 – PPB は変更不可、DYB は変更可能
0	0	0	保護 – PPB は変更不可、DYB は変更可能

3.4.7 ロック レジスタ

ロック レジスタは、SSR の保護を制御し PPB ロック ビットの管理方法 (保護モード) を決定するための、不揮発性 OTP ビットを持っています。

Table 9 ロック レジスタ

ビット	デフォルト値	名称
15 ～ 12	1	予約済み
11	1	SSR 領域 3 パスワード保護モード ロック ビット
10	1	SSR 領域 3 (カスタマー) ロック ビット
9	1	SSR 領域 2 (カスタマー) ロック ビット
8	0	予約済み
7	1	予約済み
6	1	SSR 領域 1 (カスタマー) ロック ビット
5	1	予約済み
4	1	予約済み
3	1	予約済み
2	1	パスワード保護モード ロック ビット
1	1	恒久的保護モード ロック ビット
0	0	SSR 領域 0 (工場) ロック ビット

一度ロックすると、SSR の保護された部分をロック解除する方法はなく、この保護された SSR のメモリ空間のいずれのビットも変更できないため、SSR の保護ビットを使用する際には十分注意する必要があります。SSR が保護されると、この領域へのプログラムのあらゆる試みに対しては、プログラムする領域が保護されている旨のステータスが表示され、どのようなプログラミングの試みも成功しません。領域 0, 1, 2 および 3 のインジケータ ビットは、それぞれロック レジスタのビット位置 0, 6, 9, および 10 に配置されています。

工場出荷時は、すべてのデバイスはデフォルトの恒久保護方式になっており、電力が印加されたときはすべてのセクタが非保護になっています。デバイス プログラマやホスト システムは、その後セクタ保護方式を選択できます。1 回プログラミング方式 , 不揮発性ビット , それらのいずれかをプログラミングすると、その箇所をそのモードで恒久的にロックします。

恒久保護モード ロック ビット (DQ1)

パスワード保護モード ロック ビット (DQ2) 両方のロック ビットをプログラミングのために同時に選択すると、動作は中止されます。パスワード モード ロック ビットがプログラムされると、恒久的モード ロック ビットは恒久に無効とされ、保護方式に対する変更は許可されません。同様に、恒久的モード ロック ビットをプログラムすると、パスワード モードは恒久的に無効となります。

パスワード モードを選んだ場合は、対応するロック レジスタ ビットを設定する前に、パスワードをプログラムしてください。パスワード保護モード ロック ビット (DQ2) を設定するとパスワードのプログラミングや読み出し能力が無効になります。

ロック レジスタのプログラミング時間は、通常のワード プログラミングに要する時間と同じです。ロック レジスタ プログラミング EA の間、データ ポーリング状態 DQ6 トグル ビット I は、プログラミングが完了するまでトグルします。システムはまた、ステータス レジスタを読み出すことで、ロック レジスタのプログラミング状態を決定できます。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。

DQ2 または DQ1、および DQ6 または DQ0 の各ビットを同時にプログラムする必要はありません。これにより、デバイス保護スキームを選択前後に、ユーザーが SSR をロックできます。ロック ビットをプログラムする場合、予約済みビットは ‘1’ (マスク済み) でなくてはいけません。

3.4.8 恒久保護モード

恒久保護方式は、POR またはハードウェア リセットの間に PPB ロック ビットが ‘1’ にセットされ、PPB ビットがデバイス リセットによって保護されません。PPB を保護するために PPB ロック ビットを ‘0’ にクリアするためのコマンドがあります。恒久保護方式では、PPB ロック ビットを ‘1’ にセットするコマンドがないため、次の電源切断またはハードウェア リセットまで PPB ロック ビットは ‘0’ のままです。

3.4.9 パスワード保護モード

3.4.9.1 PPB パスワード保護モード

PPB パスワード保護モードを使用すると、PPB ロックを設定するための 64 ビットのパスワードを要求することによって、恒久的セクタ保護モードよりもむしろ高いセキュリティ レベルを実現できます。このパスワード要件に加えて、電源投入とリセット後、電源投入時の保護を確実にするために PPB ロックは ‘0’ にクリアされます。完全なパスワードを入力してパスワード ロック解除コマンドを正常に実行すると、PPB ロックが ‘1’ にセットされ、セクタの PPB の変更が可能になります。

パスワード保護の注意 :

- パスワード プログラム コマンドでプログラムできるのは、0 だけです。
- インフィニオン出荷時はパスワードはすべて 1 です。パスワードは自身のメモリ空間内にあり、パスワード プログラムとパスワード読み出しコマンドの使用によりアクセス可能です。
- あらゆる 64 ビット パスワードの組合せがパスワードとして有効です。
- パスワードをプログラムして検証したら、パスワードの読み出しや書き換えを防ぐためには、パスワード モード ロック ビットをセットする必要があります。
- パスワード モード ロック ビットをプログラムすると、データ バス上で 64 ビット パスワードの読み出しができなくなり、さらなるパスワードのプログラミングもできません。パスワード領域に対するさらなる読み出しコマンドは無効にされます (データは 1 として読み出されます)。パスワード保護モード ロック ビットがプログラムされた後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのは、パスワード保護モードを選択する前のみです。プログラミング動作はすべて失敗となり、その結果はロックしたセクタでの通常のプログラム障害として報告されます。
- パスワード モード ロック ビットは消去できません。
- ロック解除の機能を動作させるためには、正確なパスワードを入力する必要があります。
  - アドレスはどのような順序でもロードできますが、一致の成功のためには 4 ワードすべてが必要です。
  - パスワード アドレス / データをロードする間に、セクタ アドレス (Amax ～ A16) とワード ライン アドレス (A15 ～ A8) が「0」と比較されます。セクタ アドレスまたはワード ライン アドレスが一致しない場合、書き込みサイクルの最後にエラーが報告されます。ステータスレジスタは、プログラム ステータス ビットが ‘1’ にセットされ、書き込みバッファ中止ステータスビットが ‘1’ にセットされ、プログラミング動作が失敗したことを表して、レディ状態に戻ります。データ ポーリング状態は、DQ7 がパスワード ロック解除コマンドの最後のワード内の DQ7 ビットの補数に設定され、DQ6 がトグルして、アクティブ状態のままです。RY/BY# は LOW のままです。
  - 特定のアドレスとデータは、プログラム バッファからフラッシュ コマンドが与えられた後に比較されます。内部の設定値と一致しない場合、プログラミング動作が失敗したことを示すプログラム状態ビットが ‘1’ に設定されて、ステータス レジスタはレディ状態に戻ります。データ ポーリング状態は、DQ7 がパスワード ロック解除コマンドの最後のワード内の DQ7 ビットの補数に設定され、DQ6 がトグルして、アクティブ状態のままです。RY/BY# は LOW のままです。誤ったパスワードによるこのエラーの場合、デバイスは t_{PPB} の待ち時間を必要とし、ソフトウェアリセットコマンドが、パスワード ASO を適切に終了するためのパスワード ASO 終了コマンドの前に、エラーをクリアする必要があります。そうしないと、デバイスはパスワード ASO のままです。
- デバイスは、有効な 64 ビットのパスワードがデバイスに与えられた後に PPB ロックを設定するために t_{PPB} の時間が必要です。このため、ハッカーが正しいパスワードに一致させようとすべての 64 ビットの組合せを実行するには、非現実的な長さの時間 (5800 万年) かかります。EA ステータス チェック方式は、いつ EAC が新規パスワード コマンドを受付ける準備ができるかの判定にも使用できます。
- パスワード モード ロック ビットの設定後にパスワードを失くした場合、PPB ロックをクリアする方法はありません。

4 読み出し動作

4.1 非同期読み出し

それぞれの読み出しアクセスをメモリ内の任意の場所に対して実行できます (ランダムアクセス)。それぞれのランダムアクセスはセルフタイム式であり、CE# またはアドレスが確定してから有効なデータが出力されるまでの時間 (t_{ACC} または t_{CE}) と同じレイテンシで実行されます。

4.2 ページ モード読み出し

それぞれのランダム読み出しは 32 バイトからなる「ページ」全体に並列でアクセスします。同じページ内の後続の読み出しは、より速い読み出しアクセス速度により行われます。ページは上位アドレス ビット (Amax ～ A4) によって選択されますが、そのページの特定のワードは最下位アドレス ビット A3 ～ A0 (x8 タイプでは A3 ～ A1) によって選択されます。上位アドレス ビットは一定に保持され、同じページの異なるワードを選択するためには A3 ～ A0 (x8 タイプでは A3 ～ A1) だけが変更されます。これは非同期アクセスであり、CE# と OE# の両方が LOW、および非同期ページ アクセス時間 (t_{PACC}) が満たされた場合に、そのデータが DQ15 ～ DQ0 (x8 タイプでは DQ7 ～ DQ0) に現れます。後続のアクセスのために CE# が HIGH になってから LOW になると、ランダム読み出しアクセスが実行され、その実行時間 (t_{ACC} または t_{CE}) も必要とされます。

5 組込み動作

5.1 組込みアルゴリズム コントローラー (EAC)

EAC は、フラッシュ メモリ アレイをプログラムし、消去するためのコマンドをホスト システムから受信し、不揮発性メモリの状態を変更するのに必要な複雑な操作をすべて実行します。これにより、ホスト システムはプログラムおよび消去のプロセスを管理する必要がなくなります。

EAC の動作は以下の 4 カテゴリに分けられます。

- スタンバイ (読み出しモード)
- アドレス空間の切替え
- 組込みアルゴリズム (EA)
- 高度セクタ保護 (ASP) の管理

5.1.1 EAC スタンバイ

スタンバイ モードでは、消費電流を大幅に低減できます。コマンドが処理されず、組込みアルゴリズムが進行中でないとき、EAC はスタンバイ モードに入ります。組込みアルゴリズムの実行中にデバイスを非選択とする (CE# = HIGH) と、その動作が完了するまでデバイスは依然としてアクティブ電流を消費します (I_{CC3})。**DC 電気的特性**の I_{CC4} はホスト インターフェースと EAC の両方がスタンバイ状態にあるときのスタンバイ電流の仕様を示しています。

5.1.2 アドレス空間の切替え

特定のアドレスとデータ配列 (コマンド シーケンス) を書き込むと、メモリ デバイス アドレス空間をメイン フラッシュ アレイからアドレス空間オーバーレイ (ASO) の 1 つに切り替えます。

組込みアルゴリズムは、現時点で有効になっている (入っている) ASO で表示されている情報に基づいて動作します。システムが ASO 終了コマンドを発行する、ハードウェア リセットを実行する、またはデバイスの電源が切られるまで、システムは ASO へのアクセスを継続します。ASO 終了コマンドは、ASO からメイン フラッシュ アレイのアドレス空間に切り替えます。特定の ASO が有効の時に受信されたコマンドは、コマンド定義テーブルの ASO 開始と ASO 終了コマンドの間にリストアップされています。すべてのコマンド シーケンスのアドレスとデータの要件については、**コマンドのまとめ**を参照してください。

5.1.3 組込みアルゴリズム (EA)

メモリ アレイ内の不揮発性データの書換えには、EA と呼ばれる複雑な動作シーケンスを実行する必要があります。これらのアルゴリズムはデバイス内部の EAC によって完全に管理されています。メイン アルゴリズムは、メイン アレイ のデータと ASO のプログラミングと消去を実行します。ホスト システムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するのに必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

5.2 プログラムと消去のまとめ

フラッシュのデータ ビットは、セクタと呼ばれる大きなグループで並行して消去されます。消去動作は、セクタ内の各データ ビットを論理 1 状態 (HIGH) に設定します。フラッシュ データ ビットは、消去状態 (論理 1) からプログラム状態 (論理 0、LOW) に個別にプログラミングできます。'0' のデータ ビットを '1' にプログラムすることはできません。後続の読み出し結果から、そのデータが '0' のままであることが分かります。'0' から '1' に変換できるのは消去動作のみです。同じワード位置を別の 0 ビットで複数回プログラムすると、直前のデータとプログラミング中の新しいデータとの論理積となります。プログラム動作と消去動作の時間を**組込みアルゴリズム性能表**に示します。

プログラムと消去動作を一時停止できます。

- 消去動作を一時停止することで消去動作中に (消去セクタ以外の) 別のセクタのプログラミングや読み出しを行えます。消去一時停止中は他の消去動作を開始できません。
- プログラム動作を一時停止することで、(プログラミング中のライン以外の) 別の位置の読み出しを行えます。
- プログラム動作の一時停止中は、他のプログラム動作または消去動作を開始できません。つまり、プログラム動作の一時停止中はプログラム コマンドと消去コマンドが無視されます。
- 間に挟んだプログラム動作または読み出しアクセスが完了すると、一時停止している消去動作やプログラム動作が再開されます。デバイスが別のコマンドを実行していない場合は、一時停止後に随時に再開できます。
- プログラム動作と消去動作は、必要に応じて何度でも中断できますが、プログラム動作または消去動作を進捗させ完了させるためには、再開コマンドと次の一時停止コマンドの間に、**組込みアルゴリズム性能表**に示す t_{PRS} または t_{ERS} 以上の時間を要します。
- EA が完了すると、EAC は EA が開始された動作状態 (消去一時停止 , EAC スタンバイ , ...) とアドレス空間に戻ります。

システムは、ステータス レジスタを読み出すか、またはデータ ポーリング ステータスを使うことにより、プログラム動作または消去動作のステータスを決定できます。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。詳細については**データ ポーリング ステータス**を参照してください。

組込みプログラム アルゴリズムの実行中にデバイスに書き込まれるコマンドは、プログラム一時停止 (x51h), ステータス読み出しコマンド (x70h), および消去一時停止 / プログラミング一時停止コマンド (xB0h) 以外は無視されます。

組込み消去アルゴリズムの実行中にデバイスに書き込まれるコマンドは、ステータス読み出し (x70h) および消去一時停止 / プログラミング一時停止コマンド (xB0h) 以外は無視されます。

ハードウェア リセットが発生すると、進行中のプログラム / 消去動作が直ちに終了し、t_{RPH} 時間後に読み出しモードに戻ります。データの完全性を確保するためには、デバイスがアイドル状態に戻ったら、終了した動作を再実行します。

性能と信頼性の理由で、読み出しとプログラミングは 32 バイト のページ上で内部的に行われます。**DC 電気的特性**の I_{CC3} は書き込み (組込みアルゴリズム) 動作時のアクティブ電流仕様を示します。

5.2.1 プログラムの粒度

S29GL-T は、ワードプログラミングと、書き込みバッファプログラミングの、2 つのプログラミング方式をサポートしています。各ページはどちらかの方法でプログラミングできます。異なる方式でプログラムされたページは、産業用温度バージョン (-40°C ～ +85°C) では、同じラインに混在する場合があります。産業用プラス バージョン (-40°C ～ +105°C) および拡張バージョン (-40°C ～ +125°C) では、デバイスは消去間に各 32 バイトのページごとに 1 回のプログラム動作だけをサポートしており、シングル ワード プログラミング コマンドはサポートされません。

ワード プログラミングは、コマンドによって提供されたワードのデータを検査し、コマンドのデータ ワードの 0 と一致させるようにアドレス指定したメモリ アレイのワードに 0 をプログラムします。

書き込みバッファ プログラミングは、書き込みバッファを検査し、書き込みバッファの 0 と一致させるようにアドレス指定したメモリ アレイのページに 0 をプログラムします。なお、書き込みバッファのすべてをデータで満たす必要はありません。最少単一ビット , 複数ビット , 単一ワード , 複数ワード , 1 ページ , 複数ページ , またはバッファすべてのプログラミング動作が可能です。書き込みバッファ方式を使用すると、プログラム コマンドを書き込む時のホスト システムのオーバーヘッドが削減され、プログラム動作時のメモリ デバイスの内部オーバーヘッドが削減されるため、書き込みバッファによるプログラミングはより効率的になり、ワード プログラミング コマンドによって個別ワードをプログラムする方式よりプログラム時間がさらに短縮されます。

5.2.2 追加プログラミング

ワード プログラミングか書き込みバッファによるプログラミングのいずれかの方式で、同じワード位置を複数回プログラムして、追加分だけ 1 を 0 に変更できます。同じページで複数回のプログラミング動作を行うと、そのページの ECC が無効になることに注意してください。

5.3 自動 ECC

5.3.1 ECC の概要

自動 ECC 機能は、通常プログラム、消去および読み出し動作でトランスペアレントに（存在が意識されず）機能します。デバイスがデータ ページを書き込みバッファからメモリ アレイに転送する時、内部 ECC ロジックはページ用の ECC コードを、ホストシステムには見えないメモリ アレイの一部にプログラムします。デバイスは各初期ページ アクセス中にページ データと ECC コードを評価します。必要があれば、内部 ECC ロジックは初期アクセス時間中に 1 ビット エラーを訂正します。

特定のページに複数回プログラムすると、そのページの ECC 機能が無効になります。次回にホスト システムがページを含むセクタを消去するまで、そのページの ECC 機能は無効のままです。ホスト システムは複数のプログラム動作に続いてそのページに格納されたデータを読み出せますが、ECC は無効になっており、そのページのエラーを検出または訂正はされません。

5.3.2 プログラムおよび消去のまとめ

性能と信頼性の理由で、読み出しとプログラム動作は 32 バイトのページ上で並行して行われます。デバイスは、初めてプログラムされる時、各ページに ECC コードを追加することによって各ページに ECC を提供します。ECC コードは自動で、ホスト システムにトランスペアレントです。

5.3.3 ECC の実装

メイン フラッシュ アレイの各 32 バイト ページおよび各 32 バイト OTP 領域には、関連する ECC コードがあります。内部 ECC ロジックは、読み出しアクセス中に、ページまたは関連する ECC コードで 1 ビット エラーを検出し、訂正できます。

ページに適用される最初の書き込みバッファ プログラム動作では、そのページの ECC コードをプログラムします。特定のページに対して後続のプログラム動作が 2 回以上行われると、そのページの ECC 機能が無効になります。これにより、ビットまたはワードのプログラミングが可能ですが、同じページに複数のプログラム動作を行うと、インクリメンタル プログラミングが行われるページで ECC 機能が無効になることにご注意ください。ECC が無効になったページを含むセクタを消去すると、そのページの ECC 機能が再び有効になります。

ECC 機能は自動で、ユーザーにトランスペアレントです。自動 ECC 機能がトランスペアレントであることにより、各ページにデータを 1 回書き込む標準的なプログラム動作でのデータの完全性が向上します。また ECC 機能は、単一ワード プログラミングと、同じページまたはワードが複数回プログラムされるビット ウォーキングを可能にすることによって、前世代の GL ファミリ製品とのソフトウェア互換性を容易にします。ページの自動 ECC が無効になった時、ECC 機能はそのページから読み出されたデータでエラーを検出または訂正しません。

5.3.4 ワード プログラミング

ワード プログラミングは、メイン フラッシュ メモリ アレイの任意の場所に単一ワードをプログラムします。同じ 32 バイト ページに複数のワードをプログラムすると、そのページで自動 ECC 保護が無効になります。そのページを含むセクタを消去すると、そのページでの複数のワード プログラム動作に続いて自動 ECC は再び有効になります。

5.3.5 書き込みバッファ プログラミング

各書き込みバッファ プログラム動作では、1 ビット～512 バイトのプログラミングが可能です。32 バイトのページは自動 ECC 保護を機能させる最小のプログラム粒度です。同じページに複数回プログラムすると、そのページの自動 ECC 機能が無効になります。インフィニオンは、書き込みバッファ プログラミング動作で、1 度の動作で複数ページをプログラムし、各ページに 1 回だけ書き込むことを推奨します。これにより、各ページで自動 ECC 保護は有効のままです。最高の性能を得るには、512 バイト境界に整列された 512 バイトのライン全体でプログラムしてください。

5.4 コマンド セット

5.4.1 プログラム方式

5.4.1.1 ワード プログラミング

ワード プログラミングは、メイン フラッシュ メモリ アレイの任意の場所に単一ワードをプログラムするために使用されます。

ワード プログラミング コマンドは 4 回の書き込みサイクルのシーケンスです。プログラム コマンド シーケンスは、2 つのアンロック書き込みサイクルを書き込むことから開始され、その後に、プログラム設定コマンドが続きます。プログラム アドレスとデータが次に書き込まれ、このようにして順番に組込みワード プログラム アルゴリズムが開始します。システムは、更なる制御やタイミングを提供する必要はありません。デバイスは自動的にプログラム パルスを生成し、内部でプログラムされたセルのマージンを検証します。ワード プログラムの組込みアルゴリズムが完了すると、EAC はスタンバイ モードに戻ります。

システムは、データ ポーリング ステータスを使用するか、ステータス レジスタを読み出すか、または RY/BY# 出力をモニターすることで、プログラム動作のステータスを決定できます。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。これらのステータス ビットについては、**データ ポーリング ステータス**を参照してください。ワード プログラミング動作の図については、**Figure 3** を参照してください。

組込みプログラム アルゴリズムの実行中は、プログラム一時停止コマンドを除き、デバイスに書き込むコマンドはすべて無視されます。ハードウェア リセット (RESET# = V_{IL}) により、プログラム動作が瞬時に終了し、tRPH 時間後にデバイスが読み出しモードに戻ることに注意してください。データの完全性を確保するためには、デバイスがハードウェア リセット動作を完了したら、プログラム コマンド シーケンスを再度実行する必要があります。

ワード プログラミング コマンドの修正済みバージョン (アンロック書き込みサイクルがない) は、ロック レジスタ , パスワード , および PPB ASO またはアンロック バイパス モードに入ったときに、プログラミングのために使用されます。PPB ロックと DYBASO に入るときに揮発性ビットを変更するためにもそのコマンドは使用されます。プログラム コマンド シーケンスについては、**Table 23** を参照してください。

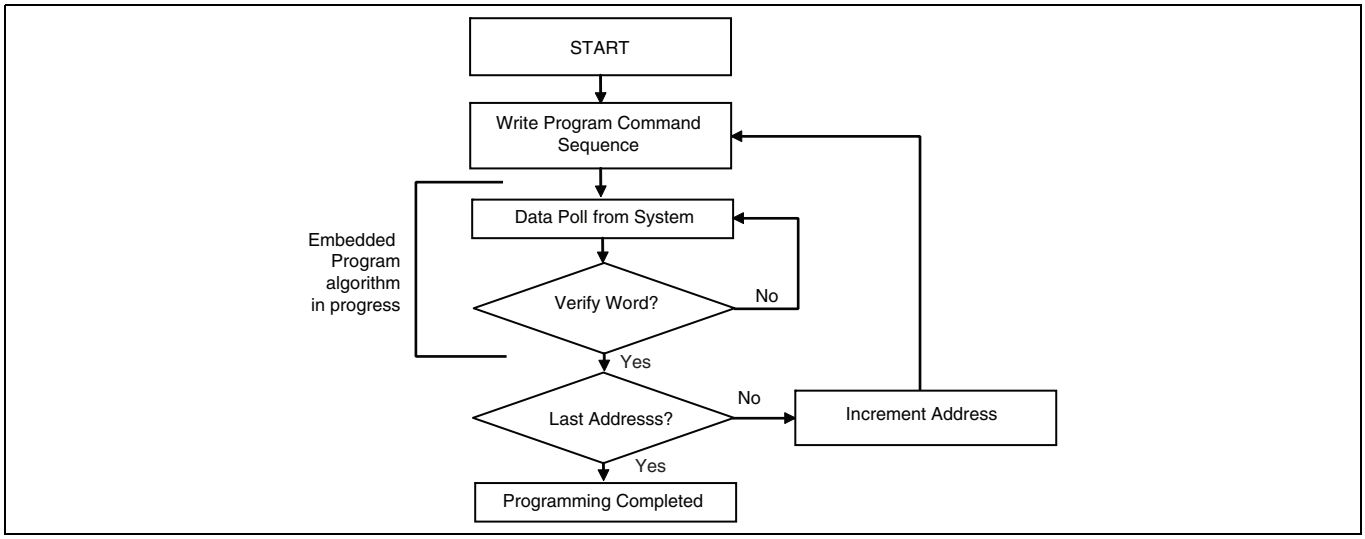


Figure 3 ワード プログラム動作

5.4.1.2 書き込みバッファ プログラミング

書き込みバッファは、512 バイトの境界 (ライン) にアラインされた 512 バイトのアドレス範囲内のデータをプログラムするために使用されます。このように、完全な書き込みバッファ プログラミング動作はライン境界に整列される必要があります。512 バイト以下のプログラミング動作は、任意のワード境界で開始できますが、ライン境界を越えられません。書き込みバッファ プログラミング動作の開始時は、バッファ内のすべてのビット位置が 1 (FFFFh ワード) です。したがって、ロードされなかったすべての位置は、既存のデータが保持されます。アドレス マップについては、**製品概要**を参照してください。

書き込みバッファ プログラミングでは、1 回の動作で最大 512 バイトまでプログラミングできます。各書き込みバッファ プログラミング動作は、1 ビットから 512 バイトまでプログラミングできます。複数ページに書き込んで、各ページは 1 回だけ書き込むことを推奨します。最高の性能を得るには、512 バイト境界に整列された 512 バイトのライン全体でプログラムしてください。

書き込みバッファ プログラミングは、メイン フラッシュ アレイまたは SSR ASO のみサポートされます。

書き込みバッファ プログラム動作は、最初に 2 つのアンロック サイクルを書き込むことで開始されます。この後、プログラミングが発生しているセクタ アドレス (SA) で、3 回目の書き込みサイクル (バッファ書き込みコマンド) が続きます。次にシステムは、「ワード位置数 - 1」の値を書き込みます。これにより、デバイスは、データをロードした書き込みバッファ アドレス数を認識でき、それによりバッファからフラッシュへのプログラムの確認コマンドの実行タイミングを確定できるようになります。セクタアドレスは、バッファ書き込みコマンドと、ワード数書き込みコマンドで一致する必要があります。プログラム対象のセクタはロック解除 (非保護) になる必要があります。

この後、システムは開始アドレス / データのペアを書き込みます。この開始アドレスはプログラムされる最初のアドレス / データのペアであり、書き込みバッファのライン アドレスを選択します。セクタ アドレスは、バッファのセクタ アドレス書き込みと一致する必要があります。そうでない場合は、動作が中止され、中止状態に遷移します。すべての後続アドレス / データのペアは、連続した順序でなければいけません。すべての書き込みバッファ アドレスは同じライン内にある必要があります。システムがこの範囲外のデータをロードしようとすると、動作は中止され、中止状態に遷移します。

カウンタ値は、データのロード動作のたびに減少します。データ書き込みをカウント ダウンしている間は、毎回の書き込みは書き込みバッファにロードされるデータと見なされるため、注意してください。書き込みバッファ ロード中は、すべてのコマンドが実行不可能です。書き込みバッファのロードを停止する唯一の方法は、プログラミング動作のラインにないアドレスで書き込むことです。この無効なアドレスを受信すると、バッファ書き込みコマンドは直ちに中止します。

書き込みバッファ位置の指定した数をロードしたら、システムはセクタ アドレスにおいて、バッファからフラッシュコマンドを書き込まなければいけません。デバイスはその後ビジー状態になります。組込みプログラム アルゴリズムは正しいデータ パターンを得るために、データを自動的にプログラムし検証します。これらの動作中に、システムは更なる制御やタイミングを提供する必要はありません。書き込みバッファ位置の不正な数がロードされた場合、動作は中止され、中止状態に遷移します。ワード カウントの最後にバッファからフラッシュへのプログラムのコマンドが書き込まれずに、別のコマンドやデータが書き込まれると、動作は中止されます。

書き込みバッファの組込みプログラミング動作は、プログラム一時停止コマンドにより一時停止できます。組込みプログラム アルゴリズムが完了すると、EAC はプログラム動作が開始したときの EAC スタンバイまたは消去一時停止スタンバイの状態に戻ります。

システムは、データ ポーリング ステータスを使用するか , ステータス レジスタを読み出すか , または RY/BY# 出力をモニターすることでプログラム動作のステータスを確定できます。これらのステータス ビットについては、**ステータス レジスタ**および**データ ポーリング ステータス**を参照してください。プログラム動作図については、**Figure 4** を参照してください。

書き込みバッファ プログラミング シーケンスは、以下の条件で中止されます。

- バッファ サイズ (255) を越えるワード カウント値をロードする。
- バッファ書き込みコマンドで指定したラインにないアドレスを書き込む。
- ワード カウント数書き込みで指定したデータ ワードがロードされた後に、バッファからフラッシュへのプログラムのコマンドが発行されない。

バッファ書き込みコマンドの強制終了を引き起こす何らかの条件が発生すると、動作は直ちに中止し、ステータス レジスタのビット位置 4 (PSB = 1) に、バッファ書き込み中止のビット位置 3 (WBASB = 1) によ

るプログラム失敗が報告されます。その後、プログラム動作が成功すると、この失敗の状態はクリアされます。またはクリア ステータス レジスタが実行されて、PSB ステータスビットがクリアされます。

書き込みバッファ プログラミング シーケンスは、ハードウェア リセットまたはパワー サイクルにより停止させられます。しかし、両方法のどちらかを使用すると、プログラムされた領域は、データ値が無効または不安定な中間的な状態になってしまう場合があります。この場合は、同じデータで同じ領域を再プログラムするか、または消去してデータ値を正しくプログラムまたは消去する必要があります。

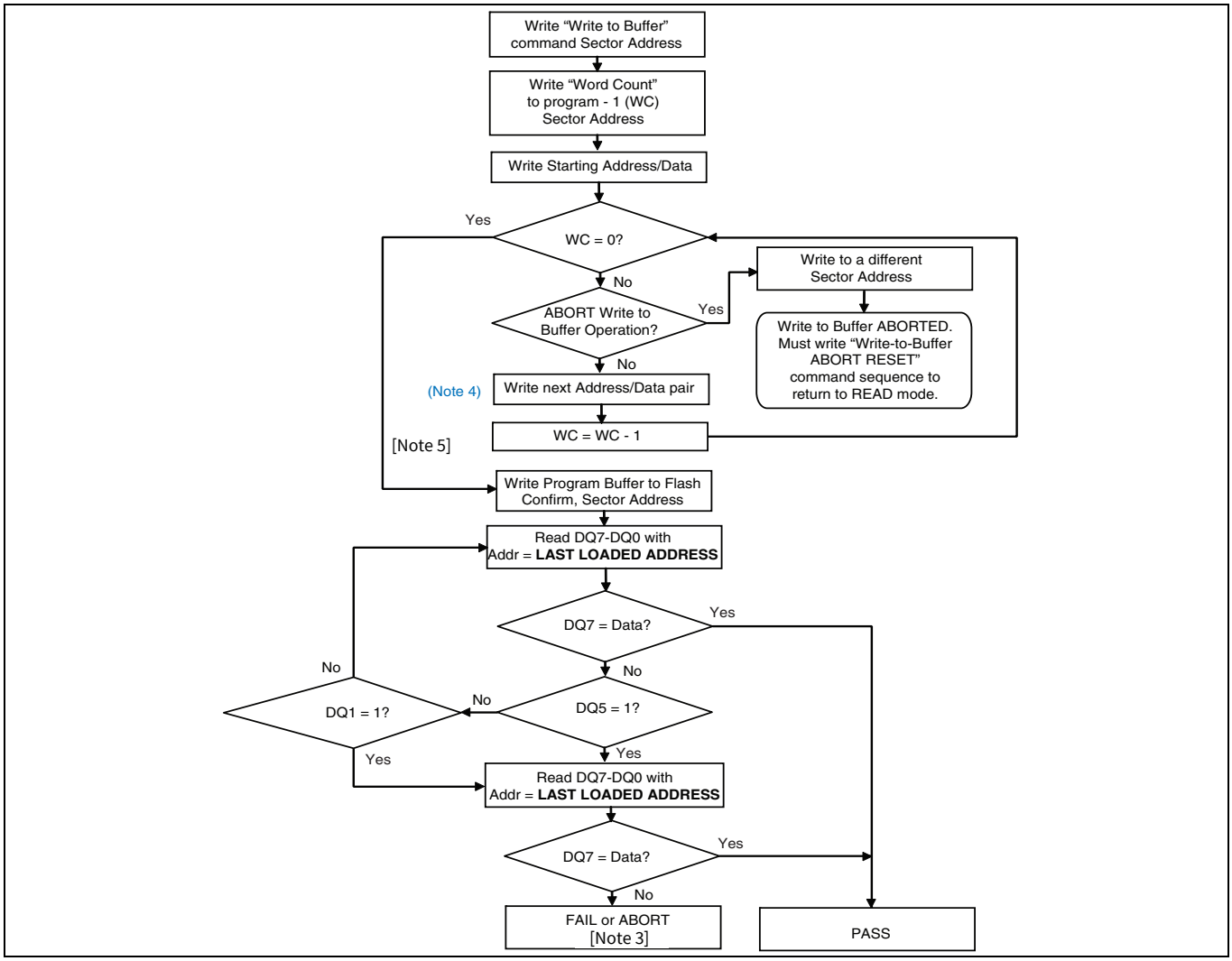


Figure 4　　データ ポーリング状態での書き込みバッファ プログラミング動作

注 :

2. DQ7 が DQ5 と同時に変化する場合があるため、DQ5=1 の場合でも DQ7 を再チェックする必要があります。
3. DQ5=1 でこのフローチャートの位置に到達した場合は、デバイスは FAILED です。DQ1=1 でこのフローチャートの位置に到達した場合、バッファ書き込み動作は ABORTED されます。いずれの場合も、デバイスを READ モードに戻すには、デバイスに適切な RESET コマンドを書き込む必要があります。DQ1=1 の場合は、書き込みバッファ プログラミング中止リセット、DQ5=1 の場合は、ソフトウェア RESET または書き込みバッファ プログラミング中止リセットを実行します。
4. 書き込みバッファ プログラミングに必要なコマンド シーケンスについては、**Table 23** を参照してください。
5. セクタ アドレスが指定されたとき、指定したセクタのいずれのアドレスも受け入れ可能になります。ただし、バッファ書き込みのアドレス位置にデータをロードする場合、すべてのアドレスは選択された書き込みバッファ ページ内にある必要があります。

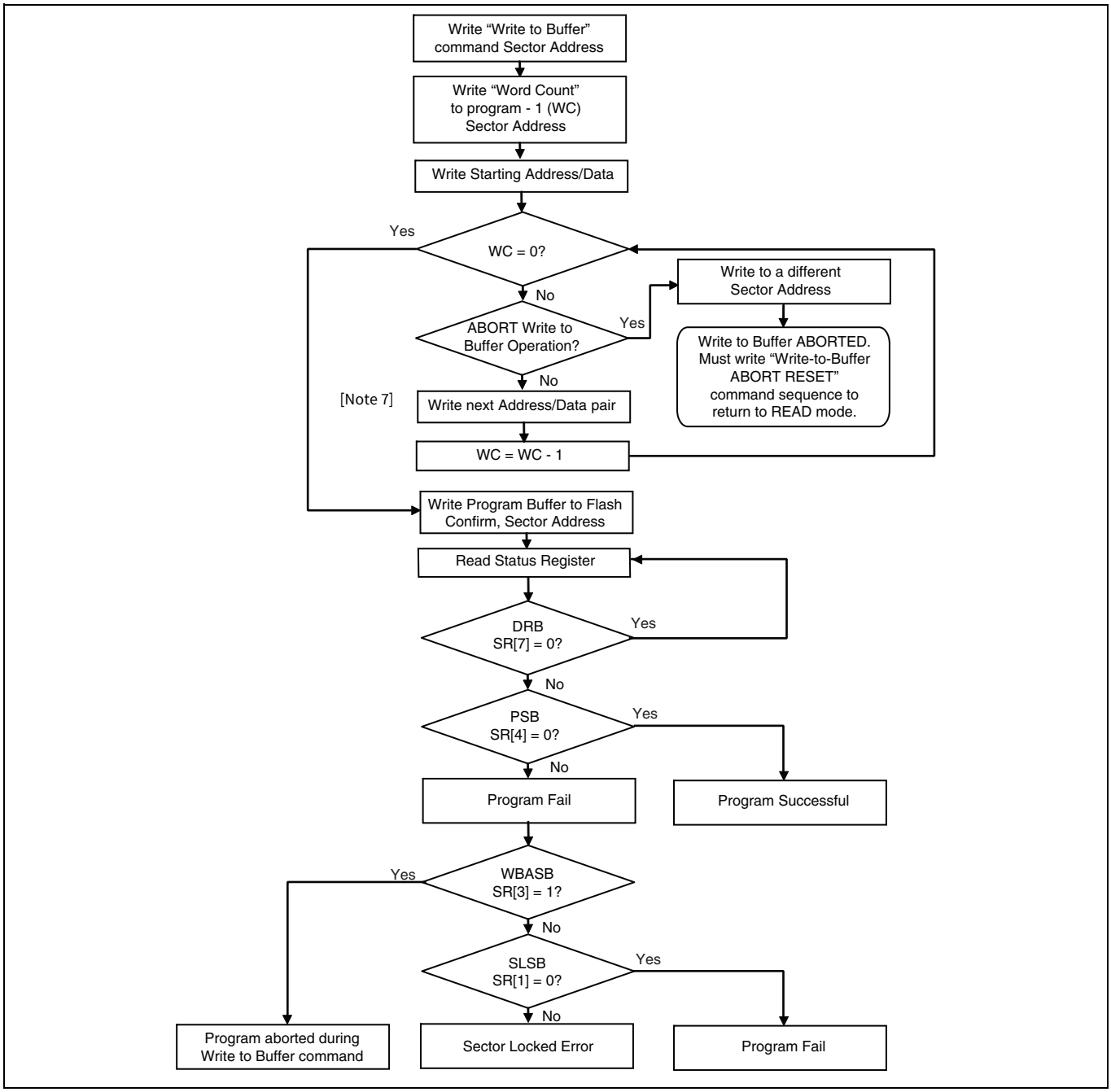


Figure 5 ステータス レジスタでの書き込みバッファ プログラミング動作

注 :
6. 書き込みバッファ プログラミングに必要なコマンド シーケンスについては、**Table 23** を参照してください。
7. セクタ アドレスが指定されたとき、指定したセクタのいずれのアドレスも受け入れ可能になります。ただし、バッファ書き込みのアドレス位置にデータをロードする場合、すべてのアドレスは選択された書き込みバッファ ページ内にある必要があります。

Table 10　書き込みバッファ プログラミングのコマンド シーケンス

シーケンス	×16		×8		備考
	アドレス	データ	アドレス	データ	
ロック解除コマンド 1 を発行	555	AA	AAA	AA	
ロック解除コマンド 2 を発行	2AA	55	555	55	
セクタ アドレスでのバッファへの書き込みコマンドを発行	SA	0025h	SA	25h	
セクタ アドレスでのロケーション数を発行 例 : WC が 0 の場合、プログラム対象ワード数は 1 WC が 1 の場合、プログラム対象ワード数は 2	SA	WC	SA	WC	WC = プログラム対象ワード数 – 1 (×8 モードでは、WC = プログラム対象バイト数 – 1)
開始アドレス / データ ペアをロード	開始アドレス	PD	開始アドレス	PD	書き込みバッファ ページを選択し、最初のアドレス / データ ペアをロード
次のアドレス / データ ペアをロード	WBL	PD	WBL	PD	すべてのアドレスは選択した書き込みバッファ ページの境界内にあり、シーケンシャルにロードされる必要がある
最後のアドレス / データ ペアをロード	WBL	PD	WBL	PD	すべてのアドレスは選択した書き込みバッファ ページの境界内にあり、シーケンシャルにロードされる必要がある
セクタ アドレスでの書き込みバッファ プログラム確認を発行	SA	0029h	SA	29h	このコマンドはロードされた最後の書き込みバッファ ロケーションに続く必要がある。そうでないと、動作が中止する
デバイスがビジーになる					

凡例 :

SA = セクタ アドレス (セクタ アドレスにないビットは「ドント ケア」です。セクタ内の任意のアドレスで十分です。)

WBL = 書き込みバッファの位置 (開始アドレスによって指定された書き込みバッファ ラインの境界内である必要があります。)

WC = ワード カウント

PD = プログラム データ

5.4.2 プログラム一時停止 / プログラム再開コマンド

プログラム一時停止コマンドにより、システムは組込みのプログラミング動作を中断し、一時停止されていない他のラインからデータを読み出せます。プログラミング実行中にプログラム一時停止コマンドを書き込むと、デバイスは t_{PSL}(プログラム一時停止レイテンシ) の間、そのプログラミング動作を停止してステータス ビットを更新します。プログラム一時停止コマンドを書き込む際にアドレスはドントケアです。

プログラム一時停止に使用できるコマンドは 2 つあります。それは、従来の組合せである消去 / プログラム一時停止コマンド (B0h コマンドコード) と、個別のプログラム一時停止コマンド (51h コマンドコード) です。プログラム再開用にも 2 つのコマンドがあります。それは、従来の組合せである消去 / プログラム再開コマンド (30h コマンドコード) と、個別のプログラム再開コマンド (50h コマンド コード) です。プログラミングの時には、個別のプログラム一時停止コマンドとプログラム再開コマンドを使用し、消去一時停止と再開の時のみには、従来の組合せのコマンドを使用することを推奨します。

プログラミング動作が一時停止した後は、システムは一時停止されていない任意のラインからアレイデータを読み出せるようになります。消去が一時停止している間も、プログラムしている間には、プログラム一時停止コマンドの発行が可能です。この場合には、消去一時停止またはプログラム一時停止状態になっていないどのアドレスからも、データを読み出せます。

プログラム再開コマンドを書き込まれた後は、デバイスはプログラミング動作に戻り、ステータス ビットが更新されます。システムは、ステータス レジスタを読み出すか、またはデータ ポーリングにより、プログラム動作のステータスを確定できます。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。詳細については**データ ポーリング ステータス**を参照してください。

プログラム一時停止中に有効なアクセスとコマンドは以下のとおりです。

- 消去一時停止していないセクタからの読み出し
- プログラム一時停止していないラインからの読み出し
- ステータス読み出しコマンド
- ステータス レジスタのクリア
- ASO 終了またはコマンド セット終了
- プログラム再開コマンド

システムはプログラム一時停止モードを終了するためにプログラム再開コマンドを書き込んで、プログラミング動作を継続する必要があります。続けてプログラム再開コマンドを書き込んでも無視されます。デバイスがプログラミング動作を再開した後は、プログラム一時停止コマンドを再度書き込めます。

プログラム動作は、必要に応じて何度でも中断できますが、プログラム動作を進捗させ完了させるためには、再開コマンドと次の一時停止コマンドの間は**組込みアルゴリズム コントローラー (EAC)** に示す t_{PRS} 以上の時間を要します。

プログラム一時停止と再開は、ASO に入っている間はサポートされません。

5.4.3 アクセラレーション プログラミング

デバイスは、システムが WP#/ACC または ACC のピン上で V_{HH} をアサートした時に、プログラム動作をサポートします。WP#/ACC や ACC のピンが V_{IH} または V_{IL} に戻ると、デバイスはアクセラレーション プログラミング モードを終了し通常のモードに戻ります。WP#/ACC は V_{HH} に耐えられますが、プログラム機能を高めるようには設計されていません。システムがこの入力に V_{HH} をアサートすると、デバイスは自動的にアンロック バイパス モードに入ります。その後、システムはロック解除のバイパス モードによって提供された書き込みバッファ ロード コマンド シーケンスを使用できます。アンロック バイパス モード中にバッファ書き込み中止リセットが必要な場合、デバイスをリセットするためには完全な 3 サイクルのリセット コマンド シーケンスを使用しなければならないことに注意してください。組込みプログラム動作の完了後に ACC 入力上の V_{HH} を切断すると、デバイスは通常の動作に戻ります。アクセラレーション プログラミング以外の動作を行う場合、WP#/ACC ピンを V_{HH} にセットしないでください。そうでないと、デバイスに損傷を与える可能性があります。WP# は内部プルアップを持っており、何も接続しないと V_{IH} となります。アクセラレーション プログラミングは室温でのみ実行できます。

- WP#/ACC を V_{HH} に上昇させる前に、セクタをロック解除する必要があります。
- 電源投入シーケンスの完了後に、WP#/ACC が V_{HH} を印加することを推奨します。また、V_{CC}/V_{IO} の電源低下の前に、WP#/ACC の印加を V_{HH} から V_{IH}/V_{IL} にすることを推奨します。

5.4.4 アンロック バイパス

このデバイスは、プログラミング コマンドを短縮化するために、アンロック バイパス モードを備えています。デバイスがアンロック バイパス モードに入ると、データ プログラミングのために、通常の 4 サイクルの代わりに 2 つの書き込みサイクルだけが必要です。デバイスはまた、バッファ書き込みコマンドもサポートし、4+ の書き込みサイクルのみを要します。

このモードでは、通常のプログラム コマンド シーケンスで必要な最初の 2 つのアンロック サイクルが不要になるため、トータルのプログラミング時間が短縮されます。**コマンドのまとめ** にこのアンロック バイパス コマンド シーケンスの要件を示します。

アンロック バイパス モード中では、読み出し , プログラム , 書き込みバッファ プログラミング , バッファ書き込み中止リセット , ステータス レジスタ読み出し , ステータス レジスタ クリア , ソフト リセット , アンロック バイパス セクタ消去 , アンロック バイパス チップ消去 , アンロック消去一時停止 / 再開 , アンロック バイパス一時停止 / 再開 , およびアンロック バイパス リセット コマンドのみが有効です。アンロック バイパス モードを終了するには、2 サイクルのアンロック バイパス リセット コマンド シーケンスを実行します。最初のサイクル アドレスは「ドントケア」で、データは 90h です。2 番目のサイクルにはデータ 00h だけが必要です。その後、セクタは読み出しモードに戻ります。

ソフトウェア関数およびサンプル コード

以下はアンロック バイパスへのエントリ、プログラムおよび終了関数を使用した C ソース コードの例です。インフィニオン フラッシュ メモリ ソフトウェア開発ガイドラインは、**Infineon Low Level Driver User's Guide** を参照してください。

Table 11 アンロック バイパス エントリ (LLD 関数 = lld_UnlockBypassEntryCmd)

サイクル	説明	動作	バイト アドレス	ワード アドレス	データ
1	アンロック	書き込み	ベース + AAAh	ベース + 555h	00AAh
2	アンロック	書き込み	ベース + 555h	ベース + 2AAh	0055h
3	エントリ コマンド	書き込み	ベース + AAAh	ベース + 555h	0020h

```
/* Example: Unlock Bypass Entry Command */
*( (UINT16 *)base_addr + 0x555 ) = 0x00AA; /* write unlock cycle 1 */
*( (UINT16 *)base_addr + 0x2AA ) = 0x0055; /* write unlock cycle 2 */
*( (UINT16 *)base_addr + 0x555 ) = 0x0020; /* write unlock bypass command */
/* At this point, programming only takes two write cycles. */
/* Once you enter Unlock Bypass Mode, do a series of like */
/* operations (programming or sector erase) and then exit */
/* Unlock Bypass Mode before beginning a different type of */
/* operations. */
```

Table 12 アンロック バイパス プログラム (LLD 関数 = lld_UnlockBypassProgramCmd)

サイクル	説明	動作	バイト アドレス	ワード アドレス	データ
1	プログラム セットアップ	書き込み	ベース + XXXh	ベース + XXXh	00A0h
2	プログラム コマンド	書き込み	プログラム アドレス	プログラム アドレス	プログラム データ

```
/* Example: Unlock Bypass Program Command */
/* Do while in Unlock Bypass Entry Mode! */
*( (UINT16 *)base_addr ) = 0x00A0; /* write program setup command */
*( (UINT16 *)pa ) = data; /* write data to be programmed */
/* Poll until done or error. */
/* If done and more to program, */
/* do above two cycles again. */
```

Table 13　　アンロック バイパス リセット (LLD 関数 = lld_UnlockBypassResetCmd)

サイクル	説明	動作	バイト アドレス	ワード アドレス	データ
1	リセット サイクル 1	書き込み	ベース + XXXh	ベース + XXXh	0090h
2	リセット サイクル 2	書き込み	プログラム アドレス	プログラム アドレス	0000h

```
/* Example: Unlock Bypass Exit Command */
*( (UINT16 *)base_addr ) = 0x0090;
*( (UINT16 *)base_addr ) = 0x0000;
```

5.4.5　　消去ステータス評価 (EES)

EES コマンドは、アドレス指定されたセクタの最後の消去動作が正常に完了した（すなわち「信頼できる」）かを確認します。EES コマンドは、電力喪失、リセット、または消去動作中の電力喪失、リセット、または不良による消去動作不良を検出ために使用されます。

任意のセクタで EES を開始するには、EAC がスタンバイ状態になっている時に、そのセクタのアドレス 555h に 35h を書き込みます。

デバイスがプログラミング中 , 消去中 , または一時停止中は、EES コマンドが書き込まれない場合があります。

EES コマンドは、動作の間、対象アレイの読み出しを許可しません。

ステータス レジスタまたはポーリング方法 (DQ6 トグルのみ) を使用して、デバイスがビジーか完了済みかを確定します。完了済みの場合、ステータス レジスタ読み出しを使い、セクタが信頼できるかを確認します。該当するセクタが信頼できると、ステータス レジスタのビット 5 (SR[5]) が ‘0’ にクリアされます。該当するセクタが信頼できない場合、SR[5] は ‘1’ にセットされ、RD/BY# は LOW のままに維持されます。デバイスをスタンバイ状態に戻すためには、ソフトウェア リセット /ASO 終了コマンドか、またはステータス レジスタ クリア コマンドが必要です。

EES が完了すると、EAC はスタンバイ状態に戻ります。

SR での消去状態を完了し更新するために、EES コマンドは t_{EES} を要します。EES コマンドの完了時点を決定するためには、DRB ビット (SR[7]) を読み出すことができます。あるセクタが (SR[5]=1) で消去されないことが見いだされると、そのセクタ内のデータ記憶の信頼性を確保するために、セクタを再び消去しなければいけません。

5.4.6 ブランク チェック

ブランク チェック コマンドにより、選択したメイン フラッシュ アレイ セクタが現在消去されている (すなわち「信頼でき」かつ「ブランク」である) かどうかを確認できます。ブランクチェック中は、ブランク チェック コマンドにより、対象アレイの読み出しは許可されません。このコマンドの実行中に対象アレイを読み出すと、ポーリング データが返されます。

任意のセクタでブラン クチェックを開始するには、EAC がスタンバイ状態になっている時に、そのセクタのアドレス 555h に 33h を書き込みます。

デバイスがプログラミング中 , 消去中 , または一時停止中は、ブランク チェック コマンドが書き込まれない場合があります。

ステータス レジスタまたはポーリング方法 (組込み消去動作に相当) を使用して、デバイスがビジーか完了済みかを決定します。

完了済みの場合、ステータス レジスタとポーリング方法によって、該当するセクタがブランク (消去動作が正常に終了したことに相当) か、またはそのセクタが消去されていないことを示します。セクタが空白の場合、ステータス レジスタのビット 5 (SR[5]) は '0' にクリアされます。セクタが空白でない場合、SR[5] は '1' にセットされ、RD/BY# は LOW のままに維持されます。デバイスをスタンバイ状態に戻すためには、ソフトウェア リセット /ASO 終了コマンドか、またはステータス レジスタ クリア コマンドを必要とします。

消去されなかったビットを発見すると、デバイスは直ちに動作を停止して、結果を報告します。

ブランク チェックが完了すると、EAC はスタンバイ状態に戻ります。

5.4.7 消去方式

5.4.7.1 チップ消去

チップ消去機能は、メインのフラッシュ メモリ アレイ全体を消去します。消去の前にデバイスをプリプログラムする必要はありません。電気的な消去を行う前に、組込み消去アルゴリズムはメモリ全体をオール 0 データパターンに自動的にプログラミングして検証します。チップ消去が正常に完了すると、デバイス内のすべての領域が FFFFh を含みます。これらの動作中に、システムは更なる制御やタイミングを提供する必要はありません。チップ消去コマンド シーケンスを開始するためには、最初に 2 つのアンロック サイクルを書き込んで、次にセットアップ コマンドを書き込みます。さらに、追加の 2 つのアンロック書き込みサイクルの後にチップ消去コマンドを書き込み、順番に組込み消去アルゴリズムを実行します。6 番目のサイクルの最後で WE# が HIGH になると、RY/BY# は LOW になります。

組込み消去アルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。組込み消去動作の実行中は、デバイスからのデータの読み出しは許可されないことに注意してください。システムは、RY/BY# やステータス レジスタを読み出すか、またはデータ ポーリングを使用して、消去動作のステータスを確定できます。RY/BY# については、**レディ / ビジー # (RY/BY#)** を参照してください。これらのステータスビットについては、**ステータス レジスタ**を参照してください。詳細については**データ ポーリング ステータス**を参照してください。

チップ消去動作が開始すると、ステータ読み出し , ハードウェア リセット , またはパワー サイクルのみが有効です。他のコマンドはすべて無視されます。ただし、ハードウェア リセットまたはパワー サイクルを実行すると、消去動作が直ちに終了し、t_{RPH} 時間後に読み出しモードに戻ります。チップ消去動作が終了した場合は、データの完全性を確保するために、デバイスがアイドル状態に戻ったら、チップ消去コマンド シーケンスを再実行する必要があります。

パラメーターとタイミング図については、**Table 18**, **非同期書き込み動作** , および**代替 CE# により制御される書き込み動作**を参照してください。

ASP DYB および PPB ビットによって保護されたセクタは消去されません。**高度セクタ保護 (ASP)** を参照してください。セクタがチップ消去で保護されている場合は、チップ消去は、保護されたセクタをスキップし、次のセクタの消去を続行します。保護されたセクタでの失敗した消去によっては、ステータス レジスタの消去ステータス ビットとセクタ ロック ビットは '1' にセットされません。

5.4.7.2 セクタ消去

セクタ消去機能は、メモリ アレイ内の 1 つのセクタを消去します。デバイスは消去の前にプリプログラムするシステムを必要としません。電気的な消去を行う前に、組込み消去アルゴリズムはセクタ全体をすべてオール 0 パターンに対して自動的にプログラミングして検証します。セクタ消去が正常に完了すると、消去されたセクタ内のすべての領域が FFFFh を含みます。これらの動作中に、システムは更なる制御やタイミングを提供する必要はありません。セクタ消去コマンド シーケンスを開始するためには、最初に 2 つのアンロック サイクルを書き込んで、次にセット アップ コマンドを書き込みます。さらに、追加の 2 つのアンロック書き込みサイクルの後に消去されるセクタのアドレスとセクタ消去コマンドが続きます。6 番目のサイクルの最後で WE# が HIGH になると、RY/BY# は LOW になります。

コマンド シーケンスを書き込むと、t_{SEA} のセクタ消去タイムアウトが発生します。このタイムアウト期間中には、別のセクタ アドレスとセクタ消去コマンドを書き込めます。タイムアウト期間中は無効なコマンドは無視されます。セクタ消去バッファはどの順番でもロードでき、セクタの数は 1 セクタから全セクタまでです。これらの追加サイクルの間の時間は t_{SEA} 未満でなければいけません。そうしないと、消去動作が開始されます。タイムアウト時間を過ぎた後のセクタ消去アドレスおよびコマンドは、受け入れられる場合もあり、そうでない場合もあります。この間はプロセッサの割込みを禁止して、すべてのコマンドを受け入れできるようにすることを推奨します。最後のセクタ消去コマンドを書き込んだ後、割込みを有効にできます。消去動作中は、セキュア シリコン セクタ , 自動選択および CFI 機能は使用できないことに留意ください。この場合、システムはコマンド シーケンスと追加のアドレス、コマンドを再度書き込まなければいけません。

システムは、RY/BY#、ステータス レジスタを読み出すか、またはデータ ポーリングを使用して、消去動作のステータスを確定できます。RY/BY# については、**レディ / ビジー # (RY/BY#)** を参照してください。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。詳細については**データ ポーリング ステータス**を参照してください。

セクタ消去動作が開始すると、ステータス レジスタ読み出しコマンドと消去一時停止コマンドが有効となります。他のコマンドはすべて無視されます。ただし、ハードウェア リセットを実行すると、直ちに消去動作が終了し、t_{RPH} 時間後に読み出しモードに戻ることに留意ください。セクタ消去動作が終了した場合は、データの完全性を確保するためにデバイスの動作がリセットされたら、セクタ消去コマンド シーケンスを再実行する必要があります。

ASP DYB および PPB ビット、またはパスワード保護によって保護されたセクタは消去されません。**高度セクタ保護 (ASP)** を参照してください。マルチセクタ消去の間セクタが保護される場合は、セクタ消去は保護されたセクタをスキップし、次のセクタの消去を続行します。保護されたセクタでの失敗した消去により、ステータス レジスタの消去ステータス ビットとセクタ ロック ビットは ‘1’ にセットされません。パラメーターとタイミング図については、**組込みアルゴリズム コントローラー (EAC)** を参照してください。ASP DYB および PPB ビットによって保護されたセクタは消去されません。**高度セクタ保護 (ASP)** を参照してください。

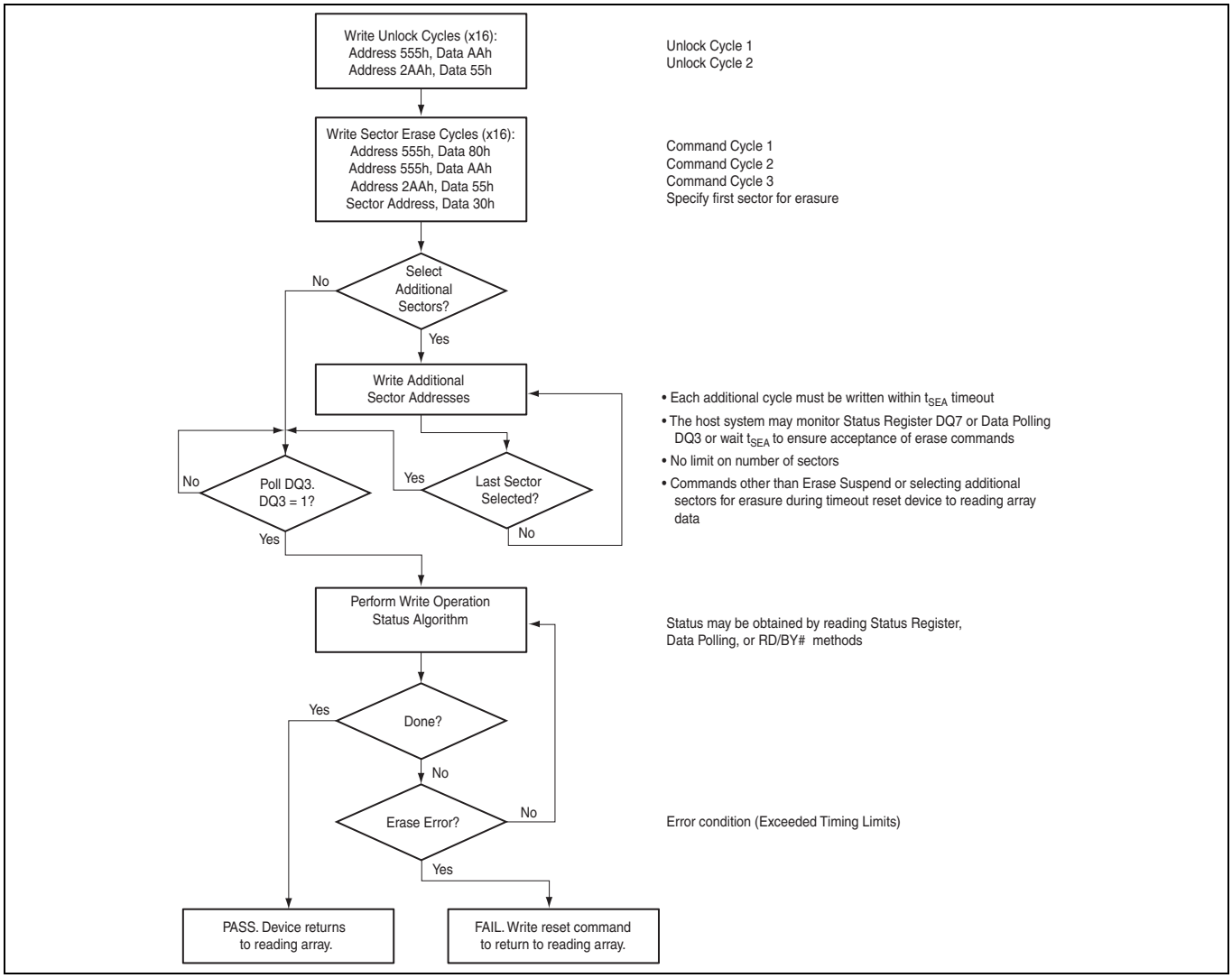


Figure 6　　セクタ消去動作 [8]

注 :
8. x8 バス サイクルに対してはコマンドのまとめを参照してください。

5.4.8 消去一時停止 / 消去再開

消去一時停止コマンドを実行すると、システムはセクタ消去動作を中断して、メイン フラッシュ アレイからデータを読み出すか、メインフラッシュアレイに対してプログラミングできるようになります。このコマンドはセクタ消去またはセクタ プログラムの動作中にのみ有効です。チップ消去動作中に書き込んでも、消去一時停止コマンドは無視されます。

セクタ消去中に消去一時停止コマンドが書き込まれると、デバイスは消去動作を中止してステータス ビットを更新するために最大 t_{ESL} (消去一時停止レイテンシ) を要します。

消去動作が中止した後、製品は消去一時停止モードに入ります。このとき、システムは、メイン フラッシュ アレイからデータを読み出すか、データをプログラミングできるようになります。消去一時停止対象セクタ内のいずれかのアドレスから読み出すと、不確定なデータを生じます。システムは、ステータス レジスタを読み出すか、またはデータ ポーリングにより、セクタが消去中か消去一時停止中かを確定できます。これらのステータス ビットについては、**ステータス レジスタ**を参照してください。詳細については**データ ポーリング ステータス**を参照してください。

消去一時停止のプログラム動作が完了すると、EAC は消去一時停止状態に戻ります。通常のプログラム動作と同じように、システムはステータス レジスタを読み出すことで、プログラム動作の状態を確認できます。

消去一時停止中にプログラム不良が発生した場合は、ステータス レジスタ クリアまたはソフトウェア リセット コマンドが、デバイスを消去一時停止状態に復帰させます。そのメモリ アレイに再度プログラムする場合は、その前に消去を再開し完了させる必要があります。

以下は消去一時停止中に有効なアクセスとコマンドです。

- 一時停止状態でないセクタからの読み出し
- 一時停止状態でないセクタへのプログラム
- ステータス レジスタ読み出し
- ステータス レジスタ クリア
- 消去再開コマンド

セクタ消去動作を再開させるには、消去再開コマンドを書き込む必要があります。デバイスは消去動作に戻り、ステータス ビットが更新されます。また、この後に再開コマンドの書き込みも無視されます。チップが消去動作を再開した後に、消去一時停止コマンドを再度書き込めます。

ASO に入っている間は、消去一時停止と消去再開はサポートされません。

5.4.9 ASO エントリおよび ASO 終了

5.4.9.1 ID-CFI ASO

システムは読み出しモード中に ID-CFI エントリ コマンド シーケンスを実行することで、ID-CFI ASO にアクセスできます。詳細については **Table 25** を参照してください。

ID-CFI ASO では以下の動作が行えます。

- エントリ コマンドで使用した同じ SA を使用した ID-CFI ASO の読み出し
- セクタ アドレス (SA) + 2h でのセクタ保護状態の読み出し。位置 2h は、アドレス指定したセクタにおけるセクタ保護の現在の状態を揮発性情報で提供します。位置 2h にあるワードのビット 0 には、アドレス指定したセクタに関する PPB および DYB ビットの論理 NAND が示されます。このように、セクタが PPB=0 または DYB=0 ビットによって保護設定されていると、表示される状態が保護設定となります (1= セクタ保護、0= セクタ保護解除)。
- ASO 終了

以下は CFI エントリおよび終了関数を使用した C ソースコードの例です。インフィニオン フラッシュ メモリ用ソフトウェア開発のガイドラインは、**Infineon Low Level Driver User's Guide** を参照してください。

```
/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x55 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */
```

5.4.9.2 ステータス レジスタ ASO

ステータス レジスタ ASO は、組込みアルゴリズム (EA) のレジスタ化された揮発性状態を示す単一のワードを含みます。ステータス レジスタ読み出しコマンドが発行されると、現時点のステータスが (WE# の立ち上りエッジで) レジスタに取り込まれ、ASO が有効になります。ステータス レジスタの内容はすべてのワード位置に割り付けられます。最初の読み出しアクセスにより、ステータス レジスタ ASO 状態が (CE# または OE# の立ち上りエッジで) 終了し、ステータス レジスタ読み出しコマンドの発行時に使用されていたアドレス空間のマップに戻ります。なお、書き込みコマンドではステータス レジスタ ASO 状態は終了しません。

5.4.9.3 セキュア シリコン領域 ASO

システムは、読み出しモード中にセキュア シリコン領域エントリ コマンド シーケンスを実行することで、セキュア シリコン領域にアクセスできます。このエントリ コマンドはコマンド内のセクタ アドレス (SA) を使用し、どのセクタがオーバレイされるかを確認します。

セキュア シリコン領域 ASO では次の動作が行えます。

- セキュア シリコン領域の読み出し
- ワードまたは書き込みバッファ プログラミング コマンドを使用して、カスタマー セキュア シリコン領域のプログラムが可能になります。アンロック バイパス コマンドおよび ACC の使用は許可されません。
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのセキュア シリコン終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

SSR の領域 3 読み出しパスワード モードを使用する際の推奨手順は次のとおりです。

- SSR の領域 3 に所望のデータをプログラミング
- ロック レジスタのビット 10 を '0' にクリア (更なるプログラミング動作を無効にする)
- SSR の領域 3 のパスワードをプログラミング
- ロック レジスタのビット 11 を '0' にクリア 。これは、SSR 領域 3 の読み出しが可能になる前にパスワードを適用する必要があるため、SSR の領域 3 のパスワード機能が有効にする。

5.4.9.4 ロック レジスタ ASO

システムは、読み出しモード中にロック レジスタ エントリ コマンド シーケンスを実行することで、ロック レジスタにアクセスできます。このエントリ コマンドは、エントリ コマンドからのセクタ アドレスを使用しません。デバイス アドレス空間のワード位置 0 にロック レジスタが割り付けられます。デバイス アドレス空間の他のすべての位置は未定義となります。

ロック レジスタ ASO では以下の動作が行えます。

- デバイスのアドレス位置 0 を使用した、ロック レジスタの読み出し
- 修正されたワード プログラミング コマンドを使用した、カスタマー ロック レジスタのプログラム
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのコマンド セット終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

5.4.9.5 ECC ステータス ASO

システムは、読み出しモード中に ECC ステータス エントリ コマンド シーケンスを実行することで、ECC ステータス ASO にアクセスできます。ECC ステータス ASO は、特定のページの ECC 機能の有効または無効ステータス、または選択されたページで ECC ロジックが 1 ビット エラーを訂正したかの情報を提供します。

ECC ステータス ASO では以下の動作が行えます。

- 選択したページの ECC ステータスの読み出し

5.4.9.6 パスワード ASO

システムは、読み出しモード中にパスワード エントリ コマンド シーケンスを実行することで、パスワード ASO にアクセスできます。このエントリ コマンドは、エントリ コマンドからのセクタ アドレスを使用しません。パスワードは、デバイス アドレス空間のワード位置 0 ～ 3 に割り付けられます。デバイス アドレス空間の他のすべての位置は未定義となります。

パスワード ASO では以下の動作が行えます。

- (ロックされていない場合に) デバイスのアドレス位置 0 ～ 3 を使用したパスワード読み出し
- 修正されたワード プログラミング コマンドを使用した、パスワードのプログラム
- パスワード アンロック コマンドを使用した PPB ロック ビットのロック解除
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのコマンド セット終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

5.4.9.7 PPB ASO

システムは、読み出しモード中に PPB エントリ コマンド シーケンスを実行することで、PPB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンドからのセクタ アドレスを使用しません。セクタの PPB ビットはそのセクタ内のすべてのワード位置のビット 0 に割り付けられます。

PPB ASO では以下の動作が可能です。

- セクタ内の任意のワードのビット 0 にある、セクタの PPB 保護ステータスの読み出し
- 修正されたワード プログラミング コマンドを使用した、PPB ビットのプログラム
- PPB 消去コマンドを使用したすべての PPB ビットの消去
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのコマンド セット終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

5.4.9.8 PPB ロック ASO

システムは、読み出しモード中に PPB ロック エントリ コマンド シーケンスを実行することで、PPB ロック ASO にアクセスできます。このエントリ コマンドは、エントリ コマンドからのセクタ アドレスを使用しません。グローバル PPB ロック ビットはデバイスのすべてのワード位置のビット 0 に割り付けられます。

PPB ロック ASO では以下の動作が可能です。

- デバイス アドレス空間の任意のワードのビット 0 にある、PPB ロック保護ステータスの読み出し
- 修正されたワード プログラミング コマンドを使用した、PPB ロック ビットの設定
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのコマンド セット終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

5.4.9.9 DYB ASO

システムは、読み出しモード中に DYB エントリ コマンド シーケンスを実行することで、DYB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンドからのセクタ アドレスを使用しません。セクタの DYB ビットが、そのセクタ内のすべてのワード位置のビット 0 に割り付けられます。

DYB ASO では次の動作が行えます。

- セクタ内の任意のワードのビット 0 にあるセクタの DYB 保護ステータスの読み出し
- 修正されたワード プログラミング コマンドを使用した、DYB ビットの設定
- 修正されたワード プログラミング コマンドを使用した 、DYB ビットのクリア
- ASO 終了 (ソフトウェア下位互換性のために、レガシーのコマンド セット終了コマンドを使用)
- ASO 終了 (すべての ASO に共通の終了コマンドを使用。一貫した終了方式の代替)

5.4.9.10 ソフトウェア (コマンド) リセット / ASO 終了

ソフトウェア リセットはコマンド セット (**Table 23** を参照してください) の一部で、EAC をスタンバイ状態に復帰させる働きもします。必ず、以下の条件の場合に使用してください。

- ASO モードを終了
- タイムアウト発生時に、データ ポーリング用のタイムアウト ビット (DQ5) をクリア

ソフトウェア リセットを実行しても EA モードへの影響はありません。プログラミングまたは消去が開始された後は、その動作が完了するまでリセット コマンドは無視されます。ソフトウェア リセットを実行しても出力への影響はありません。ソフトウェアリセットの第一の役割は、ASO モードから、または失敗したプログラム動作や消去動作から、読み出しモードに復帰させることです。

ソフトウェア リセットを実行すると、無効なコマンド シーケンスに由来する未定義状態から読み出しモードに戻ることがあります。一部の未定義状態から通常動作に復帰させるには、ハードウェア リセットが必要になる場合があります。

ソフトウェア リセットのレイテンシの要件はありません。リセット コマンドは、t_{WPH} の間に実行されます。

5.4.9.11 連続性チェック機能

連続性チェックは、パッケージのコネクタから個々のダイ パッドおよび DDP での個々のダイへの接続に関わる基本的なテストを提供します。この機能は、いくつかのコマンドの最初に用いられるレガシーのアンロック サイクル シーケンスの拡張です。アンロック シーケンスとは、アドレスとデータ ラインの下位部分に 1 と 0 のパターンを交互に、1 回目と 2 回目は反転したパターンを書き込むような、2 回の書き込みのことです。連続性チェックを実行するためには、これらのパターンはすべてのアドレス (Amax ～ '0') とデータ ライン (DQ15 ～ '0') をカバーするように拡張されます。論理比較回路は、2 つの書き込みサイクルで反転された 1 と 0 の交互パターンを検出します。

DDP の場合、A26 入力は書き込み対象のダイを選択するために使用されます。正しいパターンが検出されると、ステータス レジスタのビット 0 が '1' にセットされます。ステータス レジスタ クリアのコマンドは、ステータス レジスタのビット 0 を '0' にクリアします。

下表に、x16 の単一ダイ (例 : GL01GT) の連続性チェックのシーケンスを示します。

Table 14 単一ダイの連続性チェック シーケンス

段階	アクセス タイプ	アドレス A26	アドレス A25 ～ A0	データ	備考
セットアップ	書き込み	該当なし	XXXX555	XX71	ダイゼロステータスをクリア
	書き込み	該当なし	555	XX70	ダイゼロにステータス レジスタ読み出しコマンドを書き込む
	読み出し	該当なし	x	RD	ステータス ビットゼロ = 0 であることを確認するためにダイゼロからステータスを読み出す
連続性パターン	書き込み	該当なし	2AAAA55	FF00	1 番目の連続性サイクル
	書き込み	該当なし	15555AA	00FF	2 番目の連続性サイクル
検出された連続性パターンを検証	書き込み	該当なし	555	XX70	ダイゼロにステータス レジスタ読み出しコマンドを書き込む
	読み出し	該当なし	x	RD	検出された連続性パターンに対するステータス ビットゼロ = 1 である ことを確認するためにダイゼロからステータスを読み出す

下表に、x8 の単一ダイ (例 : GL01GT) の連続性チェックのシーケンスを示します。

Table 15 単一ダイの連続性チェック シーケンス

段階	アクセス タイプ	アドレス A26	アドレス A25 ～ A0	データ	備考
セットアップ	書き込み	該当なし	XXXX555	71	ダイゼロステータスをクリア
	書き込み	該当なし	AAA	70	ダイゼロにステータス レジスタ読み出しコマンドを書き込む
	読み出し	該当なし	x	RD	ステータス ビットゼロ = 0 であることを確認するためにダイゼロからステータスを読み出す
連続性パターン	書き込み	該当なし	55554AB	FF	1 番目の連続性サイクル
	書き込み	該当なし	2AAAB54	00	2 番目の連続性サイクル
検出された連続性パターンを検証	書き込み	該当なし	555	70	ダイゼロにステータス レジスタ読み出しコマンドを書き込む
	読み出し	該当なし	x	RD	検出された連続性パターンに対するステータス ビットゼロ = 1 である ことを確認するためにダイゼロからステータスを読み出す

5.5 ステータス監視

EA ステータスの監視には 3 つの方式があります。前世代の S29GL フラッシュファミリでは、データポーリングおよび Ready/Busy# (RY/BY#) 信号と呼ばれる方式を使用していました。これらの方式は、S29GL-T ファミリでもサポートされています。1 つの追加された方式は、ステータス レジスタを読み出すことです。

5.5.1 ステータス レジスタ

プログラムおよび消去動作のステータスは、単一 16 ビットのステータス レジスタによって提供されます。ステータス レジスタ読み出しコマンドが書き込まれた後に、ステータ スレジスタ情報の読み出しアクセスが続きます。ステータス レジスタ読み出しコマンドが発行されると、現時点のステータスが (WE# の立ち上りエッジで) レジスタに取り込まれ、ASO が有効になります。ステータス レジスタの内容が、メモリ アドレス空間のすべてでエイリアス (オーバーレイ) されます。ステータス レジスタ ASO での有効な読み出し (CE# と OE# が LOW) アクセスは (t_{CEPH}/t_{OEPH} での CE# または OE# の立ち上りエッジで) ASO を終了し、ステータス レジスタ読み出しコマンドが発行された時に使用中のアドレス空間マップに戻ります。x8 モードでは、CE# と OE# を LOW に維持し、かつ A1 での遷移をすることで、ステータス レジスタへの 1 回のアクセスによりステータス レジスタ全体 (上位バイトと下位バイトの両方) を読み出せます。書き込み動作が無視され、デバイスはステータス レジスタ ASO に留まります。ステータス レジスタには、直前に完了した組込みアルゴリズム (EA) の結果 (成功または失敗) に関するビットが、次のように示されます。

- 消去ステータス (ビット 5)
- プログラム ステータス (ビット 4)
- 書き込みバッファ中断 (ビット 3)
- セクタ ロック済みステータス (ビット 1)
- 検出された連続性チェック パターン (ビット 0)

また、処理中の EA の現時点の状態に関するビットが次のように示されます。

- デバイス ビジー (ビット 7)
- 消去一時停止 (ビット 6)
- プログラム一時停止 (ビット 2)

現時点の状態に関するビットは、EA が現在処理中か、サスペンド (一時停止) 中か、完了かを示します。

上位 8 ビット (ビット 15:8) は予約済みです。これらのビットは未定義の HIGH または LOW の値を持っており、この値は、あるステータス読み出しから別のステータス読み出しに変わり得ます。これらのビットは、ドント ケアのビットとして扱うべきであり、どのようなソフトウェア読み込み状態によっても無視されます。

ステータス レジスタ ビット 3 = 0 の場合、ソフトウェア リセット コマンドはステータス レジスタのビット [5, 4, 1, 0] を 0 にクリアします。現時点の状態ビットはそれに影響されません。

クリア ステータス レジスタ コマンドは、ステータス レジスタのビット [5, 4, 3, 1, 0] を 0 にクリアしますが、現時点の状態ビットには影響しません。

Table 16　　ステータス レジスタ

ビット番号	15:8	7	6	5	4	3	2	1	0
ビットの説明	予約済み	デバイス レディ ビット	消去一時停止 ステータス ビット [9]	消去ス テータス ビット [10]	プログラム ステータス ビット [11, 12]	書き込み バッファ中 止ステータ ス ビット	プログラム一時停 止ステー タス ビット [13]	セクタ ロック ス テータス ビット [14, 15]	連続性 チェック
ビット名	Note 18	DRB	ESSB	ESB	PSB	WBASB	PSSB	SLSB	CC
リセット ステータス [16, 17]	X	1	0	0	0	0	0	0	0
ビジー ステータス	無効	0	無効	無効	無効	無効	無効	無効	無効
レディ ステータス	X	1 [19, 20, 21]	0 = 一時停止中 消去無し [22] 1 = 一時停止中 消去	0 = 消去が 成功 1 = 消去が 失敗	0 = プログラ ムが成功 1 = プログラ ムが失敗	0 = プログラムの中止無し 1 = バッファへの書き込みコマンドの実行中にプログラムの中止あり	0 = プログラム一時停止無し 1 = プログラムが一時停止中	0 = 動作中のセクタロック無し 1 = セクタロックによるエラー	0 = 連続性チェックパターンが検出されない 1 = 連続性チェックパターンが検出される

注 :
9. 消去一時停止中は、一時停止されたセクタやキュー内のセクタへのプログラミングは無視され、エラーは報告されません。
10. ESB は最新の消去操作の結果 (正常または異常) を反映します。
11. PSB は最新のプログラム操作の結果 (正常または異常) を反映します。
12. プログラム一時停止コマンド発行時、ユーザーは DRB が ‘1’ になるまでステータスの読み出しを継続する必要があります。
13. プログラム再開コマンドを実行すると PSSB は ‘0’ にクリアされます。
14. SLSB は、セクタがロックされているため、プログラムまたは消去動作が失敗したことを示します。
15. SLSB は最新のプログラム動作または消去動作の状態を反映します。
16. すべてのビットは、コールド リセットまたはウォーム リセットによりリセットの状態になります。
17. ステータス レジスタ クリア コマンドまたはリセット コマンドにより、ビット 5, 4, 3, 1 は ‘0’ にクリアされます。
18. ビット 15 ～ 8 は将来の使用のために予約済みで、‘0’ または ‘1’ の値を表示します。状態をチェックする時はこれらのビットを無視 (マスク) する必要があります。
19. デバイスに実行中の組込みアルゴリズムがない場合、ビット 7 は ‘1’ です。
20. ビット 6 ～ 1 は、ビット 7 が ‘1’ の場合にのみ有効です。
21. プログラム一時停止コマンド発行時、ユーザーは DRB が ‘1’ になるまでステータスの読み出しを継続する必要があります。
22. 消去再開コマンドにより ESSB は ‘0’ にクリアされます。

5.5.2 データ ポーリング ステータス

アクティブな組込みアルゴリズム中は、EAC はデータ ポーリング ASO に切り替わり、あらゆる読み出しアクセスに対して EA ステータスを表示します。1 ワードのステータス情報がデバイス アドレス空間のすべてのロケーションでエイリアスされます。ステータス ワードには、1 つの EA のステータスを判定するためのビットが複数あります。これらは、ある EA が実行の間に、読み出しアクセス中にデータ バス上に現れるため、DQ ビットと呼ばれます。DQ ビット 15 ～ 8, DQ4, および DQ0 は、予約済みであり、未定義データを提供します。ステータス監視ソフトウェアは予約済みのビットをマスクし、それらをドントケアとして取り扱う必要があります。X8 モードではデータ ポーリングの実行中に A1 が無視されます。**Table 17** および次の節では残りのビットの機能について説明します。

5.5.2.1 DQ7: Data# ポーリング

Data# ポーリング ビット (DQ7) は、組込みアルゴリズムが実行中であるか、完了しているかを、ホスト システムに示します。Data# ポーリングは、プログラム / 消去コマンド シーケンスの最後の WE# パルスの立ち上がりエッジの後に有効になります。Data# ポーリングは、書き込みバッファ プログラミング中に、書き込みバッファ ページでプログラムされている最後のワードに対してのみ有効です。書き込みバッファ ページにプログラムしようとする最後のワード以外のどのようなワードの Data# ポーリング ステータスを読み出しても、誤ったステータス情報を返します。

組込みプログラムアルゴリズムが実行されている間、デバイスは、DQ7 にプログラムされたデータ ビットの補数を、DQ7 に出力します。この DQ7 の状態は、消去一時停止間のプログラミングにも当てはまります。組込みプログラム アルゴリズムが完了すると、デバイスはプログラムされたデータ ビットを、プログラムされた最後のワードのビット 7 に出力します。プログラム一時停止の場合は、アレイ データの読み出しのみが可能です。プログラム アドレスが保護されたセクタ内のアドレスである場合、DQ7 の Data# ポーリングは t_{DP} の間アクティブになり、その後デバイスはアレイ データ読み出しに戻ります。

組込み消去、消去ステータス評価、またはブランク チェック アルゴリズムを実行している間、Data# ポーリングは DQ7 に ‘0’ を出力します。アルゴリズムが完了するか、デバイスが消去一時停止モードに入ると、Data# ポーリングは DQ7 に ‘1’ を出力します。これは、組込みプログラム アルゴリズム用に説明した補数 / 真のデータ出力に類似しています : 消去関数はセクタ内のすべてのビットを ‘1’ に変更します。その前に、デバイスは補数または ‘0’ を出力します。有効なステータス情報を DQ7 に読み出すために、システムは、消去の対象として選択されたセクタ内にあるアドレスを指定する必要があります。

消去コマンド シーケンスが書き込まれた後、消去のために選択されたセクタが保護されている場合、DQ7 の Data# ポーリングは t_{DP} の間アクティブとなり、その後、デバイスはアレイ データ読み出しに戻ります。

組込みプログラムまたは消去動作が完了する直前に、出力イネーブル (OE#) が LOW にアサートされている間は、DQ7 が DQ6 ～ DQ0 と非同期的に変化することがあります。つまり、デバイスが、ステータス情報の提供から、DQ7 の有効なデータに切り替える場合があります。システムが DQ7 出力をサンプリングするタイミングによっては、ステータス情報または有効なデータのいずれかを読み出すことになります。また、デバイスがプログラムまたは消去動作を完了し、かつ DQ7 に有効なデータが出力されている場合でも、DQ6 ～ DQ0 から出力されるデータが無効のままである場合があります。ただし、次の読み出しサイクル時には有効なデータが DQ7 ～ DQ0 に出力されます。

システムは、DQ7 が補数から真のデータに変更されていることを検出すると、その後の読み出しサイクルで DQ15 ～ DQ0 (x8 モードでは、Dq7 ～ DQ0) にある有効なデータを読み出せます。これは、出力イネーブル (OE#) が LOW にアサートされていると、DQ7 が DQ6 ～ DQ0 と非同期的に変化することがあるためです。このことを **Figure 29** に示します。**Figure 17** に、DQ7 の Data# ポーリングにより得られる出力を示します。また、**Figure 4** に書き込みバッファ プログラミングに使用される Data# ポーリング アルゴリズムを示します。

有効な DQ7 データ ポーリング ステータスは、以下から読み出せます。

- 書き込みバッファ プログラミング動作用の書き込みバッファにロードされた最後のワードのアドレス
- 単一ワード プログラミング動作の位置
- 消去 , 消去ステータス評価 , またはブランクチェック対象のセクタ内の位置
- または、チップ消去時の任意のセクタ内の位置

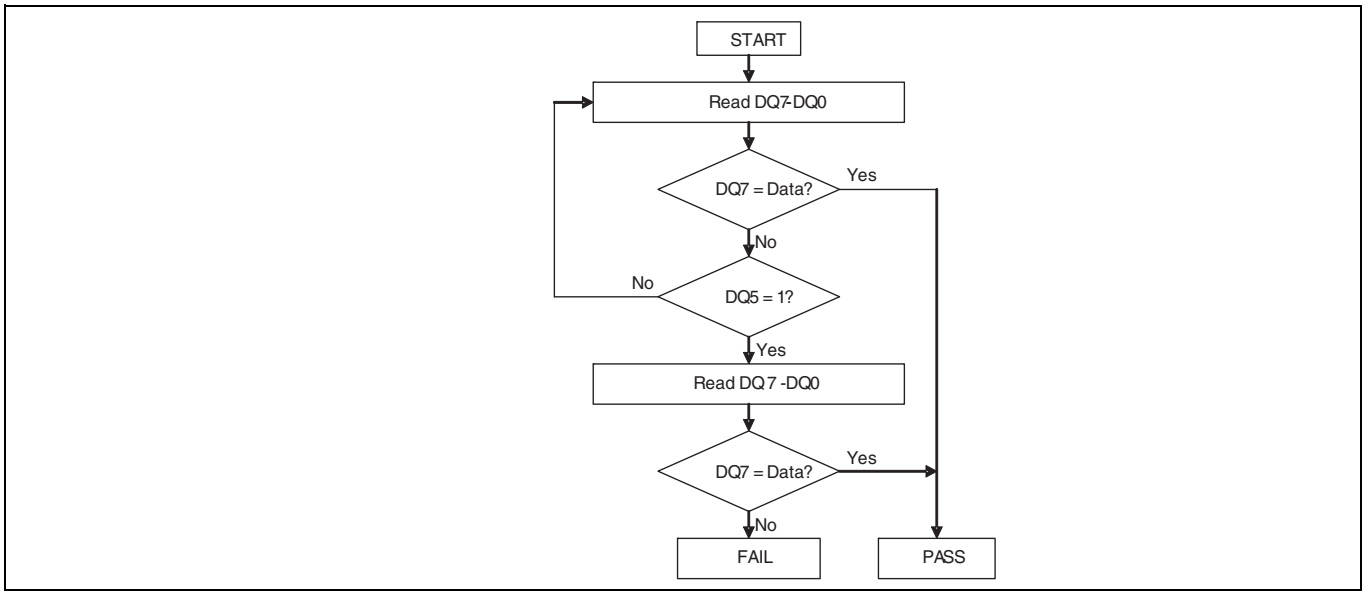


Figure 7 Data# ポーリング アルゴリズム [23]

注 :
23.DQ7 が DQ5 と同時に変化する場合があるため、DQ5 = 1 の場合でも、DQ7 を再チェックする必要があります。

5.5.2.2 DQ6: トグル ビット I

DQ6 に出力されるトグル ビット I は、組込みプログラムまたは消去アルゴリズムが実行中であるか、完了しているか、あるいは、デバイスがプログラム一時停止または消去一時停止モードになっているかを示します。トグル ビット I は任意のアドレスで読み出せて、コマンド シーケンスの最後の WE# パルスの立ち上がりエッジの後 (プログラムまたは消去動作の前) に有効になります。

組込みプログラムまたは消去アルゴリズム動作の実行中、任意のアドレスへの次の読み出しサイクルで DQ6 がトグルします。(システムは、OE# または CE# のいずれかを使い、読み出しサイクルを制御できます。) 動作が完了すると、DQ6 がトグルを停止します。

消去コマンド シーケンスを書き込んだ後、消去の対象として選択したセクタが保護されている場合、DQ6 は t_{DP} の間トグルし、その後、EAC はスタンバイ (読み出しモード) に戻ります。選択したセクタが保護されていない場合、組込み消去アルゴリズムは保護されないセクタを消去します。

システムは、DQ6 と DQ2 を一緒に使い、セクタが消去動作中か、あるいは消去一時停止中かを調べられます。デバイスが消去実行中の場合 (つまり、組込み消去アルゴリズムが実行中の場合)、DQ6 はトグルします。デバイスがプログラム一時停止モードまたは消去一時停止モードに入ると、DQ6 はトグルを停止します。ただし、どのセクタが消去動作中または消去一時停止中かを決めるために、システムは DQ2 を使用する必要があります。その替わりに DQ7 も使用できます (**DQ7: Data# ポーリング**を参照してください)。

DQ6 は、消去一時停止プログラムモードの間もトグルし、組込みプログラムアルゴリズムが完了すればトグルを停止します。

Table 17 に、DQ6 のトグル ビット I の出力を示します。**Figure 8** に、トグル ビットのアルゴリズムをフローチャート形式で示します。**トグル ビット DQ6/DQ2 の読み出し**ではアルゴリズムを説明します。また、**Figure 8** に、トグル ビット タイミング図を示します。**DQ2: トグル ビット II** も参照してください。

5.5.2.3 DQ3: セクタ消去タイマー

セクタ消去コマンド シーケンスを書き込んだ後、システムは DQ3 を読み出して、消去動作が開始したかを調べられます。詳細については、**セクタ消去**を参照してください。(セクタ消去タイマーは、チップ消去コマンドには適用されません。) 消去の対象として追加のセクタを選択する場合、セクタ消去コマンドの後で全タイムアウトも適用されます。タイムアウトの期間が経過した時に、DQ3 は「0」から「1」に切り替わります。システムからの追加のセクタ消去コマンドの書き込み間隔が必ず tSEA 未満になるならば、システムは DQ3 を監視する必要はありません。

セクタ消去コマンドを書き込んだ後、システムは DQ7 (Data# ポーリング)、または DQ6 (トグル ビット I) の状態を読み出して、デバイスがコマンド シーケンスを受け取ったことを確認し、そして DQ3 を読み出す必要があります。DQ3 が '1' の場合は、組込み消去アルゴリズムが開始しています。消去操作が完了するまで、これ以降のコマンドは (消去一時停止コマンドを除き) 無視されます。DQ3 が '0' の場合、デバイスは更なるセクタ消去コマンドを受け取ります。コマンドが受け取られたことを確認するため、それぞれの後続のセクタ消去コマンドの前後で、システム ソフトウェアは DQ3 の状態をチェックしなければいけません。2 回目の状態チェックで DQ3 が HIGH の場合は、最後に書き込んだコマンドを受け取っていない可能性があります。**Table 17** に、他のステータス ビットとの関連の DQ3 のステータスを示します。

5.5.2.4 DQ2: トグル ビット II

DQ2 から出力されるトグル ビット II は、DQ6 と一緒に使用することにより、指定されたセクタが消去動作中である (つまり、組込み消去アルゴリズムの実行中である) か、またはそのセクタが消去一時停止中であるかを示します。トグル ビット II は、コマンド シーケンスの最後の WE# パルスの立ち上りエッジの後に有効になります。

消去の対象として選択されたセクタ (またはマルチセクタ消去中の消去の対象として選択されたすべてのセクタ) 内のアドレスをシステムが読み出すと、DQ2 はトグルします。(システムは、OE# または CE# のいずれかを使い、読み出しサイクルを制御できます。) ただし、DQ2 は、セクタが消去中であるか、消去一時停止中であるかを区別できません。これと対照的に、DQ6 はデバイスが消去動作中か、消去一時停止中かを示しますが、セクタが消去の対象として選択されたかを区別できません。したがって、セクタならびにモード情報を得るには、これらのステータ スビットが両方とも必要となります。DQ2 と DQ6 の出力の相違については、**Table 17** を参照してください。**Figure 7** に、トグル ビットのアルゴリズムをフローチャート形式で示し、**トグル ビット DQ6/DQ2 の読み出し**でアルゴリズムを説明します。**Figure 8** にトグル ビットのタイミング図を示します。

5.5.2.5 トグル ビット DQ6/DQ2 の読み出し

次の説明では、**Figure 7** を参照してください。システムがトグル ビットの状態の最初の読み出しを開始する際、トグル ビットがトグルしているかを調べるために、少なくとも 2 回続けて DQ7 ～ DQ0 を読み出す必要があります。通常、システムは 1 回目の読み出しの後、トグル ビットの値を保存するようにします。2 回目の読み出しの後、システムはトグル ビットの新しい値を前の値と比較します。トグル ビットがトグルしていない場合、デバイスはプログラム動作または消去動作を完了していることになります。この場合、システムは次の読み出しサイクルで DQ15 ～ DQ0 (x8 モードでは、DQ7 ～ DQ0) から出力されるデータ アレイを読み出せます。

ただし、最初の 2 つの読み出しサイクルの後、トグル ビットがトグルを継続していると判断されるなら、システムは DQ5 の値が HIGH となっているかを調べる必要があります (**DQ5: タイミング限界の超過** を参照してください)。HIGH の場合、DQ5 が HIGH になった時にトグル ビットがトグルを停止した可能性もあるため、システムはトグル ビットがトグルしているかを再度調べなければいけません。トグル ビットがトグルしていないなら、デバイスはプログラム動作または消去動作を正常に完了していることになります。トグル ビットがトグルを継続しているなら、デバイスは動作を正常に完了していないことになります。そのため、システムはリセット コマンドを書き込んで、データ アレイの読み出しに戻る必要があります。ポーリングのために読み出されるデータをポーリング目的のみに使用することが推奨されます。トグルが停止した場合、データ アレイはその後の読み出し時に使用可能になります。

この他、システムは最初にトグル ビットがトグルを継続していて、さらに、DQ5 が HIGH になっていないと判定する場合があります。この場合、システムは次の読み出しサイクルからトグル ビットと DQ5 の監視を継続し、上記の段落で説明した状態を判定します。あるいは、他のシステム タスクの実行を選択することもできます。この場合、システムは復帰した時点でアルゴリズムの最初から開始して、動作の状態を調べる必要があります (**Figure 8** を参照してください)。

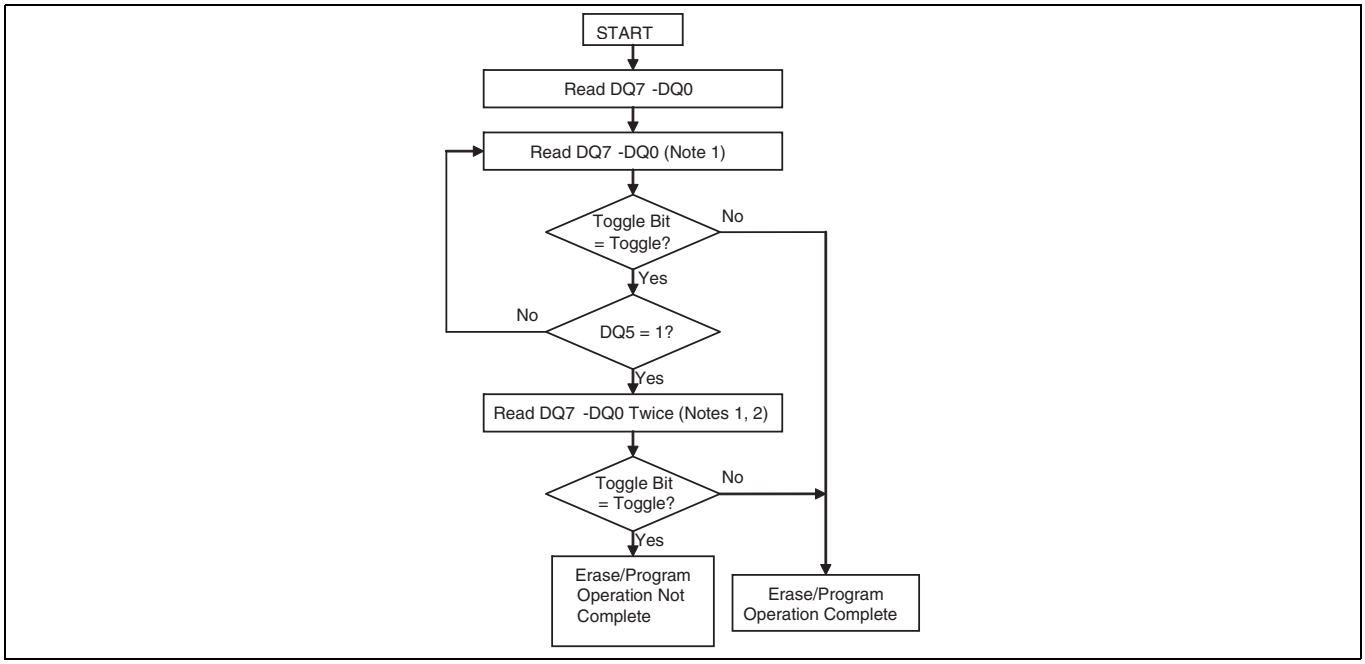


Figure 8 トグル ビット プログラム [24, 25]

注 :
24.トグル ビットを 2 回読み出して、トグルしているかどうかを調べます。本文を参照してください。
25.DQ5 が '1' に変わったためにトグルを停止している場合があるため、トグル ビットを再チェックします。本文を参照してください。

5.5.2.6 DQ5: タイミング限界の超過

DQ5 は、プログラム時間または消去時間があらかじめ決められている内部パルスカウントの上限を超過したかを示します。この条件では、DQ5 は '1' を出力します。これは、プログラムまたは消去サイクルが正常に完了しなかったことを示す失敗の状態です。デバイスをデータ アレイの読み出し動作に戻すために、システムはリセット コマンドを発行しなければいけません。

タイムアウトが発生した場合は、ソフトウェアはタイムアウト ビット (DQ5) をクリアし、EAC を初期状態に戻すためにソフト リセットまたは ステータス レジスタ リセット コマンドを送信する必要があります。この場合、リセットコマンドが送信された後、最大 t_{TOR} の間フラッシュはビジー状態で通信を継続することが可能です。

5.5.2.7 DQ1: バッファへの書き込みの中止

DQ1 は、バッファへの書き込み動作が中止されたかどうかを示します。この条件では、DQ1 は '1' を出力します。システムはバッファへの書き込み中止リセット コマンド シーケンスまたはステータス レジスタ クリア コマンドを発行して、EAC をスタンバイ (読み出しモード) に戻さなければいけません。これにより、ステータス レジスタの失敗ビットがクリアされます。詳細は**書き込みバッファ プログラミング**を参照してください。

Table 17 データ ポーリング ステータス

動作		DQ7[27]	DQ6	DQ5[26]	DQ3	DQ2[27]	DQ1[29]	RY/BY#
標準モード	組込みプログラム アルゴリズム	DQ7#	トグル	0	該当なし	トグルなし	0	0
	消去対象セクタ内で読み出す[30]	0	トグル	0	1	トグル	該当なし	0
	消去対象セクタの外で読み出す[30]	0	トグル	0	1	トグルなし	該当なし	0
プログラム一時停止モード[28]	プログラム一時停止中のセクタ内で読み出す	無効 (不可)	無効 (不可)	無効 (不可)	無効 (不可)	無効 (不可)	無効 (不可)	1
	プログラム一時停止されないセクタ内で読み出す	データ	データ	データ	データ	データ	データ	1
消去一時停止モード[32]	消去一時停止中のセクタ内で読み出す	1	トグルなし	0	該当なし	トグル	該当なし	1
	消去一時停止されないセクタ内で読み出す	データ	データ	データ	データ	データ	データ	1
	消去一時停止されないセクタ内でプログラム	DQ7#	トグル	0	該当なし	該当なし	該当なし	0
バッファへの書き込み[29, 31]	ビジー状態	DQ7#	トグル	0	該当なし	トグルなし	0	0
	タイミング制限超過	DQ7#	トグル	1	該当なし	該当なし	0	0
	中止状態	DQ7#	トグル	0	該当なし	該当なし	1	0

注 :
26. 組込みプログラムまたは組込み消去の動作が最大タイミング限界を超過すると、DQ5 は '1' に切り替わります。詳細については、**DQ5: タイミング限界の超過**を参照してください。
27. ステータス情報を読み出す際に、DQ7 および DQ2 には有効なアドレスが必要です。詳しくは、関連するサブセクションを参照してください。
28. プログラム一時停止ライン内のアドレスに対してはデータは無効です。プログラム一時停止ライン以外のすべてのデータは、正しいデータとして読み出せます。
29. DQ1 は、書き込みバッファ プログラミング操作中の、バッファへの書き込み中止ステータスを示します。
30. マルチセクタ消去動作では最後のセクタがロードされた後、50 µs 間で DQ3 = 0 となります。
31. プログラム操作のみに適用されます。
32. SECSI が一時停止セクタで重複され、かつ SECSI モードでプログラム動作が開始された場合、組込み動作の間、DQ6 はトグルし、DQ2 はトグルしません。

5.6 エラータイプおよびクリア手順

組込み動作ステータス方式により報告されるエラーは 3 種類あります。エラーの種類によって、報告されるエラー ステータスとエラー ステータスのクリア手順が異なります。以下に、エラー ステータスのクリアについて説明します。

- エラーの前に ASO に入っていた場合、デバイスは ASO に入ったままとなり、ASO 読み出しまたはコマンド書き込みの待機状態となります。
- エラーの前に消去を一時停止していた場合は、デバイスは消去一時停止状態に戻り、フラッシュ アレイの読み出しまたはコマンド書き込みの待機状態となります。
- これ以外の場合は、デバイスはスタンバイ状態になり、フラッシュ アレイの読み出しまたはコマンド書き込みの待機状態となります。

5.6.1 組込み動作のエラー

組込み動作 (プログラム , 消去 , ブランク チェック , またはパスワード アンロック) の間にエラーが発生した場合、デバイス (EAC) はビジーのままになります。RY/BY# 出力は LOW のままとなり、データ ポーリング ステータスはすべてのアドレス ロケーションで継続的にオーバーレイされ、ステータス レジスタは有効なステータス ビットによりレディ状態を示します。ホスト システムのステータス監視によりエラー ステータスが検出され、エラー ステータスがクリアされるまで、デバイスはビジーのままになります。

組込みアルゴリズム エラー ステータスの間、データ ポーリング ステータスは次のようになります。

- DQ7 は、書き込みバッファにロードされた最後のワード (パスワード アンロック コマンドの場合は、パスワードの最後のワード) の DQ7 ビットの反転データです。DQ7 = 0 は消去 , 消去ステータスの評価 , またはブランク チェックの失敗を示します。
- DQ6 はトグルを継続します。
- DQ5 = 1 は、組込み動作の失敗を示します。
- DQ4 は RFU であり、ドントケアとして扱うべきです (マスクされます)。
- DQ3 = 1 は、組込みセクタ消去が進行中であったことを示し、DQ3 = 0 は、組込みプログラムが進行中であったことを示します。
- DQ2 は、ステータス読み出しに使用されるアドレスとは関係なく、トグルを継続します。
- DQ1 = 0 は書き込みバッファ中止エラーを示します。
- DQ0 は RFU であり、ドントケアとして扱うべきです (マスクされます)。

組込みアルゴリズム (EA) エラー状態にある間は、ステータス レジスタは以下のように表示されます。

- SR[7] = 1 は有効なステータスを示します。
- SR[6] = X は EA エラー中に消去一時停止中か、そうでないかもしれないことを示します。
- SR[5] = 1 は消去またはブランク チェックのエラーを示します。そうでなければ、SR[5] = 0 です。
- SR[4] = 1 はプログラムまたはパスワードロック解除エラーを示します。そうでなければ、SR[4] = 0 です。
- SR[3] = 0 は書き込みバッファ中止を示します。
- SR[2] = 0 はプログラムの一時停止を示します。
- SR[1] = 0 は保護されたセクタを示します。
- SR[0] = X は RFU であり、ドントケアとして扱うべきです (マスクされます)。

組込みアルゴリズムのエラーステータスが検出された場合、RY/BY# を HIGH にして通常動作に戻し、新しい読み出しまたはコマンド書き込みを行えるようにするためには、エラー ステータスをクリアする必要があります。エラー ステータスは、以下を書き込むことでクリアできます。

- リセット コマンド
- ステータス レジスタ消去コマンド

組込みアルゴリズム エラー状態にある間に受付けられるコマンドは次のとおりです。

- ステータス レジスタ読み出し
- リセット コマンド
- ステータス レジスタ消去コマンド

5.6.2 保護エラー

組込みアルゴリズムが、保護された領域 (保護されたセクタまたは OTP 領域に対するプログラム動作または消去動作) 内でデータの変更を試みると、デバイス (EAC) は t_{DP} 間ビジーになった後、通常動作に戻ります。ビジー期間中は、RY/BY# 出力は LOW のままとなり、データ ポーリング ステータスはすべてのアドレス ロケーションで継続的にオーバーレイされ、ステータス レジスタは無効なステータス ビット (SR[7] = 0) により非レディ状態を示します。

保護エラー ステータスによるビジー期間中は、データ ポーリングのステータスは次のようになります。

- DQ7 は、書き込みバッファにロードされた最後のワードの DQ7 ビットの反転データです。DQ7 = 0 は、消去の失敗を示します。
- DQ6 は、ステータスの読み出しに使用するアドレスとは関係なく、トグルを継続します。
- DQ5 = 0 はビジー期間中に組込み動作の失敗がなかったことを示します。
- DQ4 は RFU であり、ドントケアとして扱うべきです (マスクされます)。
- DQ3 = 1 は、組込みセクタ消去が進行中であることを示します。
- DQ2 は、ステータス読み出しに使用されるアドレスとは関係なく、トグルを継続します。
- DQ1 = 0 は書き込みバッファ中止エラーを示します。
- DQ0 は RFU であり、ドントケアとして扱うべきです (マスクされます)

保護エラー ステータスによるビジーの間に受付けられるコマンドは次のとおりです。

- ステータス レジスタ読み出し

ビジー期間が終了すると、デバイスは通常動作に戻り、データ ポーリング ステータスはそれ以上オーバーレイされず、RY/BY# は HIGH になり、ステータス レジスタは有効なステータス ビットによりレディ状態を示します。この時デバイスは、フラッシュ アレイへの新しいコマンドの読み書きを受付ける準備ができています。

保護エラー ステータスによるビジー期間後は、ステータス レジスタの表示は次のようになります。

- SR[7] = 1 は有効なステータスを示します。
- SR[6] = X は保護エラーによるビジー期間後に消去一時停止中か、そうでないかもしれないことを示します。
- SR[5] = 1 は消去エラーを示します。そうでなければ、SR[5] = 0 です。
- SR[4] = 1 は、プログラム エラーを示します。そうでなければ、SR[4] = 0 です。
- SR[3] = 0 はプログラムが中止されないことを示します。
- SR[2] = 0 は一時停止状態のプログラムがないことを示します。
- SR[1] = 1 は保護エリアへの書き換えをしようとすることに起因したエラーを示します。
- SR[0] = X は RFU であり、ドントケアとして扱うべきです (マスクされます)。

保護エラー ステータスによるビジー期間後に受付けられるコマンドは次のとおりです。

- すべてのコマンド

5.6.3 書き込みバッファ中止

バッファへの書き込みコマンドの実行中にエラーが発生すると、デバイス (EAC) はビジーのままになります。RY/BY# 出力は LOW のままとなり、データ ポーリング ステータスはすべてのアドレス ロケーションで継続的にオーバーレイされ、ステータス レジスタは有効なステータス ビットによりレディ状態を示します。ホスト システムのステータス監視によりエラー ステータスが検出され、エラー ステータスがクリアされるまで、デバイスはビジーのままになります。

バッファへの書き込み中止 (WBA) によるエラー ステータスの間は、データ ポーリングのステータスは次のようになります。

- DQ7 は、書き込みバッファにロードされた最後のワード内の DQ7 ビットの反転データです。
- DQ6 は、ステータスの読み出しに使用するアドレスとは関係なく、トグルを継続します。
- DQ5 = 0 は、プログラム動作に失敗がないことを示します。WBA は、プログラム動作が始まる前にバッファへの書き込みコマンドによって入力された値の中のエラーです。
- DQ4 は RFU であり、ドントケアとして扱うべきです (マスクされます)。
- プログラム操作後、進行中の消去操作がないため、DQ3 はドントケアです。消去操作が一時停止後に書き込みバッファ プログラム操作が開始されると、DQ3 = 1 となります。消去操作が進行中でない場合、DQ3 はドントケアでマスクされるべきです。
- プログラム操作後、進行中の消去操作がないため、DQ2 はトグルしません。消去操作が一時停止後に書き込みバッファ プログラム操作が開始されると、DQ2 は消去操作が一時停止中のセクタ内 (それ以外のセクタ内ではない) でトグルします。消去操作が進行中でない場合、DQ2 はドントケアでマスクされるべきです。
- DQ1 = 1: 書き込みバッファ中止エラー
- DQ0 は RFU であり、ドントケアとして扱うべきです (マスクされます)。

バッファへの書き込み中止 (WBA) によるエラー ステータスの間は、ステータス レジスタは次のようになります。

- SR[7] = 1 は有効なステータスを示します。
- SR[6] = X は、WBA エラー ステータス中で消去一時停止中か、そうでないかもしれないことを示します。
- SR[5] = 0 は、正常に消去したことを示します。
- SR[4] = 1 は、プログラミング関連のエラーを示します。
- SR[3] = 1 は書き込みバッファ中止を示します。
- SR[2] = 0 は一時停止状態のプログラムがないことを示します。
- SR[1] = 0 は動作中にセクタがロックされていないことを示します。
- SR[0] = X は RFU であり、ドントケアとして扱うべきです (マスクされます)。

WBA のエラー ステータスが検出された場合は、RY/BY# を HIGH にして通常動作に戻し、新しい読み出しまたはコマンド書き込みを行えるようにするためには、エラー ステータスをクリアする必要があります。下記を書き込むことでエラー ステータスは消去でき、デバイスは通常動作に戻ります。

- バッファ書き込み中止リセット コマンド
- ステータス レジスタ クリア コマンド

バッファへの書き込み中止 (WBA) によるエラー ステータスの間に受けられるコマンドは次のとおりです。

- ステータス レジスタ読み出し
  - ステータス レジスタを読み出し、WBA ビジー状態に戻ります。
- バッファ書き込み中止リセット コマンド
- ステータス レジスタ クリア コマンド

5.7 組込みアルゴリズム性能表

JEDEC (Joint Electron Device Engineering Council) の標準 JESD22-A117 は、認定仕様に基づいた有効な耐久性および保持テストの実行の手続きの要件を定義します。この方法は、故障なしに繰り返しデータ書き換えを維持する機能 (即ち、プログラム / 消去耐性) および期待される寿命の間データを保持する機能 (即ち、データ リテンション) というフラッシュ デバイスの機能を確定するために使用されます。書き換え耐性およびリテンションの認定仕様は JESD47 に指定されるか、または JESD94 のように知識ベース手法を使用して開発することもできます。

Table 18 組込みアルゴリズム特性 (–40°C ～ +85°C)

パラメーター		Min	Typ[34]	Max[35]	単位	備考
セクタ消去時間 128 KB		–	535	3500	ms	消去前のプリプログラミングを含む [37]
チップ消去	GL512T	–	274	1792[33]	s	
	GL01GT	–	548	3584[33]	s	
単一ワード プログラム時間 [33]		–	160	750	µs	
バッファ プログラム時間	2 バイト [33]	–	160	750	µs	
	32 バイト [33]	–	195	750		
	64 バイト [33]	–	219	750		
	128 バイト [33]	–	258	750		
	256 バイト [33]	–	327	750		
	512 バイト [36]	–	451	750		
ワードあたりの実効書き込みバッファ プログラム時間	512 バイト	–	1.76	–	µs	
セクタ プログラム時間 128 KB (フル バッファ プログラミング)		–	115.4	192	ms	[38]
消去一時停止レイテンシ (t_{ESL})		–	–	40	µs	
プログラム一時停止レイテンシ (t_{PSL})		–	–	40	µs	
消去再開から次の消去一時停止までの時間 (t_{ERS})		–	100	–	µs	消去が完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
プログラム再開から次のプログラム一時停止までの時間 (t_{PRS})		–	100	–	µs	プログラムが完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
消去ステータス検証時間 (t_{EES})		–	25	30	µs	
ブランク チェック		–	6.2	8.5	ms	
NOP (プログラム動作回数 / ライン)		–	–	256		

注 :
33.100% のテストは行われていません。
34.プログラムおよび消去時間の標準値は次の条件を想定したものです : 25°C, 3.0 V V_{CC}, 10,000 サイクルおよびランダム データ パターン
35.有効な書き込みバッファ仕様は、512 バイト書き込みバッファ操作時のものです。
36.512 バイトのロードは x8 モードでサポートされません。
37.組込み消去アルゴリズムのプリプログラミング段階では、セクタとチップの消去前にすべてのワードが 0000h にプログラムされます。
38.システムレベルのオーバーヘッドとは、プログラム コマンドに対してバスサイクル シーケンスを実行するために必要な時間です。コマンドの定義については、**Table 23** を参照してください。

Table 19　組込みアルゴリズム特性 (–40°C ～ +105°C)

パラメーター		Min	Typ[40]	Max[41]	単位	備考
セクタ消去時間 128 KB		–	535	3500	ms	消去前のプリプログラミングを含む [43]
チップ消去	GL512T	–	274	1792[39]	s	
	GL01GT	–	548	3584[39]		
単一ワード プログラム時間 [39]		–	160	1050	µs	
バッファ プログラム時間	2 バイト [39]	–	160	1050	µs	
	32 バイト [39]	–	195	1050		
	64 バイト [39]	–	219	.1050		
	128 バイト [39]	–	258	1050		
	256 バイト [39]	–	327	1050		
	512 バイト [39]	–	451	1050		
ワードあたりの実効書き込みバッファ プログラム時間	512 バイト	–	1.76	–	µs	
セクタ プログラム時間 128 kB (フル バッファ プログラミング)		–	115.4	269	ms	[44]
消去一時停止レイテンシ (t_{ESL})		–	–	50	µs	
プログラム一時停止レイテンシ (t_{PSL})		–	–	50	µs	
消去再開から次の消去一時停止までの時間 (t_{ERS})		–	100	–	µs	消去が完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
プログラム再開から次のプログラム一時停止までの時間 (t_{PRS})		–	100	–	µs	プログラムが完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
消去ステータス検証時間 (t_{EES})		–	25	30	µs	
ブランク チェック		–	7.6	9.0	ms	
NOP (プログラム動作回数 / ライン)		–	–	16 ワードごとに 1 回		

注 :
39.100% のテストは行われていません。
40.プログラムおよび消去時間の標準値は次の条件を想定したものです : 25°C, 3.0 V V_{CC}, 10,000 サイクルおよびランダム データ パターン
41.有効な書き込みバッファ仕様は、512 バイト書き込みバッファ操作時のものです。
42.512 バイトのロードは x8 モードでサポートされません。
43.組込み消去アルゴリズムのプリプログラミング段階では、セクタとチップの消去前にすべてのワードが 0000h にプログラムされます。
44.システムレベルのオーバーヘッドとは、プログラム コマンドのバスサイクル シーケンスを実行するために必要な時間です。コマンドの定義については、**Table 23** を参照してください。

Table 20　組込みアルゴリズム特性 (–40°C ～ +125°C)

パラメーター		Min	Typ[46]	Max[47]	単位	備考
セクタ消去時間 128 KB		–	535	3500	ms	
チップ消去	GL512T	–	274	1792[45]	s	消去前のプリプログラミングを含む [49]
	GL01GT	–	548	3584[45]	µs	
単一ワード プログラム時間 [45]		–	160	1050	µs	
バッファ プログラム時間	2 バイト [45]	–	160	1050		
	32 バイト [45]	–	195	1050		
	64 バイト [45]	–	219	1050		
	128 バイト [45]	–	258	1050		
	256 バイト [45]	–	327	1050		
	512 バイト [45]	–	451	1050		
ワードあたりの実効書き込みバッファ プログラム動作	512 バイト	–	1.76	–	µs	
セクタ プログラム時間 128 kB (フル バッファ プログラミング)		–	115.4	269	ms	[50]
消去一時停止レイテンシ (tESL)		–	–	50	µs	
プログラム一時停止レイテンシ (tPSL)		–	–	50	µs	
消去再開から次の消去一時停止までの時間 (tERS)		–	100	–	µs	消去が完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
プログラム再開から次のプログラム一時停止までの時間 (tPRS)		–	100	–	µs	プログラムが完了まで進行するためには最小 60 µs ですが、通常以上の時間が必要
消去ステータス検証時間 (tEES)		–	25	30	µs	
ブランク チェック		–	7.6	9.0	ms	
NOP (プログラム動作回数 / ライン)		–	–	16 ワードごとに 1 回		

注 :
45.100% のテストは行われていません。
46.プログラムおよび消去時間の標準値は次の条件を想定したものです : 25°C, 3.0 V V_{CC}, 10,000 サイクルおよびランダム データ パターン
47.有効な書き込みバッファ仕様は、512 バイト書き込みバッファ操作時のものです。
48.512 バイトのロードは x8 モードでサポートされません。
49.組込み消去アルゴリズムのプリプログラミング段階では、セクタとチップの消去前にすべてのワードが 0000h にプログラムされます。
50.システムレベルのオーバーヘッドとは、プログラム コマンドのバスサイクル シーケンスを実行するために必要な時間です。コマンドの定義については、**Table 23** を参照してください。

6 データの完全性

6.1 消去可能回数

Table 21 消去可能回数

パラメーター	Min	単位
メイン フラッシュ アレイ セクタのプログラム / 消去サイクル数	100K	P/E サイクル
PPB アレイまたは不揮発性レジスタ アレイのプログラム / 消去サイクル数 [51]	100K	P/E サイクル

6.2 データ保持

Table 22 データ保持

パラメーター	テスト条件	最小時間	単位
データ保持期間	1K プログラム / 消去サイクル	20	年
	10K プログラム / 消去サイクル	2	年
	100K プログラム / 消去サイクル	0.2	年

データの完全性については、インフィニオンの営業担当者または FAE 担当者にお問い合わせください。

注 :
51.不揮発性レジスタへの各書き込みコマンドにより、不揮発性レジスタ アレイ全体で P/E サイクルが発生します。OTP ビットとレジスタは、P/E サイクルされない別のアレイに内部的に存在します。

7 ソフトウェア インターフェース リファレンス

7.1 コマンドのまとめ

Table 23 コマンド定義 ×16

コマンド シーケンス [52]		サイクル	バス サイクル [53, 54, 55, 56]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読み出し [57]		1	RA	RD												
リセット /ASO 終了 [58, 68]		1	XXX	F0												
ステータス レジスタ読み出し		2	555	70	XXX	RD										
ステータス レジスタ クリア		1	555	71												
ワード プログラム		4	555	AA	2AA	55	555	A0	PA	PD						
バッファへの書き込み		6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
バッファからフラッシュへのプログラム (確認)		1	SA	29												
バッファへの書き込み中止のリセット [64]		3	555	AA	2AA	55	555	F0								
アンロック バイパス	移行	3	555	AA	2AA	55	555	20								
	プログラム [60]	2	XXX	A0	PA	PD										
	バッファへの書き込み [60]	4	SA	25	SA	WC	WBL	PD	WBL	PD						
	バッファからフラッシュへのプログラム (確認)	1	SA	29												
	バッファへの書き込み中止のリセット [64]	3	555	AA	2AA	55	555	F0								
	セクタ消去 [60]	2	XXX	80	SA	30										
	チップ消去 [60]	2	XXX	80	XXX	10										
	コマンド セット終了 [61]	2	XXX	90	XXX	00										
チップ消去		6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10		
セクタ消去 [71]		6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30		
消去一時停止 / プログラム一時停止 従来方式 [62]		1	XXX	B0												
消去一時停止 拡張方式																
消去再開 / プログラム消去 従来方式 [63]		1	XXX	30												
消去再開 拡張方式																
プログラム一時停止 拡張方式		1	XXX	51												
プログラム再開 拡張方式		1	XXX	50												
消去状態検証		1	(SA) 555	35												
ブランク チェック		1	(SA) 555	33												
CFI 移行 [59]		1	(SA) 55	98												
連続性チェック		7	555	71	555	70	XX	RD	2AAAA 55	FF00	15555A A	00FF	555	70	XX	RD
ID-CFI (自動選択) ASO	ID (自動選択) エントリ	3	555	AA	2AA	55	555	90								
	CFI 移行 [59]	1	55	98												
	ID-CFI 読み出し	1	RA	RD												
	CFI s 終了	1	XXX	FF												
	リセット /ASO 終了 [58, 69]	1	XXX	F0												

Table 23 コマンド定義 ×16 (Continued)

	コマンド シーケンス [52]	サイクル	バス サイクル [53, 54, 55, 56]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
セキュア シリコン領域のコマンド定義																
セキュア シリコン領域 (SSR) ASO	SSR エントリ	3	555	AA	2AA	55	(SA) 555	88								
	読み出し[57]	1	RA	RD												
	ワード プログラム	4	555	AA	2AA	55	555	A0	PA	PD						
	バッファへの書き込み	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD		
	バッファからフラッシュへのプログラム (確認)	1	SA	29												
	バッファへの書き込み中止のリセット[64]	3	555	AA	2AA	55	555	F0								
	SSR 終了[64]	4	555	AA	2AA	55	555	90	XX	0						
	リセット/ASO 終了[58, 69]	1	XXX	F0												
ロック レジスタ コマンド セット定義																
ロック レジスタ ASO	ロック レジスタ エントリ	3	555	AA	2AA	55	555	40								
	プログラム[68]	2	XXX	A0	XXX	PD										
	読み出し[68]	1	0	RD												
	コマンド セット終了[65, 69]	2	XXX	90	XXX	0										
	リセット/ASO 終了[58, 69]	1	XXX	F0												
パスワード保護コマンド セット定義																
パスワード ASO	パスワード ASO エントリ	3	555	AA	2AA	55	555	60								
	プログラム[67]	2	XXX	A0	PWAx	PWDx										
	読み出し[68]	4	0	PWD0	1	PWD1	2	PWD2	3	PWD3						
	アンロック[68]	7	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	0	29
	コマンド セット終了[65, 69]	2	XXX	90	XXX	0										
	リセット/ASO終了[58, 69]	1	XXX	F0												
不揮発性セクタ保護コマンド セット定義																
PPB (不揮発性セクタ保護)	PPB エントリ	3	555	AA	2AA	55	555	C0								
	PPB プログラム[70]	2	XXX	A0	SA	0										
	全 PPB 消去[70]	2	XXX	80	0	30										
	PPB 読み出し[70]	1	SA	RD (0)												
	コマンド セット終了[65, 69]	2	XXX	90	XXX	0										
	リセット/ASO 終了[58, 69]	1	XXX	F0												

Table 23 コマンド定義 ×16 (Continued)

	コマンド シーケンス [52]	サイクル	バス サイクル [53, 54, 55, 56]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
グローバル不揮発性セクタ保護フリーズ コマンド セット定義																
PPB ロック ビット	PPB ロック エントリ	3	555	AA	2AA	55	555	50								
	PPB ロック ビットがクリア済み	2	XXX	A0	XXX	0										
	PPB ロック ステータス読み出し [70]	1	XXX	RD (0)												
	コマンド セット終了 [65, 69]	2	XXX	90	XXX	0										
	リセット/ASO 終了 [69]	1	XXX	F0												
揮発性セクタ保護コマンド セット定義																
DYB (揮発性 セクタ保護)	DYB ASO エントリ	3	555	AA	2AA	55	555	E0								
	DYB セット [70]	2	XXX	A0	SA	0										
	DYB クリア [70]	2	XXX	A0	SA	1										
	DYB ステータス読み出し [70]	1	SA	RD (0)												
	コマンド セット終了 [65, 69]	2	XXX	90	XXX	0										
	リセット/ASO 終了 [69]	1	XXX	F0												
コマンド セット定義 ECC																
ECC ASO	ECC ASO エントリ	3	555	AA	2AA	55	555	75								
	ECC ステータス読み出し	1	RA	RD												
	コマンド セット終了 [65, 69]	1	XXX	F0												

凡例:
X = ドント ケア
RA = 読み出しメモリ アドレス
RD = 読み出し動作中にRA から読み出されるデータ
PA = プログラム対象のメモリ位置のアドレス
PD = ロケーションPA でプログラムされるデータ
SA = 選択されたセクタのアドレス。セクタは、アドレス ビットAmax ～ A16 により一意的に選択されます。
WBL = 書き込みバッファ ロケーション。このアドレスは、同じライン内でなければいけません。
WC = ワード カウントは、ロードする書き込みバッファ位置の値－ 1 です。
PWAx = PPB パスワード アドレス。ワード0 は00h, ワード1 は01h, ワード2 は02h, ワード3 は03h です。 SSR3 パスワード アドレスはワード0 が10h, ワード1 が11h, ワード2 が12h, ワード3 が13h です。
PWDx = ワード0, ワード1, ワード2, ワード3 のパスワード データ
灰色ボックスと白色ボックス = 読み出し動作と書き込み動作

注 :
52.バス動作については、**Table 31** を参照してください。
53.数値はすべて 16 進表記です。
54.以下を除いて、バス サイクルはすべて書き込みサイクルです : 読み出し中の読み出しサイクル , ID/CFI 読み出し (製造 ID/ デバイス ID), インジケータ ビット , セキュアシリコン領域読み出し , SSR ロック読み出し , 2 サイクル目のステータス レジスタ読み出し。
55.データ ビット DQ15 ～ DQ8 はコマンド シーケンスではドントケアとなります (ただし RD, PD, WC, PWD を除く)。
56.アドレス ビット Amax ～ A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルではドントケアとなります (Amax は最上位アドレス ピンです)。
57.データ アレイを読み出す際、アンロックまたはコマンド サイクルは不要です。
58.デバイスが ASO モードの時、または (デバイスがステータス データを提供している間に) DQ5 が HIGH になった時、データ アレイの読み出しに戻るには、リセット コマンドが必要です。
59.デバイスがアレイデータを読み出す準備ができている時に、コマンドは有効になります。
60.アンロック バイパス コマンドは、バッファへのアンロック バイパス プログラム コマンドとアンロック バイパス書き込みコマンドの前に必要となります。
61.デバイスがアンロック バイパス モードにある時、アレイデータの読み出しモードに戻るには、アンロック バイパス リセット コマンドを必要とします。
62.消去一時停止モードのとき、システムは消去対象となっていないセクタにおいて読み出しとプログラム / プログラム一時停止を行え、または ID-CFI ASO に移行できます。消去一時停止コマンドは、セクタ消去動作の間のみ有効です。
63.消去再開 / プログラム再開コマンドは、消去一時停止 / プログラム一時停止モードの間のみ有効です。
64.デバイスがバッファへの書き込み中止状態にあることを検出した後に、読み出しモードに戻るためには、このコマンド シーケンスを実行します。重要 : 中断状態からリセットする場合、フル コマンド シーケンスが必要です。
65.終了コマンドは、デバイスをアレイの読み出しに戻します。
66.64 ビットのパスワードがすべて入力され読まれさえすれば、パスワード部分の入力や読み出しは任意の順序で行えます。SSR3 へのアクセス中の場合、アドレスは 10h ～ 13h です。
67.PWDx の場合は、プログラムできるパスワード部分は、A0 コマンド 1 回につき、1 つだけです。パスワードの部分は、逐次的な順序 (PWD0 ～ PWD3) でプログラムする必要があります。
68.ロック レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 =0 で、消去状態 =1 です。また、永続保護モード ロック ビットと、パスワード保護モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ロック レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに戻ります。将来の使用のために予約されているロック レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
69.いずれかのエントリ コマンドを実行したら、終了コマンドを実行してデバイスを読み出しモードに復帰させる必要があります。
70.保護された状態 = 00h、非保護の状態 = 01h です。DYB セット , DYB クリア , または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の位置でかまいません。セクタ アドレスの下位ビットはドントケアです。
71.マルチセクタ消去の詳細については、**セクタ消去**を参照してください。

Table 24 コマンド定義 ×8

コマンド シーケンス [72]		サイクル	バス サイクル [73, 74, 75, 76]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読み出し[76]		1	RA	RD												
リセット/ASO 終了[77, 88]		1	XXX	F0												
ステータス レジスタ読み出し		2	AAA	70	XXX	RD										
ステータス レジスタ クリア		1	AAA	71												
ワード プログラム		4	AAA	AA	555	55	AAA	A0	PA	PD						
バッファへの書き込み[90]		6	AAA	AA	555	55	SA	25	SA	WC	WBL	PD	WBL	PD		
バッファからフラッシュへのプログラム (確認)		1	SA	29												
バッファへの書き込み中止のリセット[83]		3	AAA	AA	555	55	AAA	F0								
アンロック バイパス	移行	3	AAA	AA	555	55	AAA	20								
	プログラム[79]	2	XXX	A0	PA	PD										
	バッファへの書き込み[79]	4	SA	25	SA	WC	WBL	PD	WBL	PD						
	バッファからフラッシュへのプログラム (確認)[79]	1	SA	29												
	バッファへの書き込み中止のリセット[83]	3	AAA	AA	555	55	AAA	F0								
	セクタ消去[79]	2	XXX	80	SA	30										
	チップ消去[79]	2	XXX	80	XXX	10										
	コマンド セット終了[80]	2	XXX	90	XXX	00										
チップ消去		6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	AAA	10		
セクタ消去[90]		6	AAA	AA	555	55	AAA	80	AAA	AA	555	55	SA	30		
消去一時停止/プログラム一時停止 従来方式[81]		1	XXX	B0												
消去一時停止 拡張方式																
消去再開/プログラム再開 従来方式[82]		1	XXX	30												
消去再開 拡張方式																
プログラム一時停止 拡張方式		1	XXX	51												
プログラム再開 拡張方式		1	XXX	50												
消去状態検証		1	(SA) AAA	35												
ブランク チェック		1	(SA) AAA	33												
CFI 移行[78]		1	(SA) AA	98												
連続性チェック		7	AAA	71	AAA	70	XX	RD	55554AB	FF	2AAAB54	00	AAA	70	XX	RD
ID-CFI (自動選択) ASO	ID (自動選択) エントリ	3	AAA	AA	555	55	AAA	90								
	CFI 移行[78]	1	AA	98												
	ID-CFI 読み出し	1	RA	RD												
	CFI 終了	1	XXX	FF												
	リセット/ASO 終了[77, 88]	1	XXX	F0												

Table 24 コマンド定義 ×8 (Continued)

コマンド シーケンス [72]		サイクル	バス サイクル [73, 74, 75, 76]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
セキュア シリコン領域のコマンド定義																
セキュア シリコン領域 (SSR) ASO	SSR エントリ	3	AAA	AA	555	55	(SA) AAA	88								
	読み出し[76]	1	RA	RD												
	ワード プログラム	4	AAA	AA	555	55	AAA	A0	PA	PD						
	バッファへの書き込み[90]	6	AAA	AA	555	55	SA	25	SA	WC	WBL	PD	WBL	PD		
	バッファからフラッシュへのプログラム (確認)	1	SA	29												
	バッファへの書き込み中止のリセット[83]	3	AAA	AA	555	55	AAA	F0								
	SSR 終了[83]	4	AAA	AA	555	55	AAA	90	XX	0						
	リセット/ASO 終了[77, 88]	1	XXX	F0												
ロック レジスタ コマンド セット定義																
ロック レジスタ	ロック レジスタ エントリ	3	AAA	AA	555	55	AAA	40								
	プログラム[87]	2	XXX	A0	XXX	PD										
	読み出し[87]	1	0	RD												
	コマンド セット終了[84, 88]	2	XXX	90	XXX	0										
	リセット/ASO終了[77, 88]	1	XXX	F0												
パスワード保護コマンド セット定義																
パスワード ASO	パスワード ASO エントリ	3	AAA	AA	555	55	AAA	60								
	プログラム[86]	2	XXX	A0	PWAx	PWDx										
	読み出し[85]	8	0	PWD0	1	PWD1	2	PWD2	3	PWD3	4	PWD4	5	PWD5	6	PWD6
			7	PWD7												
	アンロック[85]	11	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	4	PWD4
			5	PWD5	6	PWD6	7	PWD7	0	29						
	コマンド セット終了[84, 88]	2	XXX	90	XXX	0										
	リセット/ASO 終了[77, 88]	1	XXX	F0												
不揮発性セクタ保護コマンド セット定義																
PPB (不揮発性セクタ保護	PPB エントリ	3	AAA	AA	555	55	AAA	C0								
	PPB プログラム[89]	2	XXX	A0	SA	0										
	全 PPB 消去[89]	2	XXX	80	0	30										
	PPB 読み出し[89]	1	SA	RD (0)												
	コマンド セット 終了[84, 88]	2	XXX	90	XXX	0										
	リセット/ASO 終了[77, 88]	1	XXX	F0												
グローバル不揮発性セクタ保護フリーズ コマンド セット定義																
PPB ロック ビット	PPB ロック エントリ	3	AAA	AA	555	55	AAA	50								
	PPB ロック ビットがクリア済み	2	XXX	A0	XXX	0										
	PPB ロック ステータス読み出し[89]	1	XXX	RD (0)												
	コマンド セット 終了[84, 88]	2	XXX	90	XXX	0										
	リセット/ASO 終了[88]	1	XXX	F0												
揮発性セクタ保護コマンド セット定義																
DYB (揮発性セクタ保護) ASO	DYB ASO エントリ	3	AAA	AA	555	55	AAA	E0								
	DYB セット[89]	2	XXX	A0	SA	0										
	DYB クリア[89]	2	XXX	A0	SA	1										
	DYB ステータス読み出し[89]	1	SA	RD (0)												
	コマンド セット終了[84, 88]	2	XXX	90	XXX	0										
	リセット/ASO 終了[88]	1	XXX	F0												

Table 24　コマンド定義 ×8 (Continued)

	コマンド シーケンス [72]	サイクル	バス サイクル [73, 74, 75, 76]													
			1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
			アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ECC コマンド セット定義																
ECC ASO	ECC ASO エントリ	3	AAA	AA	555	55	AAA	75								
	ECC ステータス読み出し	1	RA	RD												
	コマンド セット終了[84, 88]	1	XXX	F0												

凡例:
X = ドント ケア
RA = 読み出しメモリ アドレス
RD = 読み出し動作中にRA から読み出されるデータ
PA = プログラム対象のメモリ位置のアドレス
PD = ロケーションPA でプログラムされるデータ
SA = 選択されたセクタのアドレス。セクタは、アドレス ビットAmax ～ A16 により一意的に選択されます。
WBL = 書き込みバッファ ロケーション。このアドレスは、同じライン内でなければいけません。
WC = ワード カウントは、ロードする書き込みバッファ位置の値－ 1 です。
PWAx = PPB パスワード アドレス。バイト0 は00h, バイト1 は01h, バイト2 は02h, バイト3 は03h, バイト04 は04h, バイト5 は05h, バイト6 は06h, バイト7 は07h です。SSR3 パスワード アドレスはバイト0 が20h, バイト1 が21h, バイト2 が22h, バイト3 が23h, バイト4 が24h, バイト5 が25h, バイト6 が26h, バイト7 が27h です。
PWDx = ワード0, ワード1, ワード2, ワード3 のパスワード データ
灰色ボックスと白色ボックス = 読み出し動作と書き込み動作

注 :
72. バス動作については、**Table 31** を参照してください。
73. 数値はすべて 16 進表記です。
74. 以下を除いて、バス サイクルはすべて書き込みサイクルです : 読み出し中の読み出しサイクル、ID/ CFI 読み出し (製造 ID/ デバイス ID), インジケータ ビット , セキュアシリコン領域読み出し , SSR ロック読み出し , 2 サイクル目のステータス レジスタ読み出し。
75. アドレス ビット Amax ～ A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルではドントケアとなります (Amax は最上位アドレス ピンです)。
76. アレイデータを読み出す際、ロック解除またはコマンド サイクルは不要です。
77. デバイスが ASO モードの時、または (デバイスがステータス データを提供している間に) DQ5 が HIGH になった時、データ アレイの読み出しに戻るには、リセット コマンドが必要です。
78. デバイスがアレイデータ読み出しの準備ができている時に、コマンドは有効になります。
79. アンロック バイパス コマンドはバッファへのアンロック バイパス プログラム コマンドとアンロック バイパス書き込みコマンドの前に必要となります。
80. デバイスがアンロック バイパス モードからデータ アレイの読み出しモードに戻るには、アンロック バイパス リセット コマンドを実行しなければいけません。
81. 消去一時停止モードのとき、システムは消去対象となっていないセクタにおける読み出しおよびプログラム / プログラム一時停止するか、または ID-CFI ASO に移行できます。消去一時停止コマンドは、セクタ消去動作の間のみ有効です。
82. 消去再開 / プログラム再開コマンドは、消去一時停止 / プログラム一時停止モードの間のみ有効です。
83. デバイスがバッファへの書き込み中止状態にあることを検出した後に、読み出しモードに戻るためには、このコマンド シーケンスを実行します。重要 : 中断状態からリセットする場合、フル コマンド シーケンスが必要です。
84. 終了コマンドは、デバイスをアレイの読み出しに戻します。
85. 64 ビットのパスワードがすべて入力され、読まれさえすれば、パスワード部分の入力や読み出しは任意の順序で行えます。SSR3 へのアクセス中の場合、アドレスは 20h ～ 27h です。
86. PWDx の場合は、プログラムできるパスワード部分は、A0 コマンド 1 回につき、1 つだけです。パスワード部分は、逐次的な順序 (PWD0 ～ PWD7) でプログラムする必要があります。
87. ロック レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 =0 で、消去状態 =1 です。また、永続保護モード ロック ビットと、パスワード保護モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ロック レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに戻ります。将来の使用のために予約されているロック レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
88. いずれかのエントリ コマンドを実行したら、終了コマンドを実行してデバイスを読み出しモードに復帰させる必要があります。
89. 保護された状態 = 00h、非保護の状態 = 01h です。DYB セット , DYB クリア , または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の位置でかまいません。セクタ アドレスの下位ビットはドントケアです。
90. マルチセクタ消去の詳細については、**セクタ消去**を参照してください。
91. x8 モードでは、WC は 2 x8 WBL/PD サイクルを表します (例えば、WC = 0 の場合、5 番目のバス サイクルはデータを下位バイト アドレス A1 (LOW) にロードし、6 番目のバス サイクルはデータを上位バイト アドレス A1 (HIGH) にロードします)。

7.2 デバイス ID と共通フラッシュ インターフェース (ID-CFI) の ASO マップ

ASO のデバイス ID 領域 (ワードロケーション 0h ～ 0Fh) には、メーカー ID, デバイス ID, セクタ保護状態 , およびデバイスの基本機能セットの情報が入っています。

ロケーション 02h を読み出すためのアクセス時間は常に t_{ACC} であり、このロケーションを読み出すには、読み出しの前に CE# を HIGH にし、LOW に復帰させて読み出しを開始する必要があります (非同期読み出しアクセス)。ロケーション 02h と他の ID ロケーションとの間のページ モード読み出しはサポートされません。02h 以外の ID ロケーション間のページ モード読み出しはサポートされています。

x8 モードでは、アドレス A1 が無視され、データの下位 8 ビットは両方のアドレスに対して返されます (CFI のみ)。x8 モードの間、CFI のみまたは自動選択データのみを読み出せます。x16 モードでは、いずれかのコマンドから両方のメモリを読み出せます。

詳細については、**ID-CFI ASO** を参照してください。

Table 25 ID (自動選択) アドレス マップ

説明	アドレス (×16)	アドレス (×8)	データ読み出し
メーカー ID	(SA) + 0000h	(SA) + 0000h	0001h
デバイス ID	(SA) + 0001h	(SA) + 0002h	227Eh
保護検証	(SA) + 0002h	(SA) + 0004h	セクタ保護状態 (1= セクタが保護中、0= セクタが保護されない)。異なる SA 保護状態を読み出すには、新しい SA のみを提供する必要がある
インジケータ ビット	(SA) + 0003h	(SA) + 0006h	DQ15–DQ08 = 1 (予約済み) DQ7 - 工場ロック用セキュア シリコン領域 1 = ロックされる 0 = ロックされない DQ6 - カスタマーロック用セキュア シリコン領域 1 = ロックされる 0 = ロックされない DQ5 = 1 (予約済み) DQ4 - WP# はセクタを保護 0 = 最下位アドレス セクタ 1 = 最上位アドレス セクタ DQ3 ～ DQ0 = 1 (予約済み)
RFU	(SA) + 0004h	(SA) + 0008h	予約済み
	(SA) + 0005h	(SA) + 000Ah	予約済み
	(SA) + 0006h	(SA) + 000Ch	予約済み
	(SA) + 0007h	(SA) + 000Eh	予約済み
	(SA) + 0008h	(SA) + 0010h	予約済み
	(SA) + 0009h	(SA) + 0012h	予約済み
	(SA) + 000Ah	(SA) + 0014h	予約済み
	(SA) + 000Bh	(SA) + 0016h	予約済み
下位ソフトウェア ビット	(SA) + 000Ch	(SA) + 0018h	Bit 0 - ステータス レジスタのサポート 1 = ステータス レジスタがサポートされる 0 = ステータス レジスタがサポートされない Bit 1 - DQ ポーリングのサポート 1 = DQ ビットのポーリングがサポートされる 0 = DQ ビットのポーリングがサポートされない Bit 3–2 - コマンド セットのサポート 11 = 予約済み 10 = 予約済み 01 = 縮小コマンド セット 00 = クラシック コマンド セット Bits 4 ～ 15 - 予約済み = 0
上位ソフトウェア ビット	(SA) + 000Dh	(SA) + 001Ah	予約済み
デバイス ID	(SA) + 000Eh	(SA) + 001Ch	2228h = 1 Gb 2223h = 512 Mb
デバイス ID	(SA) + 000Fh	(SA) + 001Eh	2201h

Table 26 CFI クエリー識別用文字列

ワード アドレス	バイト アドレス	データ	説明
(SA) + 0010h (SA) + 0011h (SA) + 0012h	(SA) + 0020h (SA) + 0022h (SA) + 0024h	0051h 0052h 0059h	クエリー固有 ASCII 文字列 「QRY」
(SA) + 0013h (SA) + 0014h	(SA) + 0026h (SA) + 0028h	0002h 0000h	プライマリ OEM コマンド セット
(SA) + 0015h (SA) + 0016h	(SA) + 002Ah (SA) + 002Ch	0040h 0000h	プライマリ拡張テーブルのアドレス
(SA) + 0017h (SA) + 0018h	(SA) + 002Eh (SA) + 0030h	0000h 0000h	代替 OEM コマンド セット (00h = 非存在)
(SA) + 0019h (SA) + 001Ah	(SA) + 0032h (SA) + 0034h	0000h 0000h	代替 OEM 拡張テーブルのアドレス (00h = 非存在)

Table 27 CFI システム インターフェース文字列

ワード アドレス	バイト アドレス	データ	説明
(SA) + 001Bh	(SA) + 0036h	0027h	V_{CC} Min. (消去 / プログラム) (D7 ～ D4: V, D3 ～ D0: 100 mV)
(SA) + 001Ch	(SA) + 0038h	0036h	V_{CC} Max. (消去 / プログラム) (D7 ～ D4: V, D3 ～ D0: 100 mV)
(SA) + 001Dh	(SA) + 003Ah	0000h	V_{PP} Min 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Eh	(SA) + 003Ch	0000h	V_{PP} Max 電圧 (00h = V_{PP} ピンなし)
(SA) + 001Fh	(SA) + 003Eh	0008h	1 ワード書き込み時の標準タイムアウト = 2^N µs
(SA) + 0020h	(SA) + 0040h	0009h	最大複数バイトプログラム時の標準タイムアウト = 2^N µs (00h = 非対応)
(SA) + 0021h	(SA) + 0042h	000Ah	個別ブロック消去時の標準タイムアウト = 2^N ms
(SA) + 0022h	(SA) + 0044h	0014h (1 Gb) 0013h (512 Mb)	チップ全体消去時の標準タイムアウト = 2^N ms (00h = 非対応)
(SA) + 0023h	(SA) + 0046h	0002h (85°C) 0003h (105°C)	1 ワード書き込み時の最大タイムアウト = 標準タイムアウト × 2^N
(SA) + 0024h	(SA) + 0048h	0001h (85°C) 0002h (105°C)	バッファ書き込み時の最大タイムアウト = 標準タイムアウト × 2^N
(SA) + 0025h	(SA) + 004Ah	0002h	個別ブロック消去時の最大タイムアウト = 標準タイムアウト × 2^N
(SA) + 0026h	(SA) + 004Ch	0002h	チップ全体消去時の最大タイムアウト = 標準タイムアウト × 2^N (00h = 非対応)

Table 28 CFI デバイス ジオメトリ定義

ワード アドレス	バイト アドレス	データ	説明
(SA) + 0027h	(SA) + 004Eh	001Bh (1 Gb) 001Ah (512 Mb)	デバイス サイズ = 2^N バイト
(SA) + 0028h	(SA) + 0050h	0002h	フラッシュ デバイス インターフェースの説明 : 0 = ×8 のみ , 1 = ×16 のみ , 2 = ×8/×16 対応
(SA) + 0029h	(SA) + 0052h	0000h	
(SA) + 002Ah	(SA) + 0054h	0009h	複数バイト書き込み時の最大バイト数 = 2^N (00 = 非対応) **注意事項 :** ×16 (WORD) モードのみ
(SA) + 002Bh	(SA) + 0056h	0000h	
(SA) + 002Ch	(SA) + 0058h	0001h	デバイス内の消去ブロック領域数 1 = ユニフォーム デバイス , 2 = ブート デバイス
(SA) + 002Dh	(SA) + 005Ah	00XXh	消去ブロック領域 1 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照してください) 00FFh, 0003h, 0000h, 0002h =1 Gb 00FFh, 0001h, 0000h, 0002h = 512 Mb
(SA) + 002Eh	(SA) + 005Ch	000Xh	
(SA) + 002Fh	(SA) + 005Eh	0000h	
(SA) + 0030h	(SA) + 0060h	000Xh	
(SA) + 0031h	(SA) + 0062h	0000h	消去ブロック領域 2 の情報 (CFI publication 100 を参照してください)
(SA) + 0032h	(SA) + 0064h	0000h	
(SA) + 0033h	(SA) + 0066h	0000h	
(SA) + 0034h	(SA) + 0068h	0000h	
(SA) + 0035h	(SA) + 006Ah	0000h	消去ブロック領域 3 の情報 (CFI publication 100 を参照してください)
(SA) + 0036h	(SA) + 006Ch	0000h	
(SA) + 0037h	(SA) + 006Eh	0000h	
(SA) + 0038h	(SA) + 0070h	0000h	
(SA) + 0039h	(SA) + 0072h	0000h	消去ブロック領域 4 の情報 (CFI publication 100 を参照してください)
(SA) + 003Ah	(SA) + 0074h	0000h	
(SA) + 003Bh	(SA) + 0076h	0000h	
(SA) + 003Ch	(SA) + 0078h	0000h	
(SA) + 003Dh	(SA) + 007Ah	FFFFh	予約済み
(SA) + 003Eh	(SA) + 007Ch	FFFFh	
(SA) + 003Fh	(SA) + 007Eh	FFFFh	

Table 29 CFI プライマリ ベンダー固有拡張クエリー

ワード アドレス	バイト アドレス	データ	説明
(SA) + 0040h	(SA) + 0080h	0050h	クエリー固有 ASCII 文字列 「PRI」
(SA) + 0041h	(SA) + 0082h	0052h	
(SA) + 0042h	(SA) + 0084h	0049h	
(SA) + 0043h	(SA) + 0086h	0031h	メジャー バージョン番号 (ASCII)
(SA) + 0044h	(SA) + 0088h	0033h (CFI 1.3) 0035H (CFI 1.5)	マイナー バージョン番号 (ASCII) 0033h = CFI マイナー バージョン 3 (モデル番号 03, 04, V3, および V4) 0035h = CFI マイナー バージョン 5 (モデル番号 01, 02, V1, および V2)

Table 29 CFI プライマリ ベンダー固有拡張クエリー (Continued)

ワード アドレス	バイト アドレス	データ	説明
(SA) + 0045h	(SA) + 008Ah	0024h	アドレス センシティブ アンロック (ビット 1 ～ 0) 00b = 必要 01b = 不要 プロセス テクノロジ (ビット 5 ～ 2) 0000b = 0.23 µm フローティング ゲート 0001b = 0.17 µm フローティング ゲート 0010b = 0.23 µm MIRRORBIT™ 0011b = 0.13 µm フローティング ゲート 0100b = 0.11 µm MIRRORBIT™ 0101b = 0.09 µm MIRRORBIT™ 0110b = 0.09 µm フローティング ゲート 0111b = 0.065 µm MIRRORBIT™ Eclipse 1000b = 0.065 µm MIRRORBIT™ 1001b = 0.045 µm MIRRORBIT™
(SA) + 0046h	(SA) + 008Ch	0002h	消去一時停止 0 = 非対応 1 = 読み出し専用 2 = 読み出し / 書き込み
(SA) + 0047h	(SA) + 008Eh	0001h	セクタ保護 00 = 非対応 X = 最小グループ内のセクタ数
(SA) + 0048h	(SA) + 0090h	0000h	一時的セクタ保護解除 00 = 非対応 01 = 対応
(SA) + 0049h	(SA) + 0092h	0008h	セクタ保護 / 保護解除方式 04 = 高電圧方式 05 = ソフトウェア コマンドによるロック方式 08 = 高度セクタ保護方式
(SA) + 004Ah	(SA) + 0094h	0000h	同時動作 00 = 非対応 X = バンク数
(SA) + 004Bh	(SA) + 0096h	0000h	バースト モード タイプ 00 = 非対応 01 = 対応
(SA) + 004Ch	(SA) + 0098h	0003h	ページ モード タイプ 00 = 非対応 01 = 4 ワード ページ 02 = 8 ワード ページ 03 =16 ワード ページ
(SA) + 004Dh	(SA) + 009Ah	00B5h	ACC (アクセラレーション) 最小電源電圧 00 = 非対応 D7–D4: V D3–D0: 100 mV
(SA) + 004Eh	(SA) + 009Ch	00C5h	ACC (アクセラレーション) 最大電源電圧 00 = 非対応 D7–D4: V D3–D0: 100 mV
(SA) + 004Fh	(SA) + 009Eh	0004h (下部) 0005h (上部)	WP# 保護 00h = WP 保護なしのフラッシュ デバイス (ブートなし) 01h = WP ありの 8 × 8 KB の上部と下部セクタ (デュアル ブート) 02h = WP 保護付きの下部ブート デバイス (下部ブート) 03h = WP 保護付きの上部ブート デバイス (上部ブート) 04h = ユニフォーム、下部の WP 保護あり (ユニフォーム下部ブート) 05h = ユニフォーム、上部の WP 保護あり (ユニフォーム上部ブート) 06h = WP 保護付きの全セクタ 07h = ユニフォーム、上部と下部の WP 保護あり

Table 29 CFI プライマリ ベンダー固有拡張クエリー (Continued)

ワード アドレス	バイト アドレス	データ	説明
(SA) + 0050h	(SA) + 00A0h	0001h	プログラム一時停止 00 = 非対応 01 = 対応
以下のクエリーは CFI バージョン 1.5 にのみ該当			
(SA) +0051h	(SA) +00A2h	0001h	アンロック バイパス 00 = 非対応 01 = 対応
(SA) + 0052h	(SA) + 00A4h	0009h	セキュア シリコン セクタ (カスタマー用 OTP エリア) サイズ 2^N (バイト)
(SA) + 0053h	(SA) + 00A6h	008Fh	ソフトウェア機能 ビット 0: ステータス レジスタ ポーリング (1 = 対応 , 0 = 非対応) ビット 1: DQ ポーリング (1 = 対応 , 0 = 非対応) ビット 2: 新しいプログラム一時停止 / 再開コマンド (1 = 対応 , 0 = 非対応) ビット 3: ワード プログラミング (1 = 対応 , 0 = 非対応) ビット 4: ビットフィールド プログラミング (1 = 対応 , 0 = 非対応) ビット 5: 自動選択プログラミング (1 = 対応 , 0 = 非対応) ビット 6: RFU ビット 7: ラインあたり複数の書き込み (1 = 対応 , 0 = 非対応)
(SA) + 0054h	(SA) + 00A8h	0005h	ページ サイズ = 2^N バイト
(SA) + 0055h	(SA) + 00AAh	0006h	消去一時停止の最大タイムアウト < 2^N (µs)
(SA) + 0056h	(SA) + 00ACh	0006h	プログラム一時停止の最大タイムアウト < 2^N (µs)
(SA) + 0057h ～ (SA) + 0077h	(SA) + 00AEh ～ (SA) + 00ACh	FFFFh	予約済み
(SA) + 0078h	(SA) + 00F0h	0006h	組込みハードウェア リセットの最大タイムアウト < 2^N (µs) リセット ピンによりリセット
(SA) + 0079h	(SA) + 00F2h	0009h	非組込みハードウェア リセットの最大タイムアウト < 2^N (µs) パワーオン リセット

8 信号の説明

8.1 アドレスとデータの設定

アドレスとデータは、個別の信号入力と入出力ピンを通じて並列に接続されています (ADP)。

8.2 入出力のまとめ

Table 30 入出力のまとめ

記号	タイプ	説明
RESET#	入力	ハードウェア リセット : VIL で、デバイスは制御ロジックをスタンバイ状態にリセット。つまり、アレイ データの読み出しが行えるようになります。
CE#	入力	チップ イネーブル : V_{IL} で、ホスト メモリ コントローラーとのデータ転送を行うデバイスを選択
OE#	入力	出力イネーブル : V_{IL} で、出力がアクティブに駆動されます。V_{IH} で、出力が高インピーダンス (High-Z) になります。
WE#	入力	書き込みイネーブル : V_{IL} で、ホストからデバイスへのデータ転送を示します。V_{IH} で、デバイスからホストへのデータ転送を示します。
Amax ～ A0	入力	アドレス入力 : S29GL01GT は A25–A0 S29GL512T は A24–A0
DQ14 ～ DQ0	入力 / 出力	データの入出力
DQ15/A1	入力 / 出力	DQ15: データの入出力 A1: バイトモードでの LSB アドレス入力
WP#/ACC	入力	書き込み保護 : V_{IL} で、デバイスの最下位または最上位アドレスの 64k ワード (128k バイト) セクタでのプログラムおよび消去機能を無効にします。V_{IH} で、セクタは保護されません。V_{HH} で、デバイスを自動的にロック解除バイパス モードにします。WP# は内部プルアップ抵抗を有します。外部に接続しない場合、WP# は V_{IH} にあります。
RY/BY#	出力 – オープン ドレイン	レディ / ビジー : 組込みアルゴリズムが実行中であるか、完了かを示します。V_{IL} で、デバイスは消去やプログラミングなどの組込みアルゴリズムをアクティブに行います。High-Z 時、デバイスは読み出しまたは新しいコマンド書き込みを行える状態になります。High-Z 状態を検出するには外部プルアップ抵抗が必要です。複数のデバイスはその RY/BY# 出力を互いに接続することがあり、すべてのデバイスがレディである時を検出します。
BYTE#	入力	データ バス幅を選択 : V_{IL} で、デバイスはバイト コンフィギュレーションで、データ I/O ピン DQ7 ～ DQ0 がアクティブになり、DQ15 /A1 が LSB アドレス入力となります。V_{IH} で、デバイスはワード コンフィギュレーションで、データ I/O ピン DQ15 ～ DQ0 がアクティブになります。
V_{CC}	電源	コア電源
V_{IO}	電源	汎用 I/O 電源
V_{SS}	電源	電源グランド
NC	未接続	内部的に接続されていません。このピン / ボールの位置はプリント基板 (PCB) でルーティング チャネルの一部として使用される場合があります。
RFU	未接続	将来使用するために予約済み。内部的に接続されていませんが、将来の互換性のため、このピン / ボールの位置は未接続のままとし、PCB のルーティング チャネルで使用しないでください。このピン / ボールは将来何らかの信号で使用される場合があります。
DNU	予約済み	使用しないでください。インフィニオンでの使用のために予約済み。このピン / ボールは内部的に接続されています。この入力は VSS への内部プルダウン抵抗を有します。ピン / ボールは未接続のままとすることも、PCB 上の VSS に接続することも可能です。

8.3 ワード / バイト設定

デバイスのデータ入出力ピンが、バイト設定とワード設定のどちらで動作するかを、BYTE # ピンが制御します。BYTE# ピンを論理 1 にセットすると、デバイスはワード設定となり、DQ0 ～ DQ15 がアクティブで CE# および OE# により制御されます。

BYTE# ピンを論理 0 にセットすると、デバイスはバイト設定となり、データ I/O ピン DQ0 ～ DQ7 のみがアクティブで、CE# および OE# により制御されます。データ I/O ピン DQ8 ～ DQ14 はトライステートになり、DQ15 ピンは LSB (A1) アドレス機能への入力として使用されます。

デバイスがスタンバイ (読み出しモード) の間のみ、BYTE# ピンが単にスイッチになり得ます。

BYTE# ピンは内部プルアップ抵抗に接続されます。x16 のみのシステムで必要とされませんが、ピンを HIGH 電源 (例えば、V_{IO}) に接続する必要があります。

8.4 汎用 I/O 機能

デバイスが駆動され得る最大出力電圧レベルと、デバイスが受容できる最大入力電圧レベルは、V_{IO} 電源によって決められます。この電源によりデバイスは、同じバス (デバイスのコア電圧と異なるインターフェース信号レベルを持つ) 上の他のデバイスとの間で信号を送受信できます。

8.5 レディ / ビジー # (RY/BY#)

RY/BY# は、組込みアルゴリズム、パワーオン リセット (POR)、またはハードウェア リセットが実行中であるか、完了しているかを示す専用のオープンドレイン型の出力ピンです。RY/BY# ステータスは、POR 中に V_{CC} が最小 V_{CC} を上回っている時、コマンド シーケンスの最後の WE# パルスの立ち上りエッジの後、または RESET# の立ち下りエッジの後に有効になります。RY/BY# はオープン ドレイン出力であるため、数本の RY/BY# ピンを並列にまとめて V_{IO} にプルアップ抵抗を通して接続できます。

出力が LOW (ビジー) の場合、デバイスは消去 , プログラミング , またはリセットの実行中となります。(これは、消去一時停止モードにおけるプログラミングにも当てはまります)。出力が HIGH (レディ) の場合、デバイスはデータを読み出せる状態にある (消去一時停止モード中も含め) か、またはスタンバイ モードにあります。**Table 17** に、それぞれの動作における RY/BY# の出力を示します。

組込みアルゴリズムが失敗した (最大パルスに原因したプログラム / 消去の失敗、またはプログラム中止) 場合、ステータス レジスタ ビット 4 と 5 がクリアされ、リセットコマンドが実行されるまで、RY/BY# は LOW (ビジー) のままになります。組込みアルゴリズムが失敗した (セクタがロックされた) 場合、RY/BY# は HIGH(レディ) の状態に戻ります。これは、ロックされたセクタでの消去またはプログラミングにも当てはまります。

8.6 ハードウェア リセット

RESET# 入力は、デバイスをハードウェア的にリセットしてスタンバイ状態にします。RESET# が少なくとも t_{RP} の期間 LOW にされた場合、デバイスは直ちに以下のことを行います。

- 実行中の動作をすべて終了させ、
- すべての ASO を終了し、
- 出力ピンをすべてトライステートにし、
- ステータス レジスタをリセットし、
- EAC をスタンバイ状態にリセットします。
- CE# はリセット動作の間 (t_{RPH}) 無視されます。
- リセット電流仕様 (I_{CC5}) を満たすために、CE# を HIGH のままにする必要があります。

データ完全性を保証するために、デバイスが他のコマンド シーケンスを受けられるようになり次第、中断された動作を再実行する必要があります。

9 信号プロトコル

ここでは、29GL-T ファミリのフラッシュ デバイスに対する、ホスト システム インターフェース信号の動作とタイミングが記載されています。

9.1 インターフェースの状態

Table 31 に、インターフェース信号の値の要件を、インターフェースの状態ごとに示します。

Table 31 インターフェース状態

インターフェース状態	V_{CC}	V_{IO}	RESET#	CE#	OE#	WE#	BYTE#[97]	WP#/ACC	Amax ～ A0[92]	DQ0 ～ DQ7	DQ8-DQ15	
											BYTE# = V_{IH}	BYTE = V_{IL}
ハードウェアデータ保護状態での電源切断	< V_{LKO}	≤ V_{CC}	X	X	X	X	L または H	X	X	High-Z	High-Z	High-Z
パワーオン (コールド) リセット	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	X	X	X	X	L または H	X	X	High-Z	High-Z	High-Z
ハードウェア (ウォーム) リセット	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	L	X	X	X	L または H	X	X	High-Z	High-Z	High-Z
インターフェース スタンバイ	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	H	H	X	X	L または H	H	X	High-Z	High-Z	High-Z
自動スリープ [93, 95]	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	H	L	X	X	L または H	H	Valid	出力可能	出力可能	DQ8 ～ DQ14 = High-Z, DQ15 = A1
出力無効状態での読み出し [94]	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	H	L	H	H	L または H	X	有効	High-Z	High-Z	High-Z
ランダム読み出し	≥ V_{CC} min	≥ V_{IO} min	H	L	L	H		X	有効	出力有効	出力有効	DQ8 ～ DQ14 = High-Z, DQ15 = A1
ページ読み出し	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	H	L	L	H	L または H	X	Amax ～ A4 有効 A3 ～ A0 (または A3 ～ A1) 変更	出力有効	出力有効	DQ8 ～ DQ14 = High-Z, DQ15 = A1
書き込み	≥ V_{CC} min	≥ V_{IO} min ≤ V_{CC}	H	L	H	L	L または H	[96]	有効	入力有効	入力有効	DQ8 ～ DQ14 = High-Z, DQ15 = A1

凡例:
L = V_{IL}
H = V_{IH}
X = V_{IL} または V_{IH}
L/H = 立ち上りエッジ
H/L = 立ち下りエッジ
有効 = すべてのバス信号のL またはH レベルが安定しています。
変更 = 前の有効状態とは異なる有効状態
可能 = 読出しデータが内部的に格納され、出力ドライバーがOE# によって制御されています。

注 :
92.アドレスは、Amax:A0 (ワード モード時)、または Amax:A1 (バイトモード時) となります。
93.WE# と OE# は同時に V_{IL} にはできません。
94.出力無効での読み出しとは、OE# が HIGH の状態で読み出しが開始されることです。
95.自動スリープは、読み出し / 書き込み動作において、CE# が HIGH にならない状態でデータが長時間にわたってバス上で駆動され、デバイスの内部ロジックが低消費電力のためにスタンバイ モードに入っている状態です。
96.WP# = V_{IL}、最も外側のセクタは保護される状態のままです。WP# = V_{IH} の場合、最も外側のセクタは保護されない状態になります。WP# は内部プルアップを持っており、何も接続しないと V_{IH} となります。
97.V_{IL} = V_{SS} および V_{IH} = V_{IO} です。

9.2 ハードウェア データ保護状態での電源切断

メモリは、コア電源 (V_{CC}) がロックアウト電圧 (V_{LKO}) を下回った場合に、電源切断と見なされます。V_{CC} が V_{LKO} を下回っている時は、メモリ アレイ全体がプログラムまたは消去動作から保護されています。これにより、電源変動時でも、メモリの内容が誤って変更されないようにしています。電源切断に至るまで電源変動時は、V_{IO} を V_{CC} 以下に保つ必要があります。

V_{CC} が V_{RST}(Min) を下回り、その後 V_{RST}(Min) 以上から V_{CC}(min) の間に復帰すると、デバイスは POR インターフェースの状態に入り、EAC はコールド リセット組込みアルゴリズムを開始します。

9.3 低消費電力モード

9.3.1 インターフェース スタンバイ

スタンバイは、デバイスがホストによりデータ転送のために選択されていない間 (CE# = HIGH) の、インターフェースにとってのデフォルトの低消費電力状態のことです。この状態では、すべての入力は無視され、RY/BY# 以外のすべての出力は高インピーダンスです。RY/BY# は、EAC の直接出力であり、ホスト インターフェースにより制御されません。

9.3.2 自動スリープ

自動スリープ モードは、ランダム読み出しアクセス時間が経過した後、デバイス インターフェースの電力消費をスリープ レベル (I_{CC6}) まで低減します。t_{ACC} + 30ns にわたってアドレスが変わらないと、デバイスは自動的にこのモードを有効化します。自動スリープ モードでは、出力データはラッチされているため、システムにとっていつでも使用可能です。データの出力は OE# 信号のレベルによって異なりますが、自動スリープ モード電流は OE# 信号レベルと無関係です。アドレスが変わると、標準のアドレスアクセスタイミング (t_{ACC} または t_{PACC}) が、新しいデータを出力します。自動スリープ モードの電流仕様 I_{CC6} については、**DC 電気的特性**を参照してください。

ホスト システムのクロックを下げて出力を低減する場合には特に、自動スリープは消費電流の低減に役立ちます。システム クロックが低速の間は、システムが高速で動作している時に比べて、読み出しと書き込みサイクルの長さが何倍も長くなる場合があります。CE# がこのように長くなったデータ転送サイクルの間ずっと LOW であっても、メモリ デバイスのホスト インターフェースは t_{ACC} + 30ns 経過時点で自動スリープ電流になります。デバイスは t_{ASSB} の間、自動スリープ電流のままです。その後、デバイスはスタンバイ電流レベルに遷移します。これにより、メモリ デバイスがホスト システムに選ばれている間に常に読み出し電力をいっぱいまで消費するのではなく、長時間のデータ転送サイクルの大半においてメモリを自動スリープまたはスタンバイの電力レベルに保てます。

ただし、EAC は、ホスト インターフェースの自動スリープ モードとは関係なく動作し、有効な組込みアルゴリズムが実行されている間は常に電流を消費します。ホスト インターフェースと EAC の両方がスタンバイ状態にある時のみ、スタンバイ レベル電流が達成されます。

9.4 読み出し

9.4.1 出力ディセーブル状態での読み出し

CE# 信号が LOW にアサートされると、ホスト システムのメモリ コントローラーは読出しと書き込みのデータ転送を開始します。大抵の場合、データ転送の最初には、CE# が LOW、アドレスが有効、OE# が HIGH、かつ WE# が HIGH の一定時間が存在します。この状態の間、読み出しアクセスが想定され、データ出力が高インピーダンスのまま、ランダム読み出しプロセスが開始されます。OE# 信号が LOW になると、インターフェースはランダム読み出し状態に遷移するとともに、データ出力は実際に駆動されます。WE# 信号が LOW にアサートされると、インターフェースは書き込み状態に遷移します。ここで注意が必要なのは、ホストシステムとメモリの間にデータ バスの競合が起きないようにするために、OE# と WE# が同時に LOW になってはならないということです。

9.4.2 ランダム (非同期) 読み出し

ホスト システム インターフェースが CE# を LOW に駆動することによってメモリ デバイスを選ぶと、デバイス インターフェースはスタンバイ状態から復帰します。CE# が LOW になった時に WE# が HIGH の場合、ランダム読み出しアクセスが開始されます。データ出力は、アドレス マップのモードと、読み出しアクセスが開始されたときに提供されたアドレスに依存します。

CE# が LOW、OE# が LOW、WE# が HIGH のまま、アドレスが固定のまま、かつ非同期アクセス時間が満たされた場合に、データは DQ15 ～ DQ0 (x8 モードの場合、DQ7 ～ DQ0) に現れます。アドレス アクセス時間 (t_{ACC}) は、アドレス安定から有効出力データまでの遅延時間と等しくなります。チップ イネーブル アクセス時間 (t_{CE}) は、CE# 安定から有効データ出力までの遅延時間です。読み出しデータがデータ出力に駆動されるようにするには、OE# 信号は、有効データが利用可能になる前に、少なくとも出力イネーブル時間 (t_{OE}) の間、LOW でなければいけません。

CE# アクティブ (t_{CE}), アドレス固定 (t_{ACC}), または OE# アクティブ (t_{OE}) のうち、最後に実行されたものからのランダム アクセス時間が完了した時点で、データ出力は、現時点アクティブになっているアドレス マップ モードから、有効な読み出しデータを提供します。CE# が LOW のまま、かつ Amax ～ A4 アドレス信号のいずれかが新しい値に変わると、新しいランダム読み出しアクセスが始まります。CE# が LOW のままで OE# が HIGH になると、インターフェースは「出力ディセーブル状態での読み出し」に遷移します。CE# が LOW のまま、OE# が HIGH になり、かつ WE# が LOW になると、インターフェースは書き込み状態に遷移します。CE# が HIGH に復帰すると、インターフェースはスタンバイ状態になります。連続アクセス (CE# が LOW のままで 1 つのアクセスから次のアクセスに移る) では、2 つ目のアクセスを開始するために、アドレス変更が必要となります。**非同期読み出し動作**を参照してください。

9.4.3 ページ読み出し

ランダム読み出しアクセスが完了した後、CE# が LOW を維持、OE# が LOW を維持、Amax ～ A4 アドレス信号が固定のままで、かつ A3 ～ A0 アドレス信号のいずれかが変わると、同じページ内での新しいアクセスが始まります。x8 モードでは、A3 ～ A1 アドレス信号のいずれかが変わると、同じページ内での新しいアクセスが開始します。ページ読み出しは、ランダム読み出しアクセスよりもはるかに速く (t_{PACC}) 完了します。

9.5 書き込み

9.5.1 非同期書き込み

CE が LOW になった後、WE# が LOW になると、いずれかの読み出し状態から書き込み状態への遷移が発生します。CE# が LOW になる前に WE# が LOW になると、読み出しアクセスが始まらずに、スタンバイ状態から直接書き込み状態への遷移が発生します。

CE# が LOW、OE# が HIGH で、かつ WE# が LOW になると、書き込みデータ転送が始まります。ここで注意が必要なのは、ホスト システムとメモリの間にデータ バスの競合が起きないようにするために、OE# と WE# が同時に LOW になってはいけないということです。非同期書き込みサイクルのタイミング要件が満たされると、WE# は HIGH に移行して、アドレスとデータ値を EAC コマンド メモリに取り込めます。

アドレスは、WE# または CE# の立ち下りエッジ (いずれか遅い方) で取り込まれます。データは、WE# または CE# の立ち上りエッジ (いずれか早い方) で取り込まれます。

WE# が LOW になる前に CE# が LOW であり、WE# が HIGH になった後でも CE# が LOW のままであると、このアクセスは「WE# により制御される書き込み」と呼ばれます。WE# が HIGH の時に、CE# が HIGH になると、スタンバイ状態への遷移が発生します。CE# が LOW のまま、WE# が HIGH になると、「出力ディセーブル状態での読み出し」への遷移が発生します。

CE# が LOW になる前に WE# が LOW であり、CE# が HIGH になった後でも WE# が LOW のままであると、このアクセスは「CE# により制御される書き込み」と呼ばれます。CE# により制御される書き込みは、スタンバイ状態に遷移します。

CE# が LOW になる前に WE# が LOW であると、CE# が LOW に移行することによって、書き込み転送が開始されます。CE# が HIGH になった後に WE# が LOW であると、アドレスとデータが CE# の立ち上がりエッジで取り込まれます。これらの事例は、「CE# により制御される書き込み状態遷移」と呼ばれます。

CE# がアクセスとアクセスの間で LOW のままである書き込み（その後に読み出しアクセスが続く）は、後に続く読み出しアクセスを開始するために、アドレス変更が必要です。

連続アクセス (CE# が LOW のままで 1 つのアクセスから次のアクセスに移る) では、2 つ目のアクセスを開始するために、アドレス変更が必要となります。

EAC コマンド メモリ アレイは、ホスト システムによる読み出しはできず、ASO を有しません。EAC は、書き込みが適切なコマンド シーケンスの一部かどうかを判断するために、各書き込み転送のアドレスとデータを確認します。正しいコマンド シーケンスが完了すると、EAC は適切な EA を開始します。

9.5.2 書き込みパルス「グリッチ」保護

WE# に 5 ns (標準) 未満のノイズ パルスが発生しても、書き込みサイクルは開始されません。

9.5.3 論理的禁止

OE# を V_{IL} に、CE# を V_{IH} に、または WE# を V_{IH} に維持すると、書き込みサイクルが禁止されます。書き込みサイクルを開始するには、CE# と WE# が LOW (V_{IL}) であり、一方、OE# が HIGH (V_{IH}) でなければいけません。

10 電気的仕様

10.1 絶対最大定格

Table 32 絶対最大定格

プラスチック パッケージの保管温度	–65°C ～ +150°C
通電時の周囲温度	–65°C ～ +125°C
グランドに対する電圧	
RESET# 以外の他のすべてのピン [98]	–0.5 V ～ (V_{IO} + 0.5 V)
RESET#[98]	–0.5 V ～ (V_{CC} + 0.5 V)
出力短絡回路電流 [99]	100 mA
V_{CC}	–0.5 V ～ +4.0 V
V_{IO}	–0.5 V ～ +4.0 V
ACC	–0.5 V ～ +12.5 V

10.2 熱抵抗

Table 33 熱抵抗

パラメーター	説明	テスト条件	デバイス	TS056	LAE064	LAA064	VBU056	単位
Theta JA	熱抵抗 (接合部から周囲)	テスト条件は、静止空気 (0 m/s) で EIA/JESD51 に従って熱インピーダンスを測定するための標準的なテスト方法と手順に従います。	1G	43.5	30	24	30.5	°C/W
			512M	45	32	26	33	°C/W
Theta JB	熱抵抗 (接合部から基板)		1G	40.5	8.4	10.5	8.3	°C/W
			512M	14	12.4	11.8	10.4	°C/W
Theta JC	熱抵抗 (接合部からケース)		1G	20	7.5	6.7	8.1	°C/W
			512M	19.5	10.1	7.3	10	°C/W

10.3 ラッチアップ特性

この製品は、JEDEC 標準の JESD78C ラッチアップテスト要件に準拠しています。

注 :

98.入力ピンまたは I/O ピンの最小 DC 電圧は -0.5 V です。電圧遷移中、入力ピンまたは I/O ピンは、最大 20 ns の間、V_{SS} を -2.0 V にアンダーシュートする場合があります。**Figure 11** を参照してください。入力ピンまたは I/O ピンの最大 DC 電圧は V_{CC} + 0.5 V です。電圧遷移中、入力ピンまたは I/O ピンは最大 20 ns の間、V_{CC} + 2.0 V にオーバーシュートする場合があります。**Figure 12** を参照してください。

99.一度に複数の出力をグランドに短絡できません。短絡の持続時間は 1 秒を超えてはいけません。

100.**絶対最大定格**に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス評価のみです。これらの条件またはこのデータシートの動作セクションに示される条件を超えるその他の条件でのデバイスの機能動作は暗示されません。デバイスを絶対最大定格条件に長時間さらすと、デバイスの信頼性に影響を与える可能性があります。

10.4 動作範囲

10.4.1 温度範囲

Table 34 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T_A	産業用 (I)	–40	+85	°C
		産業用プラス (V)	–40	+105	
		拡張 (N)	–40	+125	
		車載用 , AEC-Q100 グレード 3 (A)	–40	+85	
		車載用 , AEC-Q100 グレード 2 (B)	–40	+105	

10.4.2 電源電圧

Table 35 電源電圧

V_{CC}	2.7 V 〜 3.6 V
V_{IO}	1.65 V 〜 V_{CC} + 200 mV

注 :
101.動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

10.4.3 電源投入および電源切断

電源投入および電源切断時、V_{CC} は必ず V_{IO} 以上であること ($V_{CC} \geq V_{IO}$) が必要です。

デバイスは、V_{CC} と V_{IO} が両方とも 上昇し、V_{CC} と V_{IO} の最小しきい値を超える状態を継続した時点から、t_{VCS} の遅延時間が経過するまで、すべての入力を無視します。t_{VCS} の間、デバイスはパワーオン リセットの動作を実行します。

電源切断中または電圧が V_{CC} 最大ロックアウト電圧 (V_{LKO}) を下回っている間、V_{CC} と V_{IO} 電圧は t_{PD} の間最小 V_{CC} リセット電圧 (V_{RST}) 以下になる必要があります。これにより、V_{CC} と V_{IO} が動作範囲に上昇する時、デバイスは正しく初期化します。**Figure 10** を参照してください。電圧低下中に、V_{CC} が V_{LKO} (Max) を上回ったままの場合は、デバイスは初期化状態のままとなり、V_{CC} が再び V_{CC} (Min) を上回った時に正常に動作します。誤った初期化によりデバイスがロックアップした場合、ハードウェア リセットによりデバイスを正常に初期化できます。

V_{CC} と V_{IO} 電源を安定させるための電源供給時デカップリングには、標準的な予防措置を講じてください。システム内のそれぞれのデバイスには、パッケージ コネクタに近接する適切なコンデンサ (通常、約 0.1 µF) によりデカップリングされた V_{CC} と V_{IO} 電源が必要です。V_{IO} は常に V_{CC} + 200 mV 以下でなければいけません ($V_{CC} \geq V_{IO}$ - 200 mV)。

Table 36 電源投入 / 電源切断時の電圧およびタイミング

記号	パラメーター	Min	Max	単位
V_{CC}	V_{CC} 電源	2.7	3.6	V
V_{LKO}	これを下回ると再初期化が必要となる V_{CC} レベル [102]	–	2.5	V
V_{RST}	初期化を確実に行うために必要な V_{CC} および V_{IO} 低電圧 [102]	1.0	–	V
t_{VCS}	最初のアクセスへの V_{CC} および V_{IO} の最小値 [102]	300	–	µs
t_{PD}	$V_{CC} \leq V_{RST}$(min) の期間 [102]	15	–	µs

注 :
102.100% のテストは行われていません。

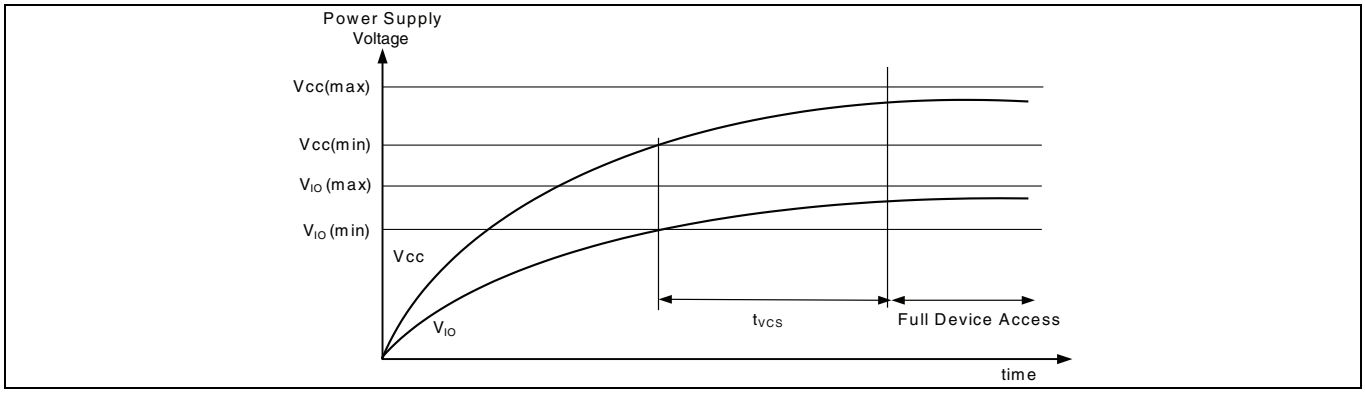


Figure 9　　電源投入

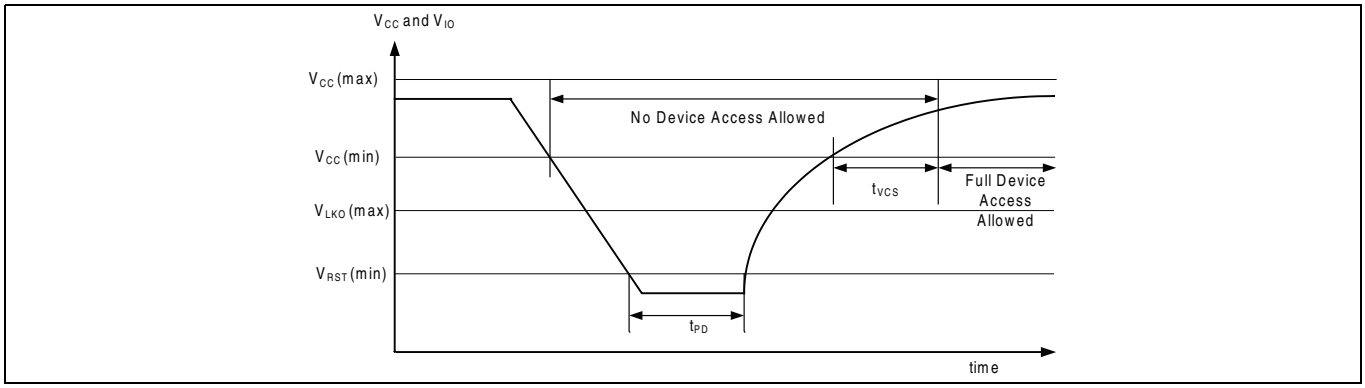


Figure 10　　電源切断と電圧低下

10.4.4　入力信号オーバーシュート

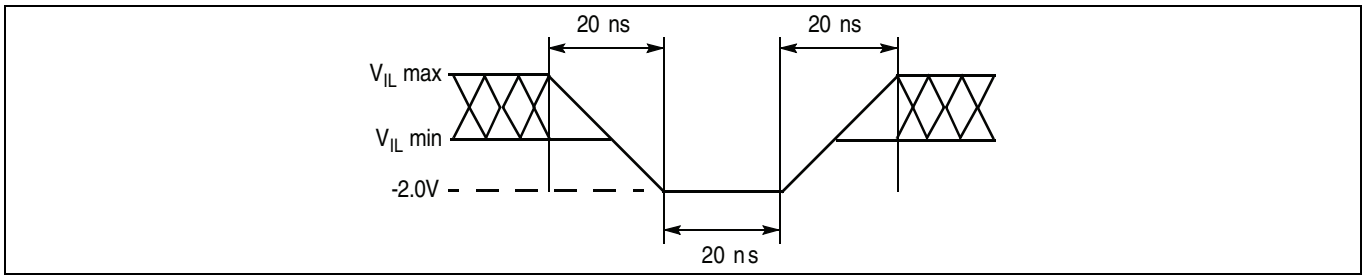


Figure 11　　最大ネガティブ オーバーシュート波形

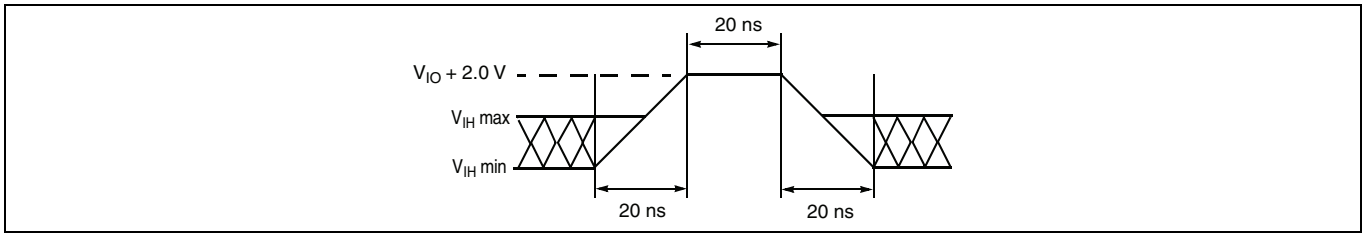


Figure 12　　最大ポジティブ オーバーシュート波形

10.5 DC 電気的特性

Table 37 DC 電気的特性 (–40°C ～ +85°C)

パラメーター	説明	テスト条件		Min	Typ[103]	Max	単位
I_{LI}	入力負荷電流	$V_{IN} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC}$ max	他のすべて	–	±0.02	±1.0	µA
			WP#, BYTE#	–	±0.5	±2.0	
I_{LO}	出力リーク電流	$V_{OUT} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC}$ max		–	±0.02	±1.0	µA
I_{CC1}	V_{CC} アクティブ読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 5 MHz, $V_{CC} = V_{CC}$ max		–	55	60	mA
I_{CC2}	V_{CC} ページ内の読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 33 MHz, $V_{CC} = V_{CC}$ max		–	9	25	mA
I_{CC3}	V_{CC} アクティブ消去 / プログラム電流 [103, 104]	CE# = V_{IL}, OE# = V_{IH}, $V_{CC} = V_{CC}$ max		–	45	100	mA
I_{CC4}	V_{CC} スタンバイ電流	CE#, RESET#, OE# = V_{IH}, $V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max		–	70	100	µA
I_{CC5}	V_{CC} リセット電流 [103, 105]	CE# = V_{IH}, RESET# = V_{IL}, $V_{CC} = V_{CC}$ max		–	10	20	mA
I_{CC6}	自動スリープ モード [106]	$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ACC} + 30 ns		–	3	6	mA
		$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ASSB}		–	100	150	µA
I_{CC7}	電源投入時の V_{CC} 電流 [103, 107]	RESET# = V_{IO}, CE# = V_{IO}, OE# = V_{IO}, $V_{CC} = V_{CC}$ max		–	53	80	mA
V_{IL}	入力 Low 電圧 [108]	–		–0.5	–	0.3 × V_{IO}	V
V_{IH}	入力 High 電圧 [108]	–		0.7 × V_{IO}	–	V_{IO} + 0.4	V
V_{HH}	ACC プログラム アクセラレーション電圧	V_{CC} = 2.7 V ～ 3.6 V		11.5	–	12.5	V
V_{OL}	出力 Low 電圧 [108, 110]	DQ15–DQ0 は I_{OL} = 100 µA, RY/BY# は I_{OL} = 2 mA		–	–	0.15 × V_{IO}	V
V_{OH}	出力 High 電圧 [108]	I_{OH} = 100 µA		0.85 × V_{IO}	–	–	V
V_{LKO}	低 V_{CC} ロックアウト電圧 [103]	–		2.25	–	2.5	V
V_{RST}	低 V_{CC} パワーオンリセット電圧 [103]	–		–	1.0	–	V

注 :
103.100% のテストは行われていません。
104.組込みアルゴリズムの実行の間、I_{CC} はアクティブです。
105.リセットの開始時点で組込みアルゴリズム動作が実行中である場合は、リセットにより組込みアルゴリズム動作が停止されるまで、消費電流は組込みアルゴリズム動作の仕様のままとなります。リセットの開始時点で組込みアルゴリズム動作が実行されていない場合、または組込みアルゴリズム動作が停止された直後は、t_{RPH} の残りの間は、I_{CC5} が消費されます。t_{RPH} の後、次の読み出しや書き込みまでデバイスはスタンバイ モードにあります。
106.指定された時間でアドレスが安定のままであれば、自動スリープ モードがより低い消費電力モードを有効にします。
107.電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するために、システムはこの電流を供給する必要があります。
108.モデルによって V_{IO} = 1.65 V ～ V_{CC} または 2.7 V ～ V_{CC} です。
109.V_{CC} = 3 V および V_{IO} = 3 V または 1.8 V です。V_{IO} が 1.8 V のとき、I/O ピンは >1.8 V では動作しません。
110.RY/BY# 出力の推奨プルアップ抵抗は 5k ～ 10kΩ です。

Table 38 DC 電気的特性 (–40°C ～ +105°C)

パラメーター	説明	テスト条件		Min	Typ[111]	Max	単位
I_{LI}	入力負荷電流	$V_{IN} = V_{SS}$ ～ V_{CC}, $V_{CC} = V_{CC}$ max	他のすべて	–	±0.02	±1.0	µA
			WP#, BYTE#	–	±0.5	±2.0	
I_{LO}	出力リーク電流	$V_{OUT} = V_{SS}$ ～ V_{CC}, $V_{CC} = V_{CC}$ max		–	±0.02	±1.0	µA
I_{CC1}	V_{CC} アクティブ読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 5 MHz, $V_{CC} = V_{CC}$ max		–	55	60	mA
I_{CC2}	V_{CC} ページ内の読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 33 MHz, $V_{CC} = V_{CC}$ max		–	9	25	mA
I_{CC3}	V_{CC} アクティブ消去 / プログラム電流[111, 112]	CE# = V_{IL}, OE# = V_{IH}, $V_{CC} = V_{CC}$ max		–	45	100	mA
I_{CC4}	V_{CC} スタンバイ電流	CE#, RESET#, OE# = V_{IH}, $V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max		–	70	200	µA
I_{CC5}	V_{CC} リセット電流[111, 113]	CE# = V_{IH}, RESET# = V_{IL}, $V_{CC} = V_{CC}$ max		–	10	20	mA
I_{CC6}	自動スリープ モード[114]	$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ACC} + 30 ns		–	3	6	mA
		$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ASSB}		–	100	200	µA
I_{CC7}	電源投入時の V_{CC} 電流[111, 115]	RESET# = V_{IO}, CE# = V_{IO}, OE# = V_{IO}, $V_{CC} = V_{CC}$ max		–	53	80	mA
V_{IL}	入力 Low 電圧[116]			–0.5	–	0.3 × V_{IO}	V
V_{IH}	入力 High 電圧[116]			0.7 × V_{IO}	–	V_{IO} + 0.4	V
V_{HH}	ACC プログラム アクセラレーション電圧	V_{CC} = 2.7 V ～ 3.6 V		11.5	–	12.5	V
V_{OL}	出力 Low 電圧[116, 118]	DQ15–DQ0 は I_{OL} = 100 µA RY/BY# は I_{OL} = 2 mA		–	–	0.15 × V_{IO}	V
V_{OH}	出力 High 電圧[116]	I_{OH} = 100 µA		0.85 × V_{IO}	–	–	V
V_{LKO}	低 V_{CC} ロックアウト電圧[111]			2.25	–	2.5	V
V_{RST}	低 V_{CC} パワーオンリセット電圧[111]			–	1.0	–	V

注 :
111.100% のテストは行われていません。
112.組込みアルゴリズムの実行の間、I_{CC} はアクティブです。
113.リセットの開始時点で組込みアルゴリズム動作が実行中である場合は、リセットにより組込みアルゴリズム動作が停止されるまで、消費電流は組込みアルゴリズム動作の仕様のままとなります。リセットの開始時点で組込みアルゴリズム動作が開始されていない場合、または組込みアルゴリズム動作が停止された直後は、t_{RPH} の残りの間は、I_{CC7} が消費されます。t_{RPH} の後、次の読み出しや書き込みまでデバイスはスタンバイ モードにあります。
114.指定された時間でアドレスが安定のままであれば、自動スリープ モードがより低い消費電力モードを有効にします。
115.電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するために、システムはこの電流を供給する必要があります。
116.モデルによって V_{IO} = 1.65 V ～ V_{CC} または 2.7 V ～ V_{CC} です。
117.V_{CC} = 3 V および V_{IO} = 3 V または 1.8 V です。V_{IO} が 1.8 V の時、I/O ピンは >1.8 V では動作できません。
118.RY/BY# 出力の推奨プルアップ抵抗は 5k ～ 10kΩ です。

Table 39　DC 電気的特性 (–40°C ～ +125°C)

パラメーター	説明	テスト条件		Min	Typ[119]	Max	単位
I_{LI}	入力負荷電流	$V_{IN} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC}$ max	他のすべて	–	±0.02	±1.0	µA
			WP#, BYTE#	–	±0.5	±2.0	
I_{LO}	出力リーク電流	$V_{OUT} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC}$ max		–	±0.02	±1.0	µA
I_{CC1}	V_{CC} アクティブ読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 5 MHz, $V_{CC} = V_{CC}$ max		–	55	60	mA
I_{CC2}	V_{CC} ページ内の読み出し電流	CE# = V_{IL}, OE# = V_{IH}, アドレスのスイッチング周波数が 33 MHz, $V_{CC} = V_{CC}$ max		–	9	25	mA
I_{CC3}	V_{CC} アクティブ消去 / プログラム電流[119, 120]	CE# = V_{IL}, OE# = V_{IH}, $V_{CC} = V_{CC}$ max		–	45	100	mA
I_{CC4}	V_{CC} スタンバイ電流	CE#, RESET#, OE# = V_{IH}, $V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max		–	70	215	µA
I_{CC5}	V_{CC} リセット電流[119, 121]	CE# = V_{IH}, RESET# = V_{IL}, $V_{CC} = V_{CC}$ max		–	10	20	mA
I_{CC6}	自動スリープ モード[122]	$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ACC} + 30 ns		–	3	6	mA
		$V_{IH} = V_{IO}$, $V_{IL} = V_{SS}$, $V_{CC} = V_{CC}$ max, t_{ASSB}		–	100	215	µA
I_{CC7}	電源投入時の V_{CC} 電流[119, 123]	RESET# = V_{IO}, CE# = V_{IO}, OE# = V_{IO}, $V_{CC} = V_{CC}$ max		–	53	80	mA
V_{IL}	入力 Low 電圧[124]	–		–0.5	–	0.3 × V_{IO}	V
V_{IH}	入力 High 電圧[124]	–		0.7 × V_{IO}	–	V_{IO} + 0.4	V
V_{HH}	ACC プログラム アクセラレーション電圧	V_{CC} = 2.7 V ～ 3.6 V		11.5	–	12.5	V
V_{OL}	出力 Low 電圧[124, 126]	DQ15–DQ0 は I_{OL} = 100 µA RY/BY# は I_{OL} = 2 mA		–	–	0.15 × V_{IO}	V
V_{OH}	出力 High 電圧[124]	I_{OH} = 100 µA		0.85 × V_{IO}	–	–	V
V_{LKO}	低 V_{CC} ロックアウト電圧[119]	–		2.25	–	2.5	V
V_{RST}	低 V_{CC} パワーオンリセット電圧[119]	–		–	1.0	–	V

注 :
119.100% のテストは行われていません。
120.組込みアルゴリズムの実行の間、I_{CC} はアクティブです。
121.リセットの開始時点で組込みアルゴリズム動作が実行中である場合は、リセットにより組込みアルゴリズム動作が停止されるまで、消費電流は組込みアルゴリズム動作の仕様のままとなります。リセットの開始時点で組込みアルゴリズム動作が実行されていない場合、または組込みアルゴリズム動作が停止された直後は、t_{RPH} の残りの間は、I_{CC7} が消費されます。t_{RPH} の後、次の読み出しや書き込みまでデバイスはスタンバイ モードにあります。
122.指定された時間でアドレスが安定のままであれば、自動スリープ モードがより低い消費電力モードを有効にします。
123.電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するために、システムはこの電流を供給する必要があります。
124.モデルによって V_{IO} = 1.65 V ～ V_{CC} または 2.7 V ～ V_{CC} です。
125.V_{CC} = 3 V および V_{IO} = 3 V または 1.8 V です。V_{IO} が 1.8 V の時、I/O ピンは >1.8 V では動作できません。
126.RY/BY# 出力の推奨プルアップ抵抗は 5k ～ 10kΩ です。

10.6 静電容量特性

Table 40 コネクタの静電容量 (FBGA (LAA) パッケージ)

記号	説明	テスト セットアップ	Typ	Max	単位
C_{IN}	入力容量	V_{IN} = 0	4	5.5	pF
C_{OUT}	出力容量	V_{OUT} = 0	3.5	5	pF
C_{IN2}	制御ピン容量	V_{IN} = 0	4	8	pF
RY/BY#	出力容量	V_{OUT} = 0	3	4	pF
RESET#	リセット入力容量	V_{IN} = 0	21	23	pF

Table 41 コネクタの静電容量 (FBGA (LAE) パッケージ)

記号	説明	テスト セットアップ	Typ	Max	単位
C_{IN}	入力容量	V_{IN} = 0	3.5	5	pF
C_{OUT}	出力容量	V_{OUT} = 0	3.5	5	pF
C_{IN2}	制御ピン容量	V_{IN} = 0	3.5	7	pF
RY/BY#	出力容量	V_{OUT} = 0	2.5	3.5	pF
RESET#	リセット入力容量	V_{IN} = 0	20	22	pF

注 :
127.抜き取りテストで、100% テストはされていません。
128.テスト条件は T_A = 25 °C、f = 1.0 MHz です。
129.抜き取りテストで、100% テストはされていません。
130.テスト条件は T_A = 25 °C、f = 1.0 MHz です。

Table 42 コネクタの静電容量 (FBGA (VBU) パッケージ)

記号	説明	テスト セットアップ	Typ	Max	単位
C_{IN}	入力容量	V_{IN} = 0	3.5	5	pF
C_{OUT}	出力容量	V_{OUT} = 0	3.5	5	pF
C_{IN2}	制御ピン容量	V_{IN} = 0	3.5	7	pF
RY/BY#	出力容量	V_{OUT} = 0	3	4	pF
RESET#	リセット入力容量	V_{IN} = 0	20	22	pF

Table 43 コネクタの静電容量 (TSOP パッケージ)

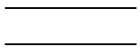
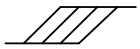
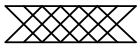
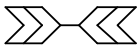
記号	説明	テスト セットアップ	Typ	Max	単位
C_{IN}	入力容量	V_{IN} = 0	3	5	pF
C_{OUT}	出力容量	V_{OUT} = 0	3	4.5	pF
C_{IN2}	制御ピン容量	V_{IN} = 0	3.5	7	pF
RY/BY#	出力容量	V_{OUT} = 0	2.5	3.5	pF
RESET#	リセット入力容量	V_{IN} = 0	20	22	pF

注 :
131.抜き取りテストで、100% テストはされていません。
132.テスト条件は T_A = 25 °C、f = 1.0 MHz です。
133.抜き取りテストで、100% テストはされていません。
134.テスト条件は T_A = 25 °C、f = 1.0 MHz です。

11 タイミング仕様

11.1 波形遷移の要点

Table 44 波形遷移

波形	入力	出力
	安定	
	H から L に変化	
	L から H に変化	
	ドントケア、任意の変化を許容	変化中、状態未確定
	適用せず	中心線は高インピーダンス状態 (High-Z)

11.2 AC テスト条件

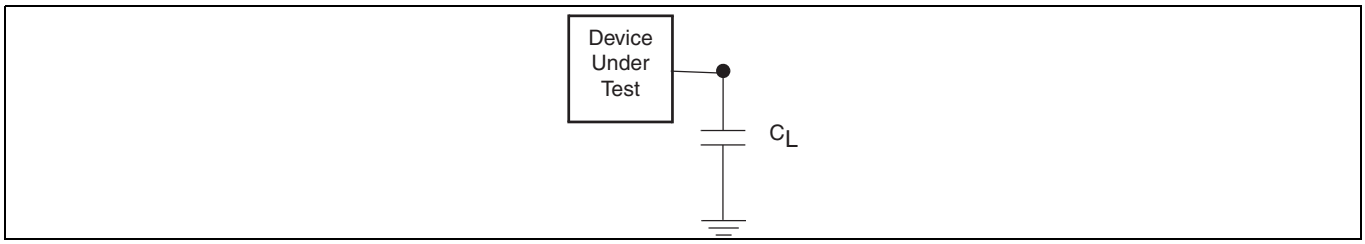


Figure 13 テスト セットアップ

Table 45 テスト仕様

パラメーター	全速度バージョン	単位
出力負荷容量 , C_L	30	pF
入力立ち上り / 立ち下り時間 [135]	1.5	ns
入力パルス レベル	0.0 ～ V_{IO}	V
入力タイミング測定基準レベル	$V_{IO}/2$	V
出力タイミング測定基準レベル	$V_{IO}/2$	V

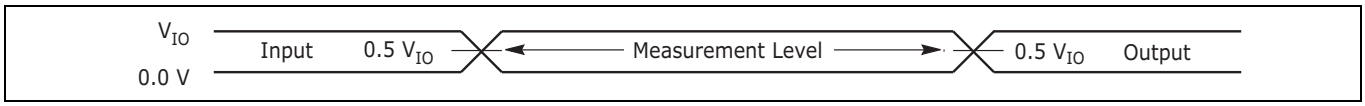


Figure 14 入力波形および測定レベル

注 :
135.V_{IL}(max) および V_{IH}(min) の間で測定します。

11.3 パワーオン リセット (POR) とウォーム リセット

V_{CC} と V_{IO} 電源を安定させるための電源供給時デカップリングには、標準的な予防措置を講じてください。システム内のそれぞれのデバイスには、パッケージ コネクタに近接する適切なコンデンサ (通常、約 0.1 µF) によりデカップリングされた V_{CC} と V_{IO} 電源が必要です。

Table 46 電源投入時とリセット時のパラメーター

パラメーター	説明	限界	値	単位
t_{VCS}	最初のアクセスまでの V_{CC} セットアップ時間 [136, 137]	Min	300	µs
t_{VIOS}	最初のアクセスまでの V_{IO} セットアップ時間 [136, 137]	Min	300	µs
t_{RPH}	RESET# LOW から CE# LOW までの時間	Min	35	µs
t_{RP}	RESET# パルス幅	Min	200	ns
t_{RH}	RESET# (HIGH) と CE# (LOW) の間の時間	Min	50	ns
t_{CEH}	CE# パルス幅 (HIGH)	Min	20	ns

注 :
136.100% のテストは行われていません。
137.V_{CC} が V_{CC} (Min) に、V_{IO} が V_{IO} (Min) に達してから、リセット ピンの電圧が V_{IH} に、CE# ピンの電圧が V_{IL} に達するまで測定した時間です。
138.RESET# を LOW にするのは POR 中では任意です。POR 中に RESET がアサートされた場合、t_{RPH}、t_{VIOS} と t_{VCS} の中で最も遅いものが CE# が LOW になる遷移してよい時点を決めます。t_{VIOS} または t_{VCS} が経過した後、RESET# が LOW のままであれば、t_{RPH} は t_{VIOS} または t_{VCS} の終了時点から測定されます。また、CE# が LOW になる前に、RESET は t_{RH} の期間で HIGH であることも必要です。
139.電源投入の間、$V_{CC} \geq V_{IO} - 200$ mV となります。
140.V_{CC} と V_{IO} のランプレートは非線形である場合があります。
141.t_{RP} と t_{RH} の合計値は t_{RPH} 以上でなければいけません。

11.3.1 パワーオン (コールド) リセット (POR)

電源の立ち上がり中、V_{IO} 電源電圧は VCC 電源電圧以下である必要があります。また、V_{IH} は、V_{IO} 電源電圧以下である必要があります。

コールド リセット組込みアルゴリズムでは、すべての EAC アルゴリズムとデフォルト状態を不揮発性メモリからロードするために、比較的長い (数百 µs) 時間 (t_{VCS}) を必要とします。コールド リセット中は、CE# および RESET# を含むすべての制御信号が無視されます。t_{VCS} 中に CE# が LOW であれば、デバイスは t_{VCS} 中に通常の POR 電流よりも多くの電流を消費する場合がありますが、CE# のレベルはコールド リセット EA には影響しません。RESET# は、t_{VCS} 中、HIGH でも LOW でもかまいません。t_{VCS} 期間中に RESET# が LOW になると、デバイスをハードウェア リセット状態に保つために、t_{VCS} の終了時点で LOW のままである場合があります。t_{VCS} の終了時点で RESET# が HIGH の場合は、デバイスはスタンバイ状態に入ります。

最初に電力を印加したときに、電源電圧が V_{RST} 以下から、その後動作最小範囲に達した時に、内部のデバイス設定とウォーム リセットの動作が開始されます。CE# は POR 動作 (t_{VCS} または t_{VIOS}) の間、無視されます。この POR 期間中に RESET# を LOW にすることは任意です。RESET# は、POR 中に LOW に駆動された場合、ハードウェア リセットのパラメーター t_{RP} と t_{RPH} を満たす必要があります。この場合、リセット動作は、t_{VCS}、t_{VIOS} または t_{RPH} の最後のタイミングで終了します。CE#、OE# またはアドレス遷移が 1 番目の読み出し動作を開始します。POR 中に CE# が LOW に維持された場合、現時点のアドレスは自動的に読み出されます。

コールド リセット中は、デバイスは I_{CC7} 電流を消費します。

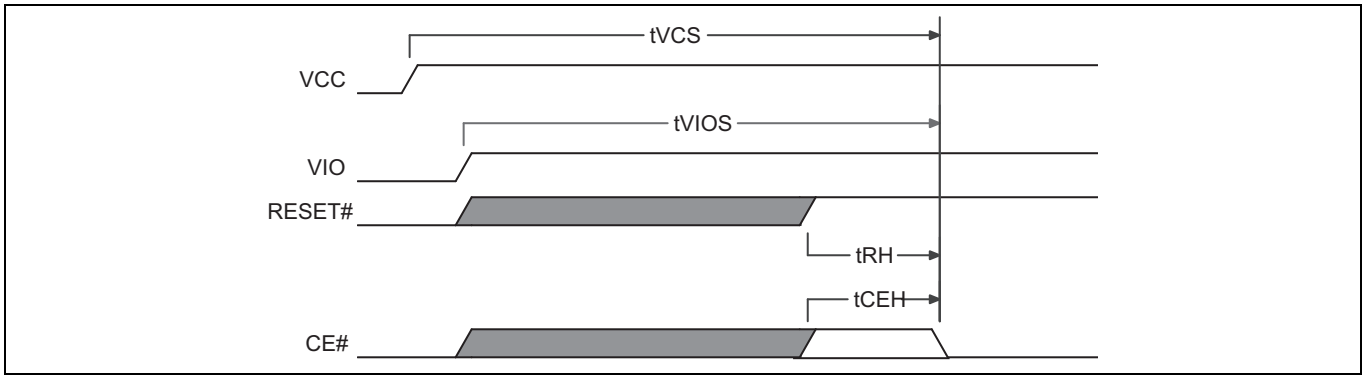


Figure 15 電源投入時の図

11.3.2 ハードウェア (ウォーム) リセット

ハードウェア リセット (t_{RPH}) の間、デバイスは I_{CC5} 電流を消費します。

RESET# が継続的に V_{SS} に保持されると、デバイスは CMOS スタンバイ電流 (I_{CC4}) を消費します。RESET# が VIL に保持されていても V_{SS} になっていないと、スタンバイ電流は大きくなります。

t_{VCS} の経過後に RESET# が LOW にアサートされたときに、デバイスによるコールド リセットが完了していないと、ウォーム RESET# の代わりにコールド RESET# EA が実行されますが、これには完了までに t_{VCS} 時間が必要となります。**Figure 16** を参照してください。

デバイスが POR を完了し、スタンバイ状態に入った後、その後のハードウェア リセット状態への遷移はすべて、ウォームリセット組込みアルゴリズムを起動させます。ウォーム リセットはコールド リセットよりもはるかに短時間であり、完了までに要するのは数 µs (t_{RPH}) です。ウォーム リセット EA の間は、進行中の組込みアルゴリズムはすべて停止され、EAC は POR 状態に戻され、不揮発性メモリから EAC アルゴリズムがリロードされることもありません。ウォーム リセット EA が完了した後、RESET# が LOW のままだと、インターフェースはハードウェア リセット状態のままとなります。RESET# が HIGH に復帰すると、インターフェースはスタンバイ状態に遷移します。ウォーム リセット EA の最後に RESET# が HIGH の場合は、インターフェースは直接スタンバイ状態に遷移します。ウォーム リセット中に CE# が LOW に維持された場合、現時点のアドレスが自動的に読み出されます。

t_{VCS} の終わりまでに POR が正しく完了していない場合、その後、ハードウェア リセット状態への遷移があると、これに起因してパワーオン リセット インターフェースへの遷移が行われ、コールド リセット組込みアルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールド リセットを完了できることを保証します。コールド リセットまたはウォーム リセット中は、RY/BY# ピンは LOW であり、デバイスがリセット動作の実行でビジーになっていることを示します。

ハードウェア リセットは、V_{IL} に移行する RESET# 信号により開始されます。

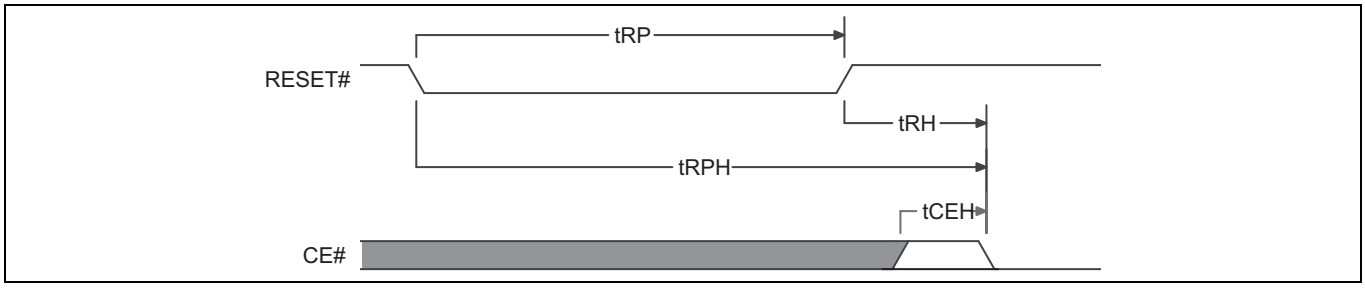


Figure 16 ハードウェア リセット

11.4 AC 電気的特性

11.4.1 非同期読み出し動作

Table 47 読み出し動作 $V_{IO} = V_{CC}$ = 2.7 V ～ 3.6 V (–40°C ～ +85°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [142]		512 Mb, 1 Gb	Min	100	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Max	100	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	100	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Max	15	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出し	Max	25	ns
				ポーリング	Max	35	
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [142]			Max	15	ns
	t_{OEH}	出力イネーブル ホールド時間 [142]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [142]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [142]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注 :
142.100% のテストは行われていません。

Table 48　読み出し動作 V_{IO} = 1.65 V ～ V_{CC}, V_{CC} = 2.7 V ～ 3.6 V (–40°C ～ +85°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [143]		512 Mb, 1 Gb	Min	110	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Min	25	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出しとポーリング	Max	35	ns
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [143]			Max	20	ns
	t_{OEH}	出力イネーブル ホールド時間 [143]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [143]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [143]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注
143.100% のテストは行われていません。

Table 49　読み出し動作 $V_{IO} = V_{CC}$ = 2.7 V ～ 3.6 V (–40°C ～ +105°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [144]		512 Mb, 1 Gb	Min	110	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	110	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Max	15	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出し	Max	25	ns
				ポーリング	Max	35	
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [144]			Max	15	ns
	t_{OEH}	出力イネーブル ホールド時間 [144]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [144]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [144]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注 :
144.100% のテストは行われていません。

Table 50　読み出し動作 V_{IO} = 1.65 V ～ V_{CC}, V_{CC} = 2.7 V ～ 3.6 V (–40°C ～ +105°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [145]		512 Mb, 1 Gb	Min	120	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Max	120	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	120	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Max	25	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出しとポーリング	Max	35	ns
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [145]			Max	15	ns
	t_{OEH}	出力イネーブル ホールド時間 [145]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [145]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [145]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注 :
145.100% のテストは行われていません。

Table 51　読み出し動作 $V_{IO} = V_{CC}$ = 2.7 V ～ 3.6 V (–40°C ～ +125°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [146]	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Min	120	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	120	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間		512 Mb, 1 Gb	Max	120	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Max	15	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出し	Max	25	ns
				ポーリング	Max	35	ns
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [146]			Max	15	ns
	t_{OEH}	出力イネーブル ホールド時間 [146]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [146]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [146]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注 :
146.100% のテストは行われていません。

Table 52　読み出し動作 V_{IO} = 1.65 V ～ V_{CC}, V_{CC} = 2.7 V ～ 3.6 V (–40°C ～ +125°C)

パラメーター		説明		テスト セットアップ		速度オプション	単位
JEDEC	標準						
t_{AVAV}	t_{RC}	読み出しサイクル時間 [147]	CE# = V_{IL} OE# = V_{IL}	512 Mb, 1 Gb	Min	130	ns
t_{AVQV}	t_{ACC}	アドレスから出力までの遅延時間	OE# = V_{IL}	512 Mb, 1 Gb	Max	130	ns
t_{ELQV}	t_{CE}	チップ イネーブルから出力までの遅延時間		512 Mb, 1 Gb	Max	130	ns
	t_{PACC}	ページ アクセス時間		512 Mb, 1 Gb	Max	20	ns
t_{GLQV}	t_{OE}	出力イネーブルから出力までの遅延時間		読み出し	Max	25	ns
				ポーリング	Max	35	ns
t_{AXQX}	t_{OH}	アドレス , CE# または OE# のいずれか早い方からの出力ホールド時間			Min	0	ns
t_{EHQZ}	t_{DF}	チップ イネーブルまたは出力イネーブルから出力 High-Z までの時間 [147]			Max	15	ns
	t_{OEH}	出力イネーブル ホールド時間 [147]		読み出し	Min	0	ns
				ポーリング	Min	10	ns
	t_{ASO}	OE# LOW へのアドレス セットアップ時間		ポーリング	Min	15	ns
	t_{AHT}	CE# または OE# HIGH からのアドレス ホールド時間		ポーリング	Min	0	ns
	t_{CEPH}	CE# HIGH 時間		ポーリング	Min	20	ns
	t_{OEPH}	OE# HIGH 時間		ポーリング	Min	20	ns
	t_{ASSB}	自動スリープからスタンバイまでの時間 [147]		CE# = V_{IL}, アドレスが安定	Typ	5	µs
					Max	8	µs
t_{BLEL}	t_{FLEL}	BYTE# LOW から CE# LOW までの時間			Min	10	ns
t_{BHEL}	t_{FHEL}	BYTE# HIGH から CE# LOW までの時間			Min	10	ns
t_{BLQV}	t_{FLQV}	BYTE# LOW から出力 High-Z までの時間 [147]			Max	1	µs
t_{BHQV}	t_{FHQV}	BYTE# HIGH から出力までの遅延時間			Max	1	µs

注 :
147.100% のテストは行われていません。

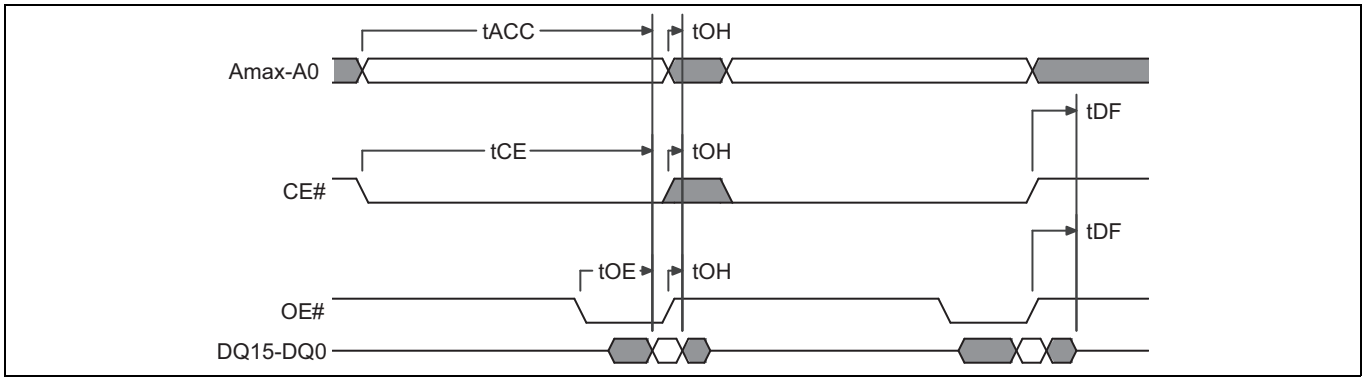


Figure 17　　連続読み出し (t_{ACC}) 動作タイミング図 [151]

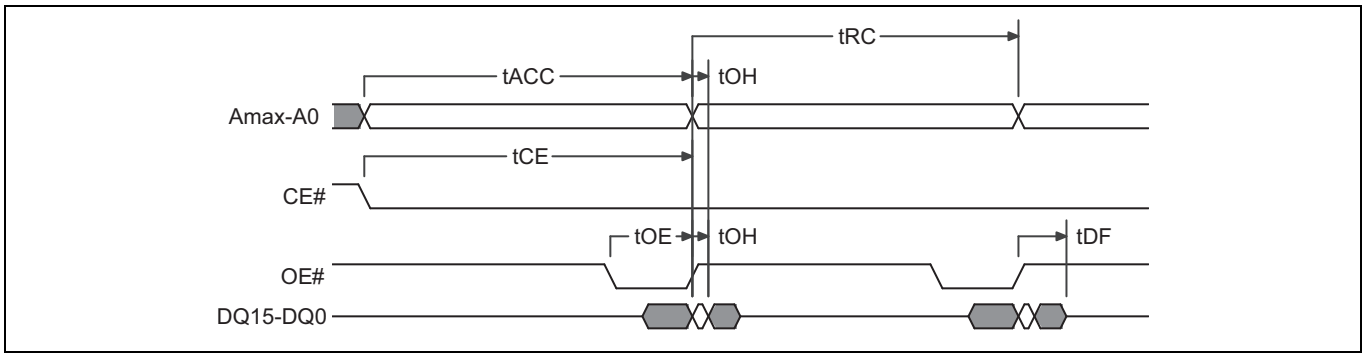


Figure 18　　連続読み出し (t_{RC}) 動作タイミング図 [148, 149]

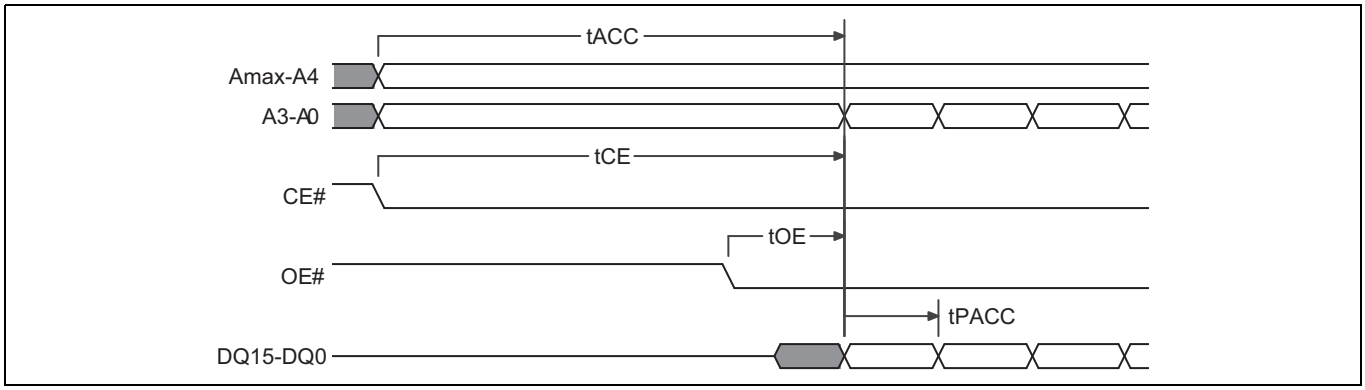


Figure 19　　ページ読み出しタイミング図 [148, 150]

注 :
148. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。
149. 連続動作 (あるアクセスから別のアクセスに移行しても CE# は LOW のまま) では、2 つ目のアクセスを開始するためには、アドレス変更が必要となります。
150. ワード モードでは A3:A0 をトグルし、バイト モードでは A3:A1 をトグルします。
151. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。

11.4.2 非同期書き込み動作

Table 53 書き込み動作

パラメーター		説明		V_{IO} = 2.7 V ～ V_{CC}	V_{IO} = 1.65 V ～ V_{CC}	単位
JEDEC	標準					
t_{AVAV}	t_{WC}	書き込みサイクル時間 [152]	Min	60		ns
t_{AVWL}	t_{AS}	アドレス セットアップ時間	Min	0		ns
	t_{ASO}	トグル ビット ポーリング時の OE# LOW までのアドレス セットアップ時間	Min	15		ns
t_{WLAX}	t_{AH}	アドレス ホールド時間	Min	45		ns
	t_{AHT}	トグル ビット ポーリング時の CE# または OE# HIGH からのアドレス ホールド時間	Min	0		ns
t_{DVWH}	t_{DS}	データ セットアップ時間	Min	30		ns
t_{WHDX}	t_{DH}	データ ホールド時間	Min	0		ns
t_{GHWL}	t_{GHWL}	書き込み前の読み出し復帰時間 (OE# HIGH から WE# LOW までの時間)	Min	0		ns
t_{ELWL}	t_{CS}	CE# セットアップ時間	Min	0		ns
t_{WHEH}	t_{CH}	CE# ホールド時間	Min	0		ns
t_{WLWH}	t_{WP}	WE# パルス幅	Min	25		ns
t_{WHWL}	t_{WPH}	WE# パルス幅 (HIGH)	Min	20		ns
	t_{SEA}	セクタ消去タイムアウト時間	Min	50		µs

注 :
152.100% のテストは行われていません。

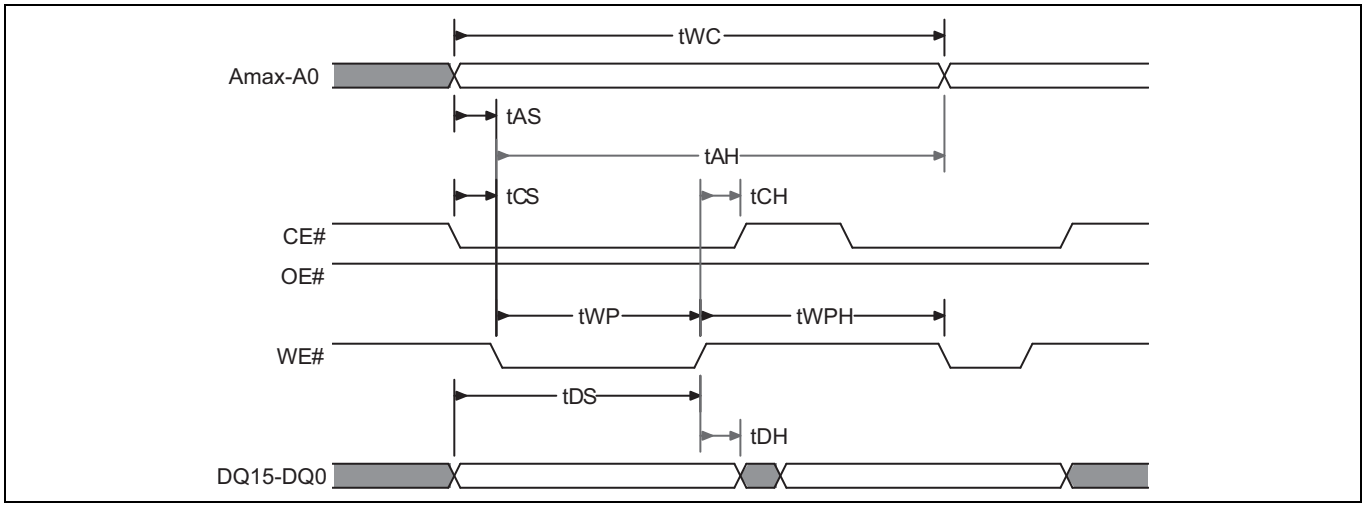


Figure 20　　連続書き込み動作タイミング図 [153]

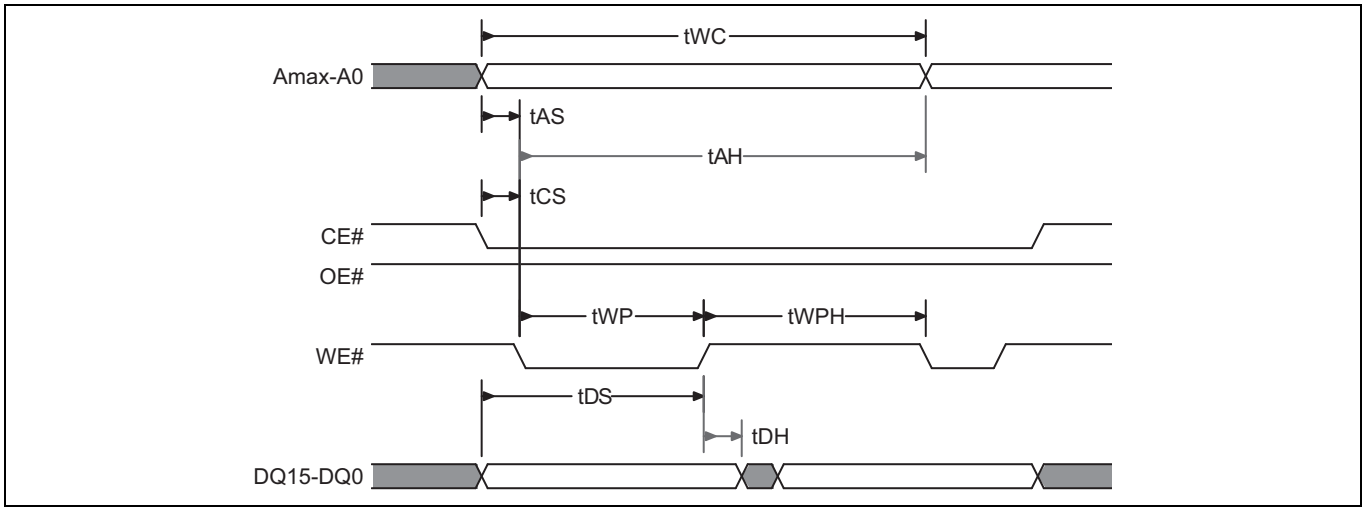


Figure 21　　連続 (CE#VIL) 書き込み動作タイミング図 [153]

注 :
153. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。

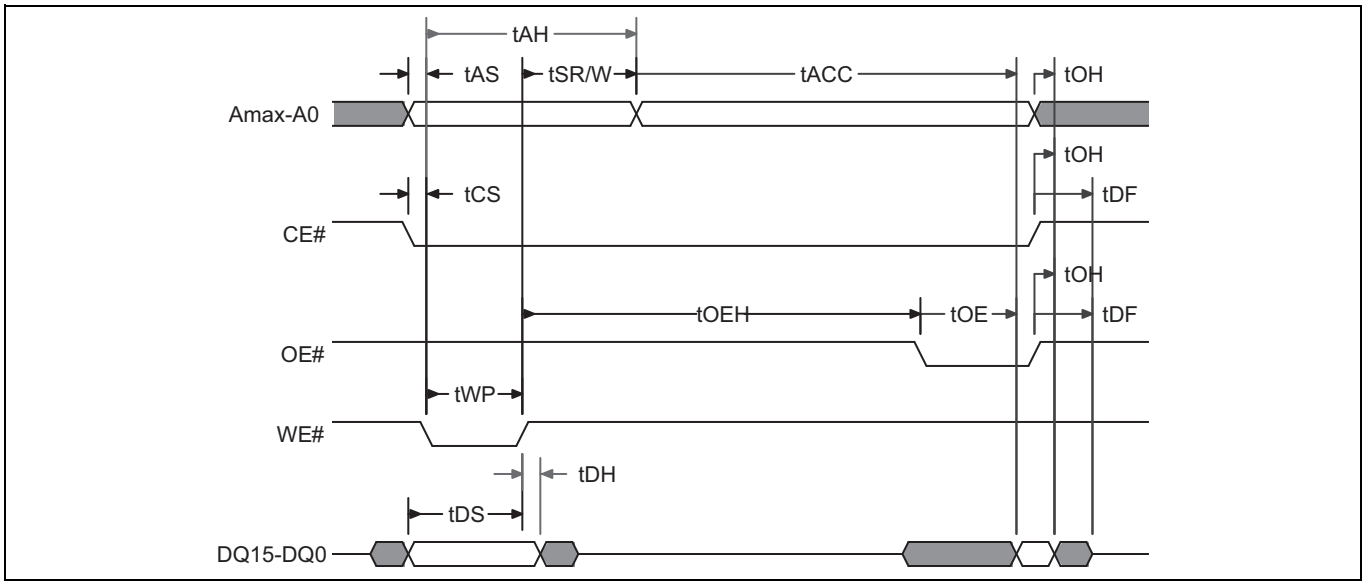


Figure 22　書き込みから読み出し (t_{ACC}) 動作タイミング図 [154]

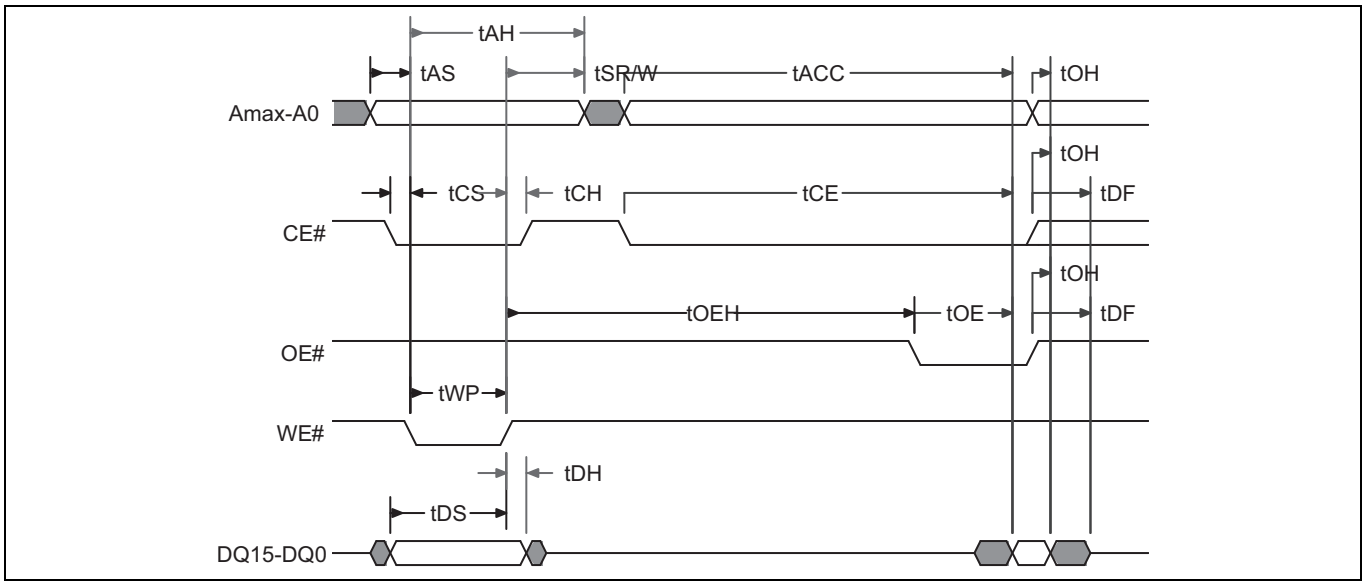


Figure 23　書き込みから読み出し (t_{CE}) 動作タイミング図 [154]

注

154. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。

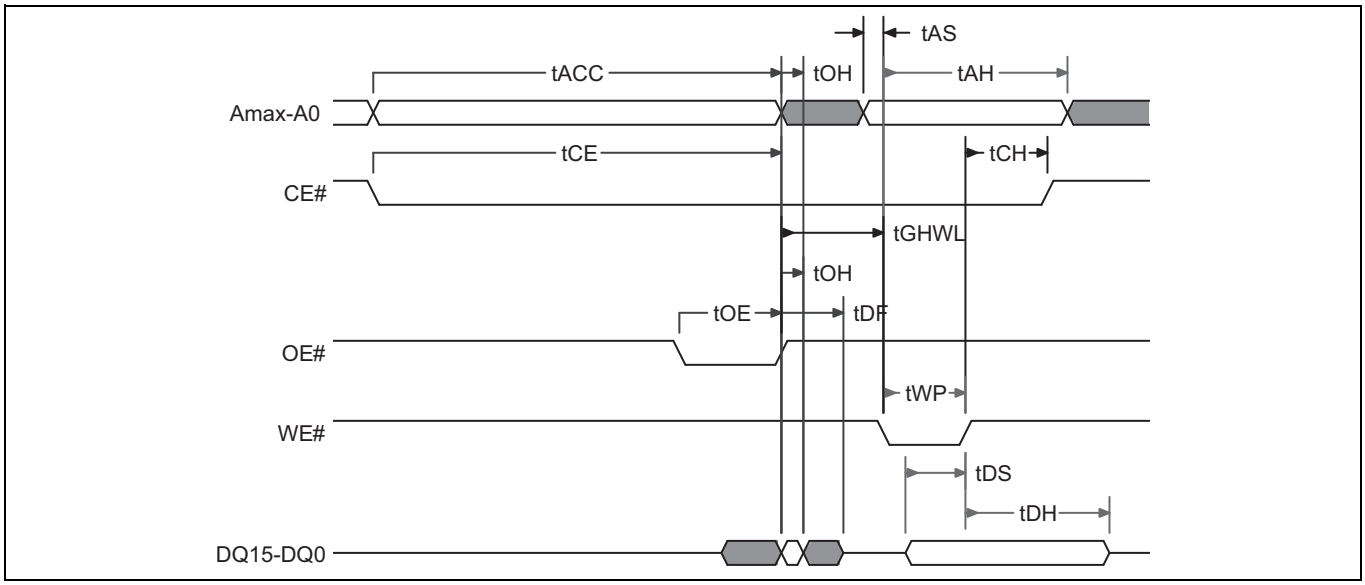


Figure 24　読み出しから書き込み (CE# V_{IL}) 動作タイミング図 [155]

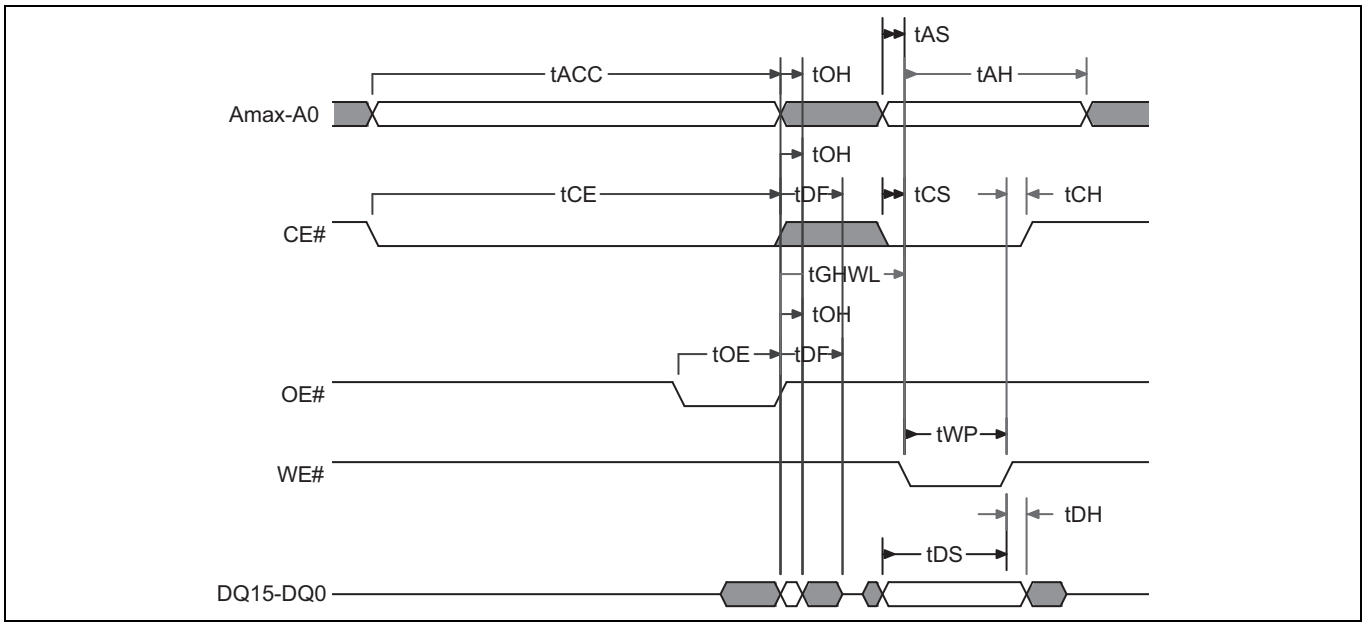


Figure 25　読み出しから書き込み (CE# Toggle) 動作タイミング図 [155]

注

155. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。

Table 54　消去 / プログラム動作

パラメーター		説明		V_{IO} = 2.7 V ～ V_{CC}	V_{IO} = 1.65 V ～ V_{CC}	単位
JEDEC	標準					
t_{WHWH1}	t_{WHWH1}	書き込みバッファ プログラム動作	Typ	Note [158]		µs
		ワードあたりの実効書き込みバッファ プログラム動作	Typ	Note [158]		µs
		ワードまたはページあたりのプログラム動作	Typ	Note [158]		µs
t_{WHWH2}	t_{WHWH2}	セクタ消去動作 [156]	Typ	Note [158]		ms
	t_{BUSY}	消去 / プログラム有効から RY/BY# までの遅延時間	Max	80		ns
	$t_{SR/W}$	読み出し動作と書き込み動作間のレイテンシ [157]	Min	10		ns
	t_{ESL}	消去一時停止レイテンシ	Max	Note [158]		µs
	t_{PSL}	プログラム一時停止レイテンシ	Max	Note [158]		µs
	t_{RB}	RY/BY# 復帰時間	Min	0		µs
	t_{PPB}	PPB ロック アンロック	Min	80		µs
			Max	120		
	t_{DP}	データ ポーリングから保護されるセクタまでの時間 (プログラム)	Min	3		µs
			Max	20		
		データ ポーリングから保護されるセクタまでの時間 (消去)	Min	3		
			Max	100		
	t_{VHH}	V_{HH} 立ち上り / 立ち下り時間 [156]	Min	250		ns
	t_{TOR}	タイミング制限超過後のクリア時間 (DQ5)	Min	100		ns

注 :
156.100% のテストは行われていません。
157.WE# の立ち上りエッジの時、別のアドレスに切り替わる前に、$t_{SR/W}$ を待機する必要があります。
158.特定の値については、**Table 18** と **Table 19** を参照してください。

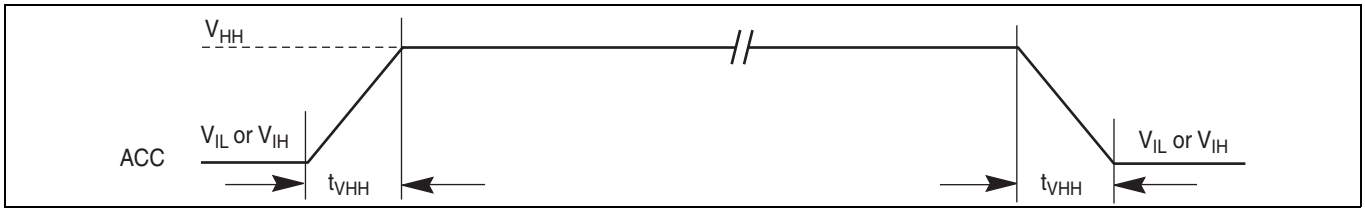


Figure 26　　アクセラレーション プログラム動作タイミング図

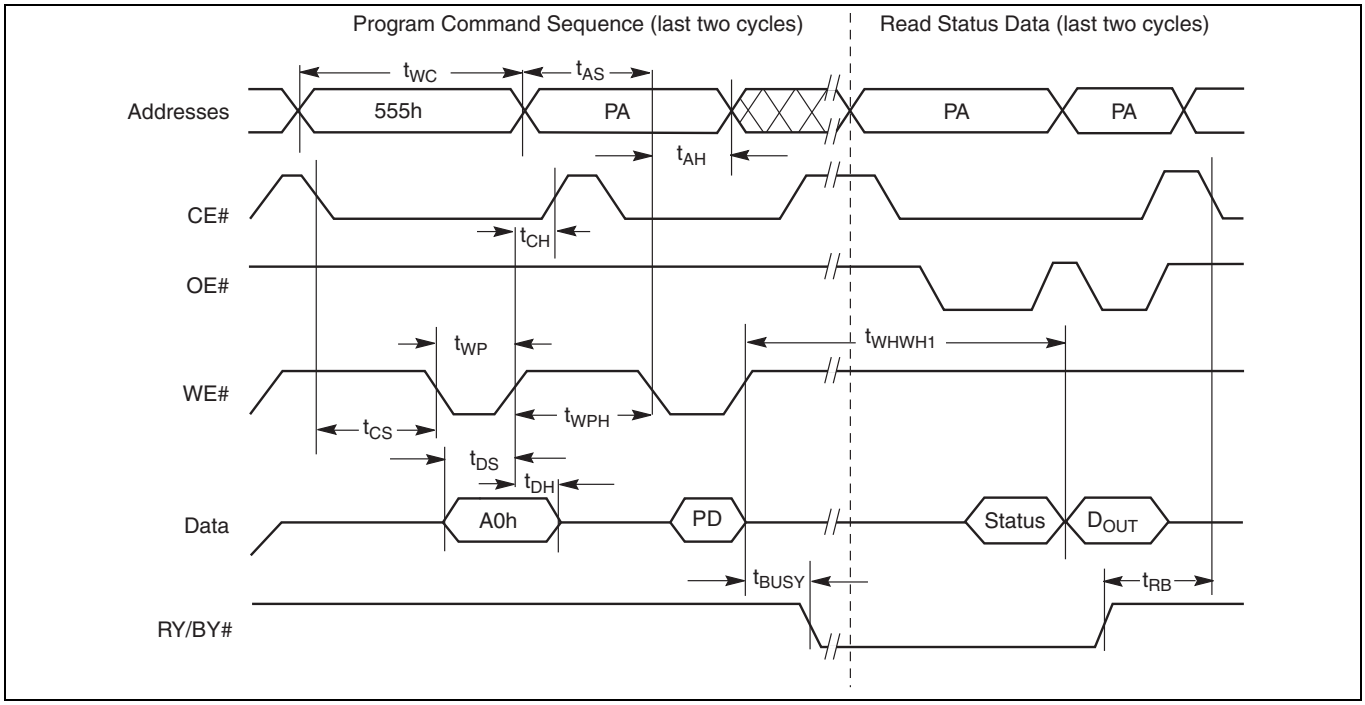


Figure 27　　プログラム動作タイミング図 [159, 160]

注 :
159.アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。
160.PA = プログラム アドレス、PD = プログラム データ、D_{OUT} はプログラム アドレスにおける真のデータです。

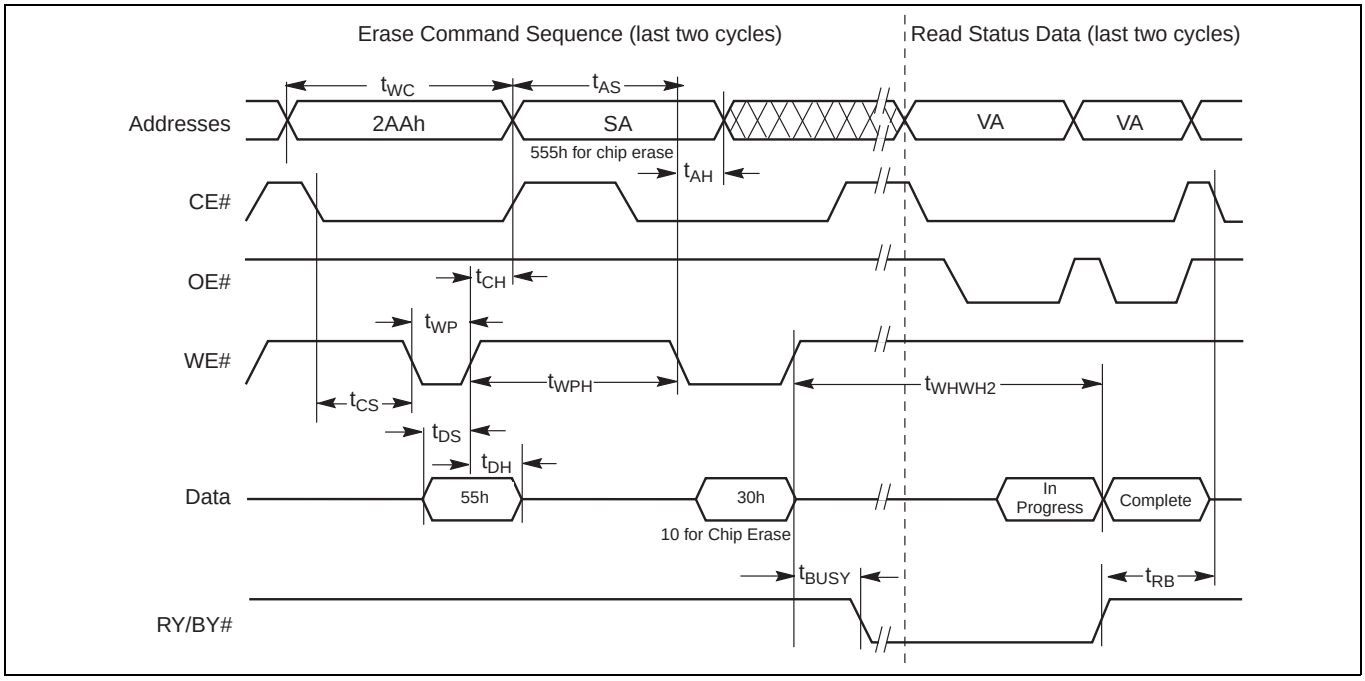


Figure 28 チップ / セクタ消去動作タイミング図 [161, 162]

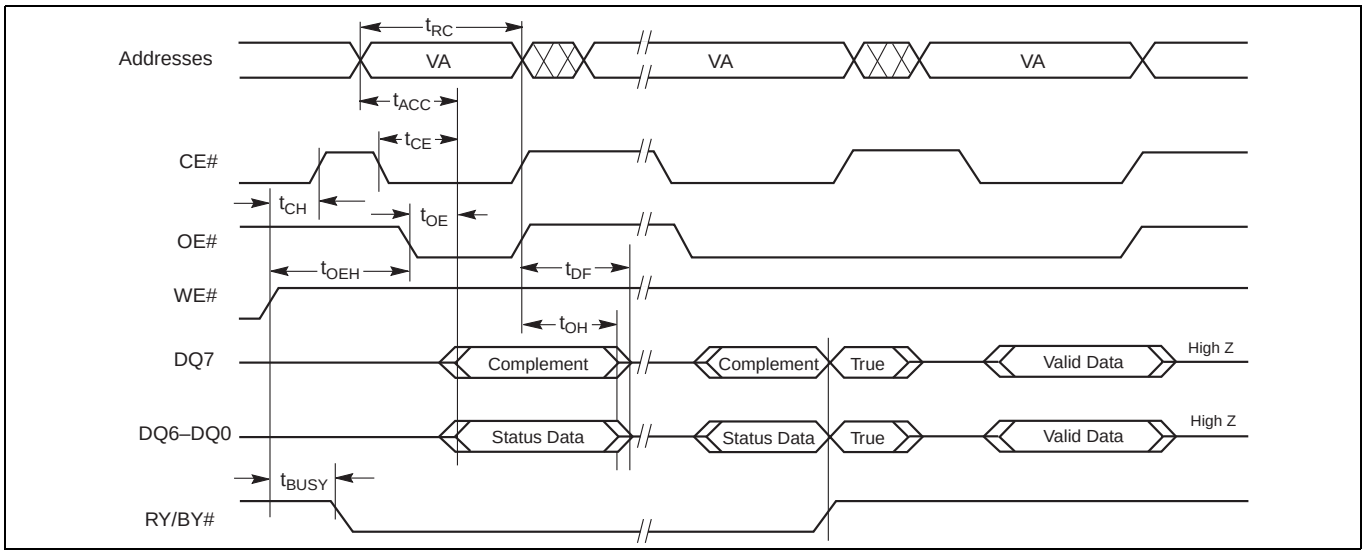


Figure 29 Data# ポーリング タイミング図 (EA 実行時) [163]

注 :
161. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。
162. SA = セクタ アドレス (セクタ消去の場合)、VA = 有効なアドレス (ステータス データ読み出しの場合)。
163. VA = 有効なアドレス。図に、コマンド シーケンス後の最初の状態サイクル , 最後の状態読み出しサイクル , データ アレイ読み出しサイクルを示します。

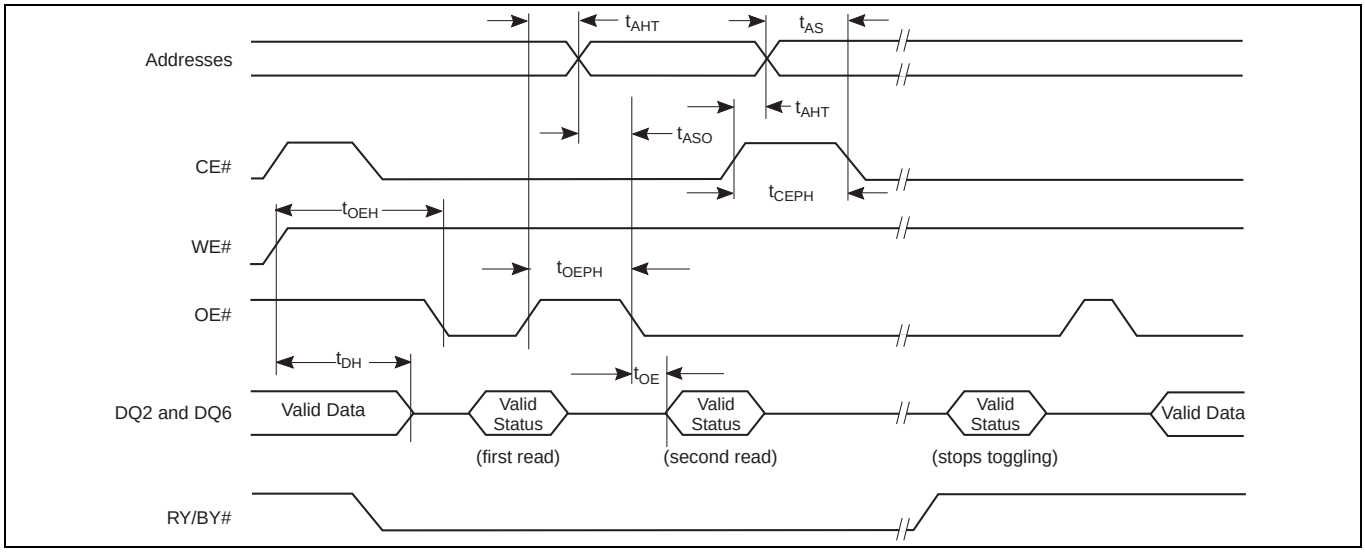


Figure 30 トグル ビット タイミング図 (EA 実行時)[164]

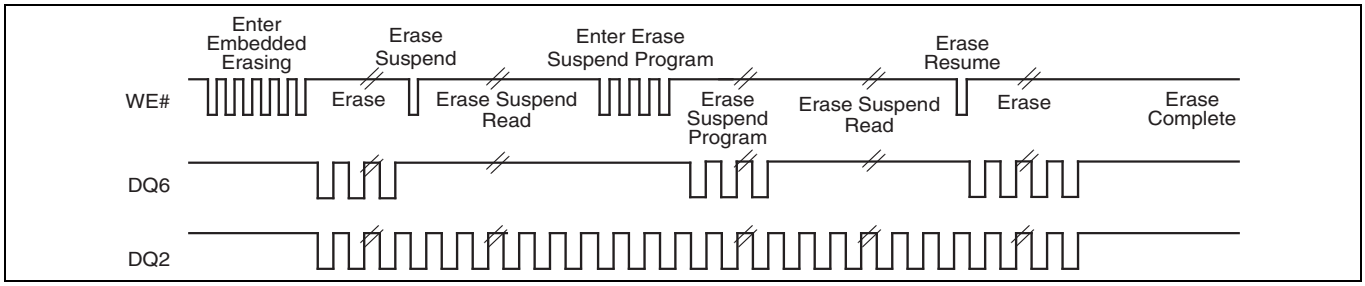


Figure 31 DQ2 と DQ6 の関連図 [165]

注 :
164.DQ6 は、デバイスがビジーの間、任意の読み出しアドレスでトグルします。アドレスが実際に消去中のセクタ内にある場合、DQ2 はトグルします。
165.システムは、OE# または CE# を使用して、DQ2 と DQ6 をトグルできます。消去一時停止のセクタ内のアドレスを読み出す時にのみ、DQ2 がトグルします。

11.4.3 代替 CE# により制御される書き込み動作

Table 55 代替 CE# により制御される書き込み動作

パラメーター		説明		V_{IO} = 2.7 V ～ V_{CC}	V_{IO} = 1.65 V ～ V_{CC}	単位
JEDEC	標準					
t_{AVAV}	t_{WC}	書き込みサイクル時間 [166]	Min	60		ns
t_{AVWL}	t_{AS}	アドレス セットアップ時間	Min	0		ns
	t_{ASO}	トグル ビット ポーリング時の OE# LOW までのアドレス セットアップ時間	Min	15		ns
t_{WLAX}	t_{AH}	アドレス ホールド時間	Min	45		ns
	t_{AHT}	トグル ビット ポーリング時の CE# または OE# HIGH からのセットアップ時間	Min	0		ns
t_{DVWH}	t_{DS}	データ セットアップ時間	Min	30		ns
t_{WHDX}	t_{DH}	データ ホールド時間	Min	0		ns
	t_{CEPH}	トグル ビット ポーリング時の CE# HIGH 時間	Min	20		ns
	t_{0EPH}	トグル ビット ポーリング時の OE# HIGH 時間	Min	20		ns
t_{GHEK}	t_{GHEL}	書き込み前の読み出し復帰時間 (OE# HIGH から WE# LOW までの時間)	Min	0		ns
t_{WLEL}	t_{WS}	WE# セットアップ時間	Min	0		ns
t_{ELWH}	t_{WH}	WE# ホールド時間	Min	0		ns
t_{ELEH}	t_{CP}	CE# パルス幅	Min	25		ns
t_{EHEL}	t_{CPH}	CE# パルス幅 (HIGH)	Min	20		ns
	t_{SEA}	セクタ消去タイムアウト	Min	50		µs

注 :
166.100% のテストは行われていません。

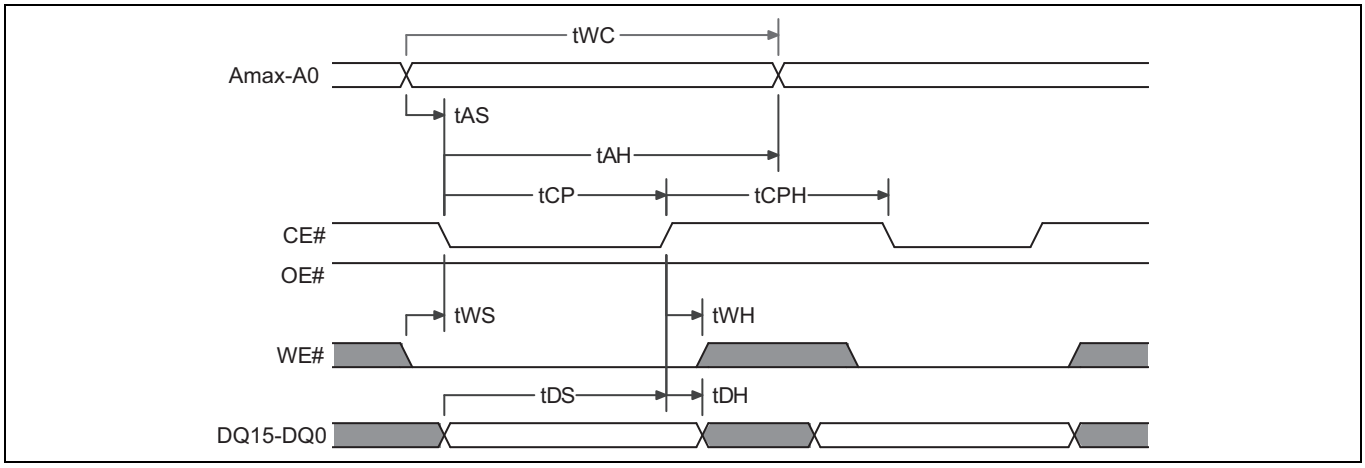


Figure 32　　連続 (CE#) 書き込みタイミング図 [167]

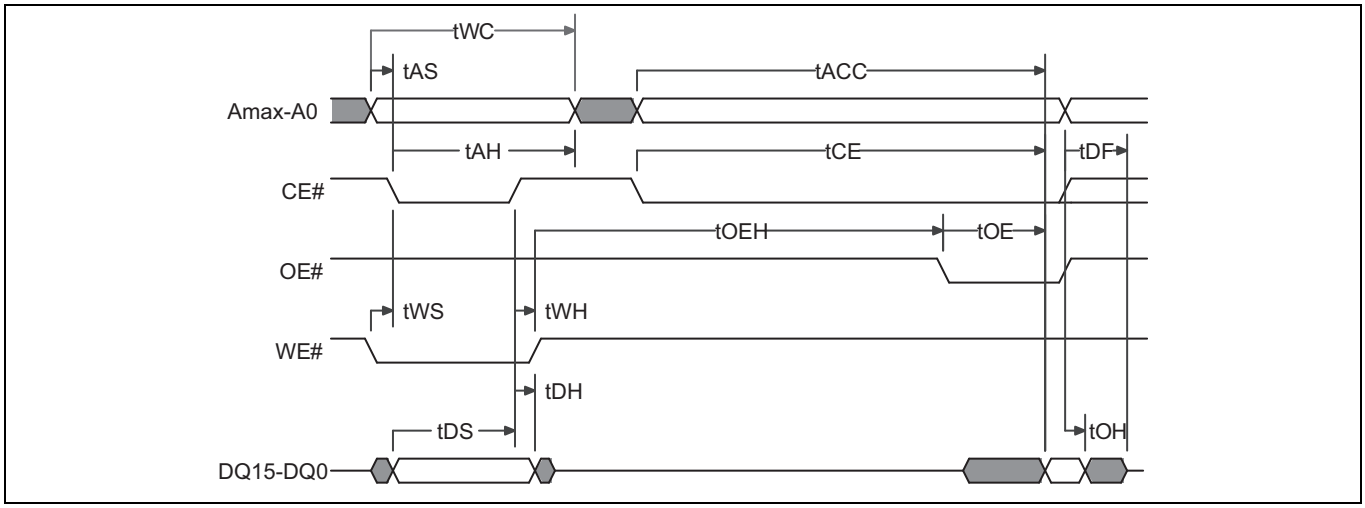


Figure 33　　(CE#) 書き込みから読み出し動作タイミング図 [167]

注 :
167. アドレスは、ワード モードでは Amax:A0 で、バイト モードでは Amax:A1 です。データは、ワード モードでは DQ15 ～ DQ0 で、バイト モードでは DQ7 ～ DQ0 です。

12 物理インターフェース

12.1 56 ピン TSOP

12.1.1 ピン配列図

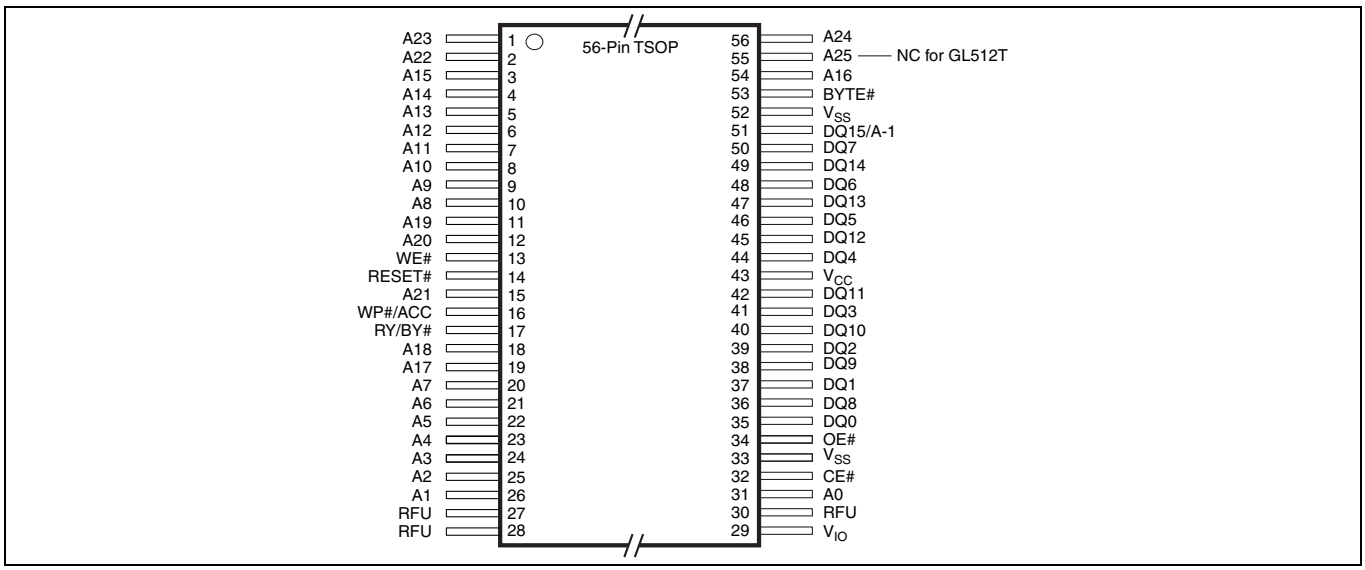
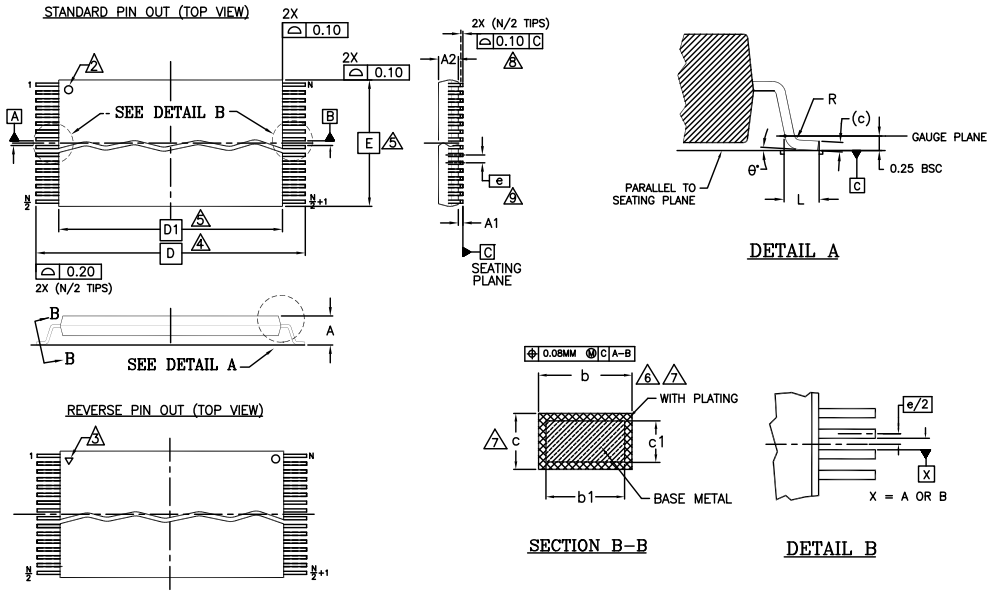


Figure 34 56 ピン標準 TSOP[168]

注 :
168.ピン 27, 28 および 30 は将来のために予約されています (RFU)。

12.1.2 外形図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	14.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	56		

NOTES:

1. DIMENSIONS ARE IN MILLIMETERS (mm).
2. PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
3. PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
4. TO BE DETERMINED AT THE SEATING PLANE -C- . THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
5. DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
6. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm .
7. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
8. LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
9. DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
10. JEDEC SPECIFICATION NO. REF: MO-142(D)EC.

002-15549 *B

Figure 35 56 ピン TSOP (18.4 × 14.0 × 1.2 mm) パッケージ外形図 , 002-15549

12.2 64 ボール FBGA

12.2.1 ピン配列図

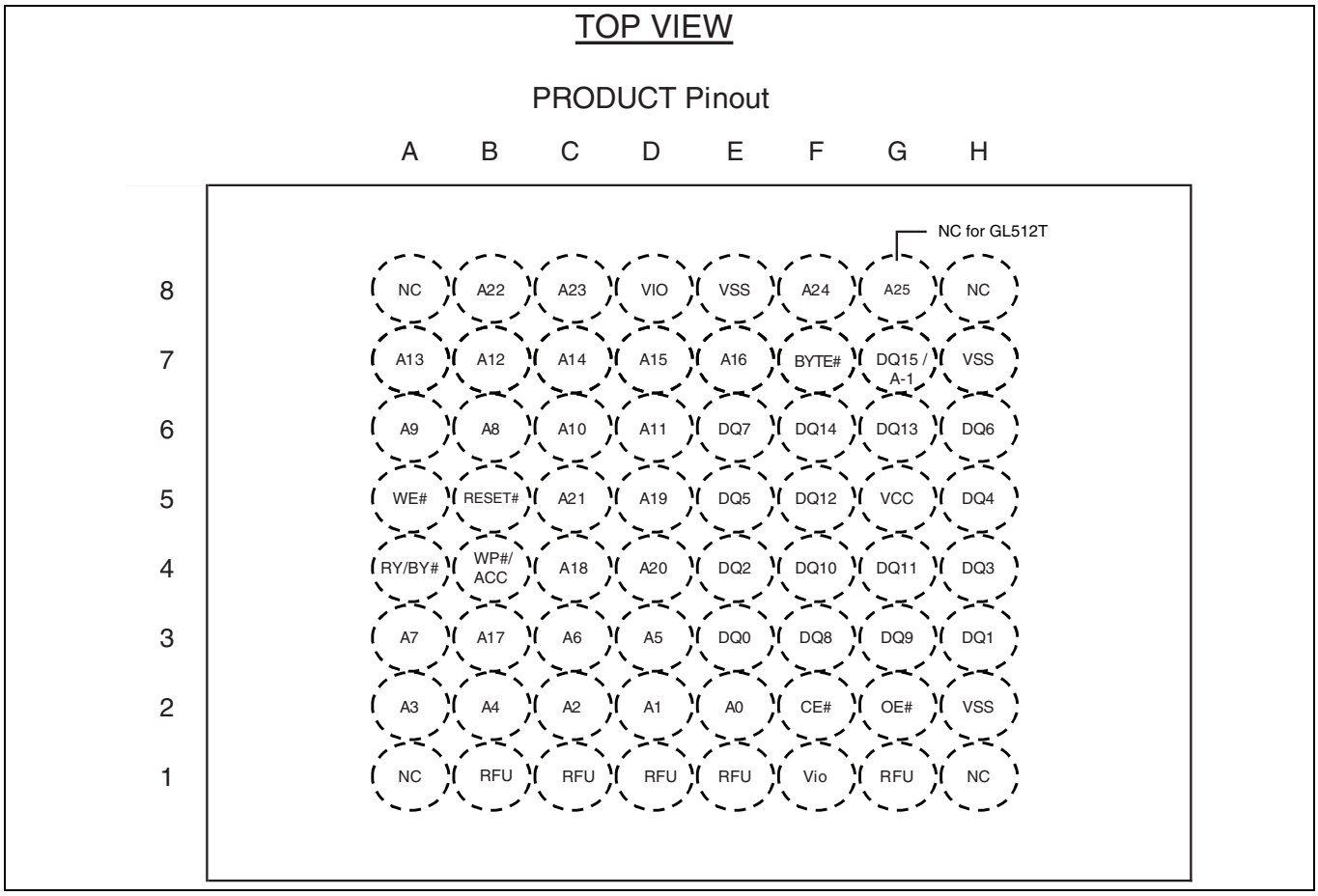
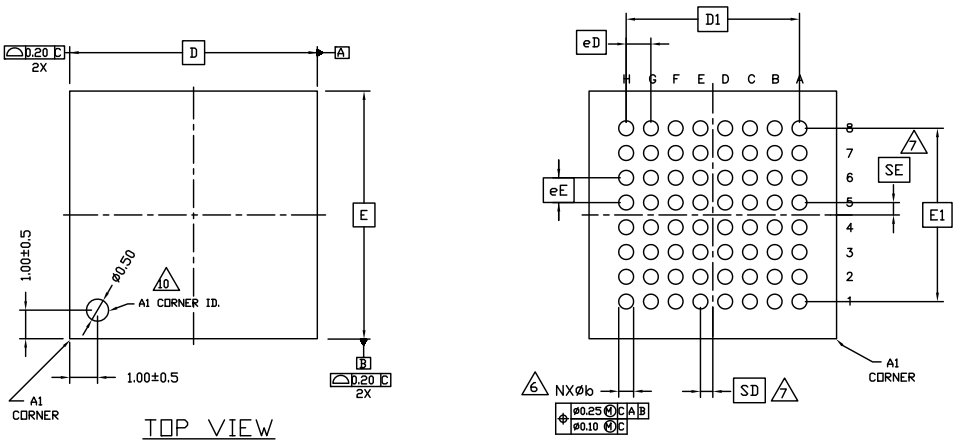


Figure 36 64 ボール 強化ボール グリッド アレイ [169, 170]

注 :
169.ボール A1, A8, H1, および H8 は接続されていません (No Connect = NC)。
170.ボール B1, C1, D1, E1, および G1 は、将来のために予約されています (RFU)。

12.2.2 外形図 – LAE064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.40
A1	0.40	-	-
A2	0.60	-	-
D	9.00 BSC.		
E	9.00 BSC.		
D1	7.00 BSC.		
E1	7.00 BSC.		
MD	8		
ME	8		
N	64		
Øb	0.50	0.60	0.70
eD	1.00 BSC.		
eE	1.00 BSC.		
SD/SE	0.50 BSC.		

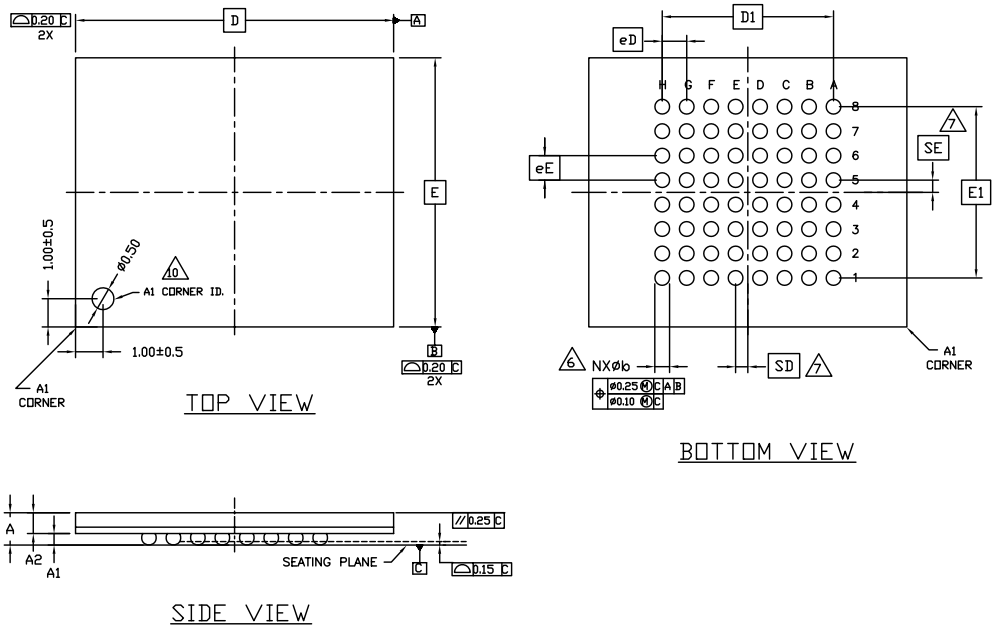
NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994 .
2. ALL DIMENSIONS ARE IN MILLIMETERS .
3. BALL POSITION DESIGNATION PER JEP95 SECTION 3, SPP-020 (RECTANGULAR) OR SPP-010 (SQUARE).
4. e REPRESENTS THE SOLDER BALL GRID PITCH .
5. SYMBOL "MD" IS THE BALL ROW MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL COLUMN MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE TOTAL NUMBER OF SOLDER BALLS.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C .
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.
10. JEDEC SPECIFICATION NO. REF : N/A

002-15537 *A

Figure 37 64 ボール FBGA (9.0 × 9.0 × 1.4 mm) パッケージ外形図 , 002-15537

12.2.3 外形図 — LAA064



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.40
A1	0.40	-	-
A2	0.60	-	-
D	13.00 BSC.		
E	11.00 BSC.		
D1	7.00 BSC.		
E1	7.00 BSC.		
MD	8		
ME	8		
N	64		
Øb	0.50	0.60	0.70
eD	1.00 BSC.		
eE	1.00 BSC.		
SD/SE	0.50 BSC.		

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994 .
2. ALL DIMENSIONS ARE IN MILLIMETERS .
3. BALL POSITION DESIGNATION PER JEP95 SECTION 3, SPP-020 (RECTANGULAR) OR SPP-010 (SQUARE).
4. e REPRESENTS THE SOLDER BALL GRID PITCH .
5. SYMBOL "MD" IS THE BALL ROW MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL COLUMN MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE TOTAL NUMBER OF SOLDER BALLS.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C .
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

002-15536 **

Figure 38 64 ボール FBGA (13.0 × 11.0 × 1.4 mm) パッケージ外形図 , 002-15536

12.3 56 ボール FBGA

12.3.1 ピン配列図

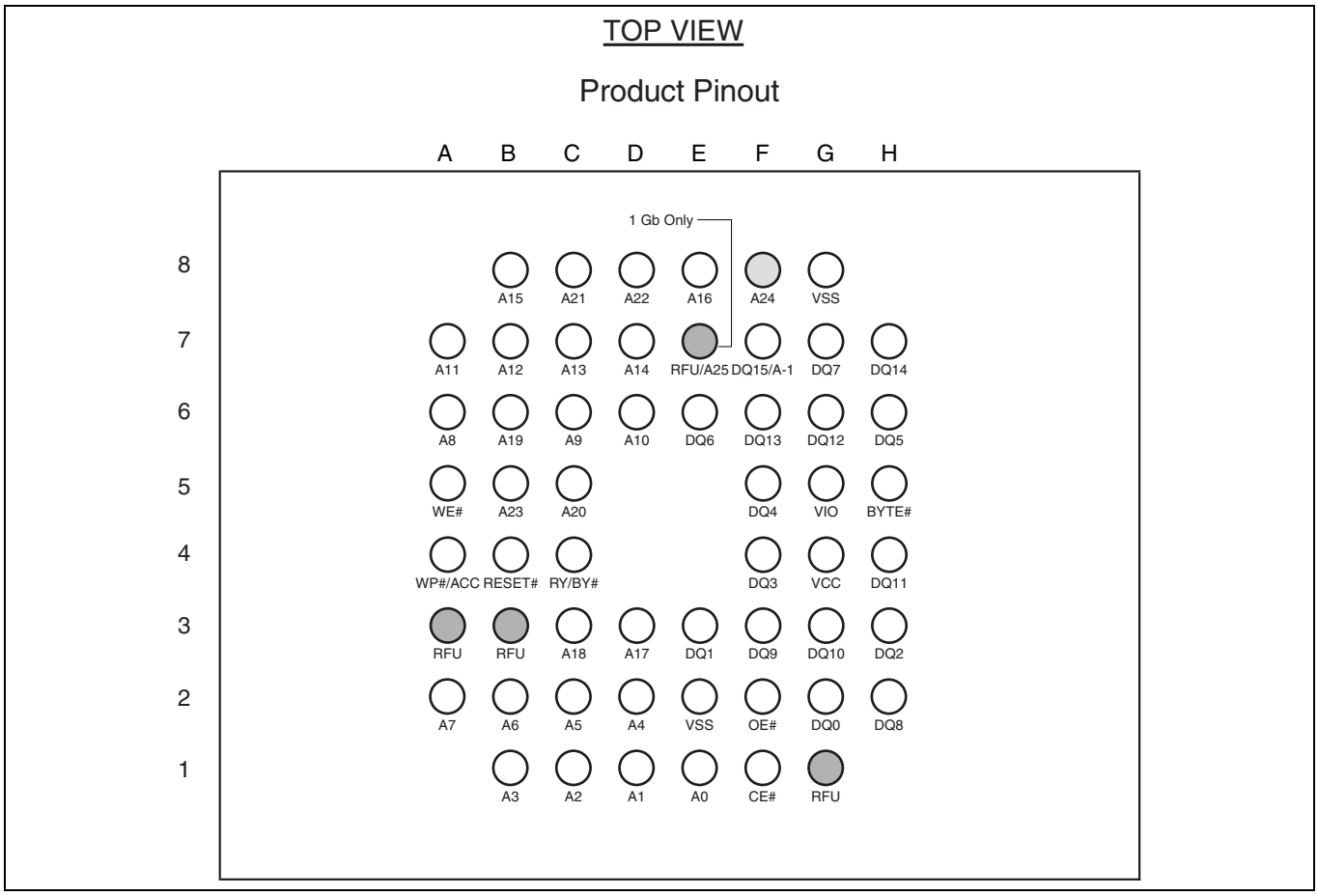
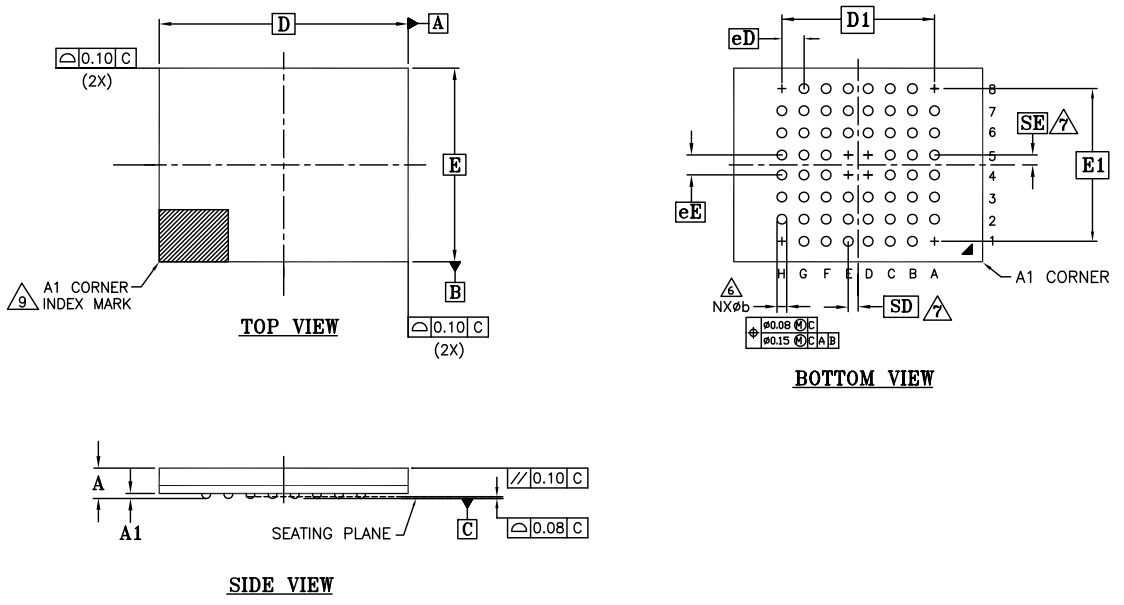


Figure 39 56 ボール 強化ボール グリッド アレイ [171]

注 :
171.ボール A3, B3, および G1 は、将来のために予約されています (RFU)。

12.3.2 外形図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.17	-	-
D	9.00 BSC.		
E	7.00 BSC.		
D1	5.60 BSC.		
E1	5.60 BSC.		
MD	8		
ME	8		
n	56		
Øb	0.33	-	0.45
eD/eE	0.80 BSC.		
SD/SE	0.40 BSC.		

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994 .
2. ALL DIMENSIONS ARE IN MILLIMETERS .
3. BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-010/020.
4. e REPRESENTS THE SOLDER BALL GRID PITCH .
5. SYMBOL "MD" IS THE BALL ROW MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL COLUMN MATRIX SIZE IN THE "E" DIRECTION.
   n IS THE TOTAL NUMBER OF POPULATED SOLDER BALLS FOR MATRIX SIZE MD AND ME.
6. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
7. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 and "SE" = eE/2.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
9. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

002-15551 **

Figure 40 56 ボール FBGA (9.0 × 7.0 × 1.0 mm) パッケージ外形図 , 002-15551

13 FBGA パッケージの取扱注意事項

FBGA パッケージのフラッシュ メモリ製品の取り扱いには注意してください。

FBGA パッケージのフラッシュメモリデバイスは超音波洗浄器に放置すると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの完全性が損なわれることがあります。

14 注文情報

14.1 有効な組合せ — 標準

推奨の組合せは、量産対応が計画されている設定をリストしたものです。新しい組合せがリリースされると、下記の表も更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

Table 56　　S29GL-T の CFI バージョン 1.3 に対する有効な組合せ

S29GL-T の有効な組合せ					
ベース OPN	**速度 (ns)**	**パッケージおよび温度** [172]	**モデル番号**	**包装形態** [173]	**注文製品番号 (yy = モデル番号 , x = 包装形態)**
S29GL01GT	100	DHI, FAI, FHI, GHI, TFI	03, 04	0, 3	S29GL01GT10DHIyyx S29GL01GT10FAIyyx S29GL01GT10FHIyyx S29GL01GT10GHIyyx S29GL01GT10TFIyyx
	110	DHI, FAI, FHI, GHI, TFI	V3, V4		S29GL01GT11DHIyyx S29GL01GT11FAIyyx S29GL01GT11FHIyyx S29GL01GT11GHIyyx S29GL01GT11TFIyyx
	110	DHV, FHV, TFV	03, 04		S29GL01GT11DHVyyx S29GL01GT11FHVyyx S29GL01GT11TFVyyx
	120	DHV, FHV, TFV	V3, V4		S29GL01GT12DHVyyx S29GL01GT12FHVyyx S29GL01GT12TFVyyx
	120	DHN, TFN	03, 04		S29GL01GT12DHNyyxx S29GL01GT12TFNyyxx
	130	DHN, TFN	V3, V4		S29GL01GT13DHNyyxx S29GL01GT13TFNyyxx
S29GL512T	100	DHI, FAI, FHI, GHI, TFI	03, 04	0, 3	S29GL512T10DHIyyx S29GL512T10FAIyyx S29GL512T10FHIyyx S29GL512T10GHIyyx S29GL512T10TFIyyx
	110	DHI, FAI, FHI, GHI, TFI	V3, V4		S29GL512T11DHIyyx S29GL512T11FAIyyx S29GL512T11FHIyyx S29GL512T11GHIyyx S29GL512T11TFIyyx
	110	DHV, FHV, TFV	03, 04		S29GL512T11DHVyyx S29GL512T11FHVyyx S29GL512T11TFVyyx
	120	DHV, FHV, TFV	V3, V4		S29GL512T12DHVyyx S29GL512T12FHVyyx S29GL512T12TFVyyx
	120	DHN, TFN	03, 04		S29GL512T12DHNyyxx S29GL512T12TFNyyxx
	130	DHN, TFN	V3, V4		S29GL512T13DHNyyxx S29GL512T13TFNyyxx

注 :
172.上記以外のスピード , パッケージ , および温度の製品が将来提供される場合があります。製品の提供状況などは、担当営業までお問い合わせください。
173.パッケージ タイプ 0 が標準品となります。

Table 57　　S29GL-T CFI バージョン 1.5 の有効な組合せ

S29GL-T valid combinations

ベース OPN	速度 (ns)	パッケージおよび温度 [174]	モデル番号	包装形態 [175]	注文製品番号 (yy = モデル番号 , x = 包装形態)
S29GL01GT	100	DHI, FAI, FHI, GHI, TFI	01, 02	0, 3	S29GL01GT10DHIyyx S29GL01GT10FAIyyx S29GL01GT10FHIyyx S29GL01GT10GHIyyx S29GL01GT10TFIyyx
	110	DHI, FAI, FHI, GHI, TFI	V1, V2		S29GL01GT11DHIyyx S29GL01GT11FAIyyx S29GL01GT11FHIyyx S29GL01GT11GHIyyx S29GL01GT11TFIyyx
	110	DHV, FHV, TFV	01, 02		S29GL01GT11DHVyyx S29GL01GT11FHVyyx S29GL01GT11TFVyyx
	120	DHV, FHV, TFV	V1, V2		S29GL01GT12DHVyyx S29GL01GT12FHVyyx S29GL01GT12TFVyyx
	120	DHN, TFN	01, 02		S29GL01GT12DHNyyxx S29GL01GT12FHNyyxx S29GL01GT12TFNyyxx
	130	DHN, TFN	V1, V2		S29GL01GT13DHNyyxx S29GL01GT13TFNyyxx
S29GL512T	100	DHI, FAI, FHI, GHI, TFI	01, 02	0, 3	S29GL512T10DHIyyx S29GL512T10FAIyyx S29GL512T10FHIyyx S29GL512T10GHIyyx S29GL512T10TFIyyx
	110	DHI, FAI, FHI, GHI, TFI	V1, V2		S29GL512T11DHIyyx S29GL512T11FAIyyx S29GL512T11FHIyyx S29GL512T11GHIyyx S29GL512T11TFIyyx
	110	DHV, FHV, TFV	01, 02		S29GL512T11DHVyyx S29GL512T11FHVyyx S29GL512T11TFVyyx
	120	DHV, FHV, TFV	V1, V2		S29GL512T12DHVyyx S29GL512T12FHVyyx S29GL512T12TFVyyx
	120	DHN, TFN	01, 02		S29GL512T12DHNyyxx S29GL512T12TFNyyxx
	130	DHN, TFN	V1, V2		S29GL512T13DHNyyxx S29GL512T13TFNyyxx

注 :

174.上記以外のスピード , パッケージ , および温度の製品が将来提供される場合があります。製品の提供状況などは、担当営業までお問い合わせください。

175.パッケージ タイプ 0 が標準品となります。

14.2 有効な組合せ — 車載用グレード / AEC-Q100

以下の表に、量産対応が計画されている車載向けグレード / AEC-Q100 認定の製品構成の一覧を示します。新しい組合せがリリースされると、下記の表も更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のみに提供されます。

ISO/TS-16949 準拠を必要とするエンドユース アプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければいけません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユース アプリケーションに PPAP サポートなしで提供されています。

Table 58 S29GL-T CFI バージョン 1.3 の有効な組合せ — 車載用グレード / AEC-Q100

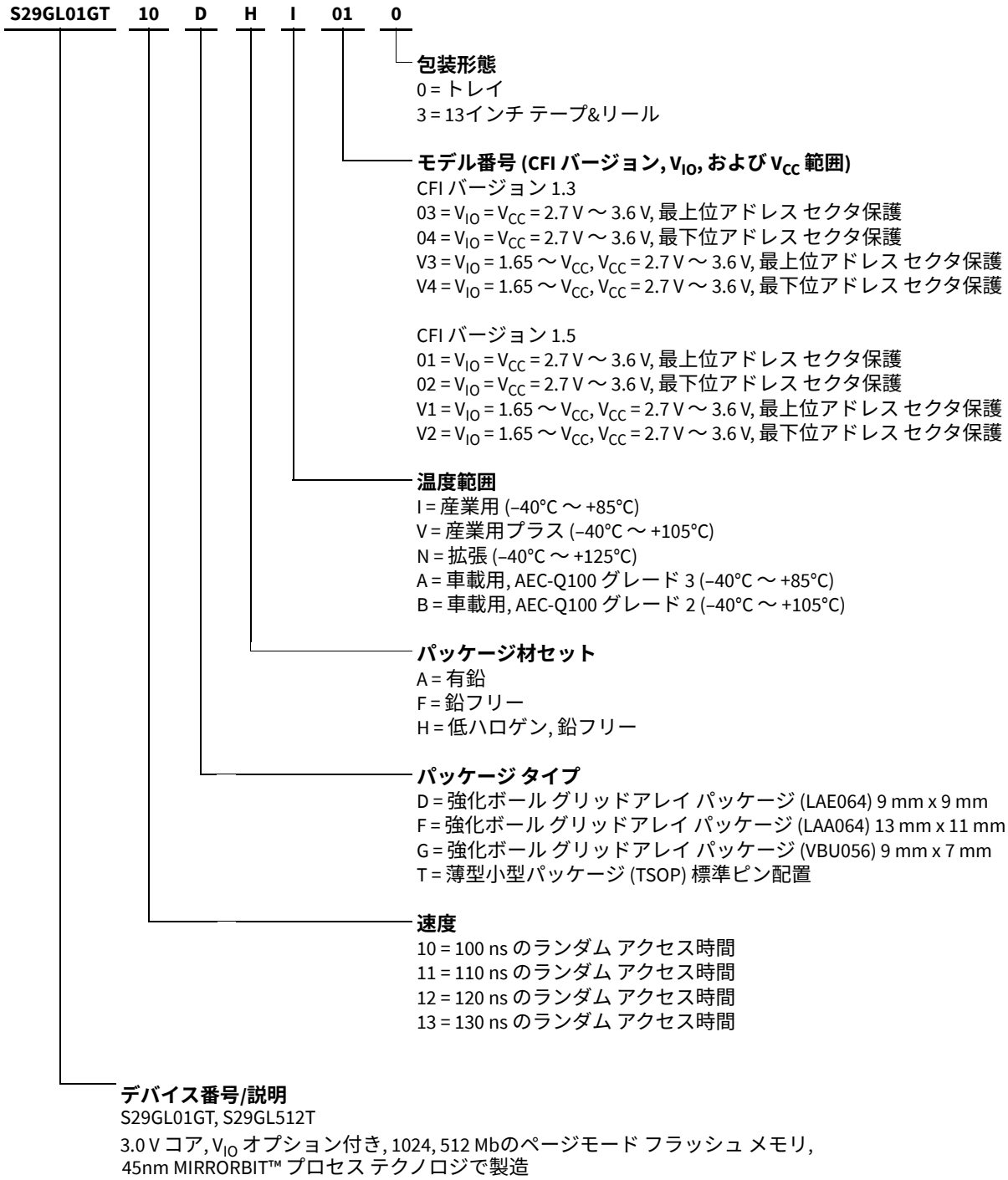
S29GL-T の有効な組合せ — 車載用グレード / AEC-Q100					
ベース OPN	**速度 (ns)**	**パッケージおよび温度**	**モデル番号**	**包装形態**	**注文製品番号 (yy = モデル番号 , x = 包装形態)**
S29GL01GT	100	DHA, FHA, TFA	03, 04	0, 3	S29GL01GT10DHAyyx S29GL01GT10FHAyyx S29GL01GT10TFAyyx
	110	DHA, FHA, TFA	V3, V4		S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHB, FHB, TFB	03, 04		S29GL01GT11DHByyx S29GL01GT11FHByyx S29GL01GT11TFByyx
	120	DHB, FHB, TFB	V3, V4		S29GL01GT12DHByyx S29GL01GT12FHByyx S29GL01GT12TFByyx
S29GL512T	100	DHA, FHA, TFA	03, 04	0, 3	S29GL512T10DHAyyx S29GL512T10FHAyyx S29GL512T10TFAyyx
	110	DHA, FHA, TFA	V3, V4		S29GL512T11DHAyyx S29GL512T11FHAyyx S29GL512T11TFAyyx
	110	DHB, FHB, TFB	03, 04		S29GL512T11DHByyx S29GL512T11FHByyx S29GL512T11TFByyx
	120	DHB, FHB, TFB	V3, V4		S29GL512T12DHByyx S29GL512T12FHByyx S29GL512T12TFByyx

Table 59 S29GL-T CFI バージョン 1.5 の有効な組合せ — 車載用グレード / AEC-Q100

S29GL-T の有効な組合せ — 車載用グレード / AEC-Q100					
ベース OPN	**速度 (ns)**	**パッケージおよび温度**	**モデル番号**	**包装形態**	**注文製品番号 (yy = モデル番号 , x = 包装形態)**
S29GL01GT	100, 110	DHA, FHA, TFA	01, 02	0, 3	S29GL01GT10DHAyyx S29GL01GT10FHAyyx S29GL01GT10TFAyyx S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHA, FHA, TFA	V1, V2		S29GL01GT11DHAyyx S29GL01GT11FHAyyx S29GL01GT11TFAyyx
	110	DHB, FHB, TFB	01, 02		S29GL01GT11DHByyx S29GL01GT11FHByyx S29GL01GT11TFByyx
	120	DHB, FHB, TFB	V1, V2		S29GL01GT12DHByyx S29GL01GT12FHByyx S29GL01GT12TFByyx
S29GL512T	100	DHA, FHA, TFA	01, 02	0, 3	S29GL512T10DHAyyx S29GL512T10FHAyyx S29GL512T10TFAyyx
	110	DHA, FHA, TFA	V1, V2		S29GL512T11DHAyyx S29GL512T11FHAyyx S29GL512T11TFAyyx
	110	DHB, FHB, TFB	01, 02		S29GL512T11DHByyx S29GL512T11FHByyx S29GL512T11TFByyx
	120	DHB, FHB, TFB	V1, V2		S29GL512T12DHByyx S29GL512T12FHByyx S29GL512T12TFByyx

注文情報

一般的なデバイスの注文部品番号 (有効な組合せ) は下記の要素の組合せで構成されます。



改訂履歴

版数	発行日	変更内容
**	2015-10-21	これは英語版 002-00247 Rev. *C を翻訳した日本語版 002-03720 Rev. ** です。
*A	2015-12-18	これは英語版 002-00247 Rev. *E を翻訳し た日本語版 002-03720 Rev. *A です。
*B	2017-01-13	これは英語版 002-00247 Rev. *G を翻訳した日本語版 002-03720 Rev. *B です。
*C	2018-11-01	これは英語版 002-00247 Rev. *J を翻訳した日本語版 002-03720 Rev. *C です。
*D	2019-11-18	これは英語版 002-00247 Rev. *L を翻訳した日本語版 002-03720 Rev. *D です。
*E	2023-04-13	これは英語版 002-00247 Rev. *M を翻訳した日本語版 002-03720 Rev. *E です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-04-13
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-03720 Rev. *E

重要事項
本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。
本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。