

ISO1050 隔离式 CAN 收发器

1 特性

- 符合 ISO11898-2 的要求
- 5000V_{RMS} 隔离 (ISO1050DW)
- 2500V_{RMS} 隔离 (ISO1050DUB)
- 失效防护输出
- 低环路延迟: 150ns (典型值)、210ns (最大值)
- 50kV/ μ s 典型瞬态抗扰度
- 27V 至 40V 的总线故障保护
- 驱动器 (TXD) 显性超时功能
- I/O 电压范围支持 3.3V 和 5V 微处理器
- 安全相关认证
 - 通过 VDE 认证, 符合 DIN EN IEC 60747-17 (VDE 0884-17)
 - 通过 UL 1577 认证
 - 通过 CSA 认证, 符合 IEC 61010-1、IEC 60601-1
 - 通过 TUV 增强型绝缘认证, 符合 EN/UL/CSA 62368-1 (仅限 ISO1050DW)
 - 通过 CQC 增强型绝缘认证, 符合 GB4943.1 (仅限 ISO1050DW)
 - 额定工作电压下的使用寿命典型值为 25 年 (请参阅应用报告 [SLLA197](#) 和 [预期寿命与工作电压间的关系](#))

2 应用

- 工业自动化、控制、传感器和驱动系统
- 楼宇和空调 (HVAC) 自动化
- 安全系统
- 运输
- 医疗
- 电信
- 诸如 CANopen、DeviceNet、NMEA2000、ARINC825、ISO11783、CAN Kingdom、CANaerospace 等 CAN 总线标准

3 说明

ISO1050 是一款电镀隔离的 CAN 转发器, 此转发器符合或者优于 ISO11898-2 标准的技术规范。该器件的逻辑输入和输出缓冲器由二氧化硅 (SiO₂) 绝缘栅进行分隔; 此绝缘栅可为 ISO1050DW 提供高达 5000V_{RMS} 的电隔离, 为 ISO1050DUB 提供高达 2500V_{RMS} 的电隔离。与隔离式电源一起使用, 此器件可防止数据总线或者其它电路上的噪音电流进入本地接地并干扰和损坏敏感电路。

作为一个 CAN 转发器, 此器件为总线和信令速度高达 1 兆比特每秒 (Mbps) 的 CAN 控制器分别提供差分发射能力和差分接收能力。该器件尤其适合工作在恶劣环境下, 其具有串线、过压和接地损耗保护 (-27V 至 40V) 以及过热关断功能, 共模电压范围为 -12V 至 12V。

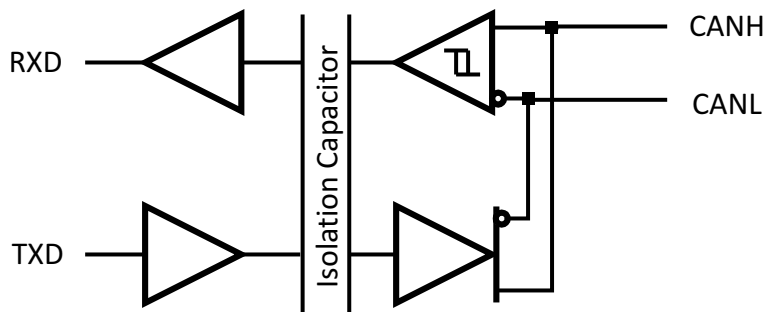
ISO1050 的额定工作环境温度范围为 -55°C 至 105°C。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 ⁽²⁾
ISO1050	SOP (8)	9.5mm × 10.4mm
	SOIC (16)	10.3mm × 10.3mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	8.2 功能方框图	19
2 应用	1	8.3 特性说明	19
3 说明	1	8.4 器件功能模式	22
4 Revision History	2	9 应用和实现	24
5 引脚配置和功能	5	9.1 应用信息	24
6 规格	6	9.2 典型应用	24
6.1 绝对最大额定值.....	6	10 电源相关建议	27
6.2 ESD 等级.....	6	10.1 一般建议	27
6.3 建议运行条件.....	6	10.2 电源放电	27
6.4 热性能信息.....	7	11 布局	28
6.5 额定功率.....	7	11.1 布局指南.....	28
6.6 绝缘规格.....	8	11.2 布局示例.....	28
6.7 安全相关认证.....	9	12 器件和文档支持	29
6.8 安全限值.....	9	12.1 文档支持.....	29
6.9 电气特性 - 直流规格.....	10	12.2 接收文档更新通知.....	29
6.10 开关特性.....	12	12.3 支持资源.....	29
6.11 绝缘特性曲线.....	12	12.4 商标.....	29
6.12 典型特性.....	13	12.5 静电放电警告.....	29
7 参数测量信息	14	12.6 术语表.....	29
8 详细说明	19	13 机械、封装和可订购信息	29
8.1 概述.....	19		

4 Revision History

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (August 2023) to Revision L (October 2023)	Page
• 更新了“安全相关认证”部分.....	6
• 更新了多个“规格”部分.....	6

Changes from Revision J (September 2019) to Revision K (August 2023)	Page
• 将 VDE 标准名称更改为 DIN EN IEC 60747-17 (VDE 0884-17)，将 CSA 标准更新为 CSA 62368-1 和 IEC 62368-1.....	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

Changes from Revision I (September 2014) to Revision J (September 2019)	Page
• 通篇将 VDE 标准名称从“DIN V VDE V 0884-10 (VDE V 0884-10):2006-12”更改为“DIN VDE V 0884-11:2017-01”（位于 节 1 ）.....	1
• 从 节 1 的 CSA 要点中删除了“组件验收通知 5A”.....	1
• 将反相输出标签从“CANH”更改为“CANL”（ 图 7-10 ）.....	14
• 在“绝缘特性表”中将 VDE 标准名称从“DIN V VDE V 0884-10 (VDE V 0884-10):2006-12”更改为“DIN VDE V 0884-11:2017-01”.....	19
• 在“绝缘特性表”中将“V _{ISO} 参数”的说明从“ISO1050DUB - 双重保护”更改为“ISO1050DUB - 单一保护”.....	19
• 更新了“法规信息”表中的法规信息.....	19
• 在“法规信息”表中将 ISO1050DUB 的 UL 1577 等级从“2500V _{RMS} 双重保护”更改为“2500V _{RMS} 单一保护”.....	19
• 从“法规信息”表中删除了 ISO1050DW 的 3500V _{RMS} UL 1577 “双重保护”等级.....	19
• 向 节 10 中添加了 节 10.2 部分和 SN6505 参考.....	27

- 向节 12.1 的“用于隔离电源的变压器驱动器”中添加了 SN6505x 数据表链接..... 29

Changes from Revision H (June 2013) to Revision I (September 2014) Page

- 添加了引脚配置和功能部分、ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分..... 1

Changes from Revision G (March 2013) to Revision H (June 2013) Page

- 将标题从“预期寿命与工作电压间的关系 (ISO1050DW)”更改为“预期寿命与工作电压间的关系 (ISO1050DUB)” 22

Changes from Revision F (January 2013) to Revision G (March 2013) Page

- 阐明了“隔离器特性”中的间隙和爬电距离测量方法..... 19
- 阐明了“绝缘特性”中的额定电压的测试方法..... 19
- 将“法规信息”部分中的“UL 单一保护认证正在申请中”更改为“单一保护 (已获得证书)” 19

Changes from Revision E (December 2011) to Revision F (January 2013) Page

- 删除了 ISO1050L 器件..... 1
- 从“特性”列表中删除了 ISO1050LDW..... 1
- 删除了“说明”的第一段中的 ISO1050LDW..... 1
- 添加了“引脚功能”一节..... 5
- 根据 DIN EN IEC 60747-17 (VDE 0884-17) 添加了最大脉冲电压 (V_{IMP}) 规格 8
- 从“绝缘特性”中删除了 ISO1050LDW..... 19
- 从“法规信息”中删除了 ISO1050LDW..... 19
- 添加了“功能说明”一节..... 19
- 从“预期寿命与工作电压间的关系”中删除了 ISO1050LDW..... 22
- 从“等效 I/O 原理图”的 CANH 和 CANL 输入图和输出图中删除了 40V..... 22
- 更改了“应用信息”一节..... 24
- 更改了“总线负载能力、长度和节点数”一节..... 24
- 添加了“CAN 端接”一节..... 25

Changes from Revision D (June 2011) to Revision E (November 2011) Page

- 添加了器件 ISO1050L..... 1
- 将“特性”列表中的“(DW 封装)”更改为“(ISO1050DW)” 1
- 将“特性”列表中的“(DUB 封装)”更改为“(ISO1050DUB 和 ISO1050LDW)” 1
- 从 CSA 认证特性要点中删除了 IEC 60950-1..... 1
- 将“IEC 60601-1 (医疗) 和 CSA 认证正在申请中”更改为“已通过 IEC 60601-1 (医疗) 和 CSA 认证” ... 1
- 添加了特性 - 5KVRMS 增强型..... 1
- 在“说明”的第一段中将 DW 封装更改为 ISO1050DW 并将 DUB 封装更改为 ISO1050DUB 和 ISO1050LDW..... 1
- 向“绝缘特性”表中添加了注释 1..... 19
- 将 V_{IORM} 从 8-DUB 封装更改为 ISO1050DUB 和 ISO1050LDW..... 19
- 将 V_{IORM} 从 16-DW 更改为 ISO1050DW..... 19
- 更改了“绝缘特性”表中的“符合 UL 标准的 V_{ISO} 隔离电压”部分..... 19
- 更改了“IEC 60664-1 等级”表..... 19
- 更改了“法规信息”表..... 19
- 将“文件编号：220991 (等待审批)”更改为“文件编号：220991” 19
- 在注释 (1) 中将 3000 更改为 2500 并将 6000 更改为 5000..... 19
- 在“预期寿命与工作电压间的关系 (8-DUB 封装)”中更改为“预期寿命..... (ISO1050DW 和 ISO1050LDW)” 22

Changes from Revision C (July 2010) to Revision D (June 2011)
Page

- 更改了“法规信息”表..... 19
-

Changes from Revision B (June 2010) to Revision C (July 2010)
Page

- 将 IEC 60747-5-2 特性要点从“DW 封装 (等待审批)”更改为“DUB 和 DW 封装均已通过 VDE 认证” 1
 - 将“隔离器特性”表中的“最小内部间隙”值从 0.008 更改为 0.014..... 19
 - 将 V_{IORM} 规格从 1300 更改为 1200 (根据 VDE 认证) 19
 - 将 V_{PR} 规格从 2438 更改为 2250..... 19
 - 向“应用信息”一节中添加了“总线负载能力”段落..... 24
-

Changes from Revision A (Sept 2009) to Revision B (June 2010)
Page

- 添加了 IEC 60747-5-2 和 IEC61010-1 已获批准的信息..... 1
 - 将 DW 封装从预发布更改为量产数据..... 5
 - 添加了“绝缘特性”和“IEC 60664-1 等级”表..... 19
 - 添加了 IEC 文件编号..... 19
-

Changes from Revision * (June 2009) to Revision A (Sept 2009)
Page

- 向“特性”中添加了“额定工作电压下的使用寿命典型值为 25 年” 1
 - 添加了“预期寿命与工作电压间的关系”一节..... 22
-

5 引脚配置和功能

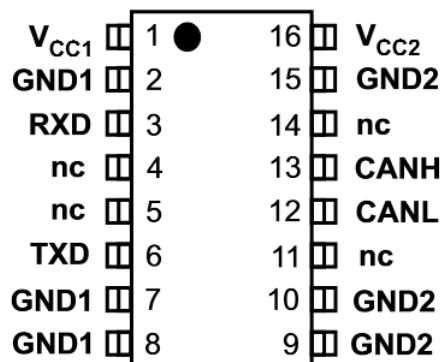


图 5-1. 16 引脚 DW 封装 顶视图

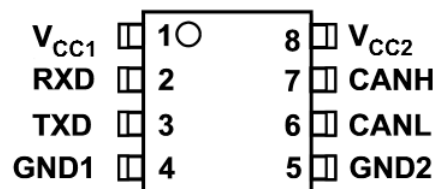


图 5-2. 8 引脚 DUB 封装 顶视图

表 5-1. 引脚功能

引脚			类型	说明
名称	DW	DUB		
V _{CC1}	1	1	电源	数字侧电源电压 (3V 至 5.5V)
GND1	2	—	接地	数字侧接地
RXD	3	2	O	CAN 接收数据输出 (显性总线状态下为低电平；隐性总线状态下为高电平)
NC	4	—	NC	无连接
NC	5	—	NC	无连接
TXD	6	3	I	CAN 发送数据输入 (显性总线状态下为低电平；隐性总线状态下为高电平)
电压	7	4	接地	数字侧接地
GND1	8	—	接地	数字侧接地
GND2	9	5	接地	收发器侧接地
GND2	10	—	接地	收发器侧接地
NC	11	—	NC	无连接
CANL	12	6	I/O	低电平 CAN 总线
CANH	13	7	I/O	高电平 CAN 总线
NC	14	—	NC	无连接
GND2	15	—	接地	收发器侧接地
V _{CC2}	16	8	电源	收发器侧电源电压 (5V)

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内 (除非另有说明) ^{(1) (2)}

		最小值	最大值	单位
V_{CC1}	电源电压, 1 侧	-0.5	6	V
V_{CC2}	电源电压, 2 侧	-0.5	6	V
V_{IO}	逻辑输入电压范围 (TXD)	-0.5	$V_{CC1}+0.5$ ⁽³⁾	V
V_{BUS}	总线引脚 (CANH、CANL) 上的电压	-27	40	V
I_O	RXD 引脚上的输出电流	-15	15	mA
T_J	结温	-55	150	°C
T_{STG}	贮存温度	-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子 (GND1 或 GND2) 的峰值电压值。

(3) 最大电压不得超过 6 V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电 人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准	所有引脚 ⁽¹⁾	±4000	V
$V_{(ESD)}$	静电放电 充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101	所有引脚 ⁽²⁾	±1500	V
$V_{(ESD)}$	静电放电 充电机模型, ANSI/ESDS5.2-1996	所有引脚 ⁽²⁾	±200	V

(1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	典型值	最大值	单位
V_{CC1}	电源电压, 1 侧	3		5.5	V
V_{CC2}	电源电压, 2 侧	4.75		5.25	V
V_I 或 V_{IC}	总线引脚电压 (独立或共模)	-12		12	V
V_{IH}	高电平输入电压 (TXD)	2		5.25	V
V_{IL}	低电平输入电压 (TXD)	0		0.8	V
V_{ID}	差分输入电压	-7		7	V
I_{OH}	高电平输出电流, 驱动器	-70			mA
I_{OH}	高电平输出电流, 接收器	-4			mA
I_{OL}	低电平输出电流, 驱动器			70	mA
I_{OL}	低电平输出电流, 接收器			4	mA
T_A	运行环境温度	-55		105	°C
T_J	结温	-55		125	°C
$T_{Jshut\downarrow}$	热关断温度		190		°C

6.4 热性能信息

热指标 ⁽¹⁾		ISO1050		单位
		DW	DUB	
		16 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	76.4	84.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	41	63.2	°C/W
$R_{\theta JB}$	结至电路板热阻	47.7	43	°C/W
Ψ_{JT}	结至顶部特征参数	17.2	27.4	°C/W
Ψ_{JB}	结至电路板特征参数	38.2	42.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗 (两侧)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^{\circ}C$, $R_L = 60\ \Omega$, TXD 为 5V , 500kHz 50% 占空比方波			200	mW
P_{D1}	最大功耗 (1 侧)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^{\circ}C$, $R_L = 60\ \Omega$, TXD 为 5V , 500kHz 50% 占空比方波			25	mW
P_{D2}	最大功耗 (2 侧)	$V_{CC1} = V_{CC2} = 5.25V$, $T_J = 150^{\circ}C$, $R_L = 60\ \Omega$, TXD 为 5V , 500kHz 50% 占空比方波			175	mW

6.6 绝缘规格

参数		测试条件	规格		单位
			DUB-8	DW-16	
IEC 60664-1					
CLR	外部间隙 ⁽¹⁾	1 侧到 2 侧的空间距离	>6.1	>8	mm
CPG	外部爬电距离 ⁽¹⁾	1 侧到 2 侧的封装表面距离	>6.8	>8	mm
DTI	绝缘穿透距离	最小内部间隙	>13.5	>13.5	μm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>600	>600	V
	材料组	符合 IEC 60664-1	I	I	
	过压类别	额定市电电压 ≤ 150V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 300V _{RMS}	I-III	I-III	
		额定市电电压 ≤ 600V _{RMS}	不适用	I-II	
		额定市电电压 ≤ 848 V _{RMS}	不适用	I	
DIN V VDE V 0884-11:2017-01 ⁽²⁾					
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	560	1200	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDb) 测试 ;	395	848	V _{RMS}
		直流电压	560	1200	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	4000	4000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	采用符合 IEC 62368-1 的测试方法, 1.2/50μs 波形, V _{TEST} = 1.6 x V _{IOSM} = 6.4kV _{PK} (鉴定测试)	4000	4000	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a : I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	pC
		方法 a : 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.3 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	
		方法 b : 常规测试 (100% 生产测试) ; V _{ini} = 1.2 x V _{IOTM} , t _{ini} = 1s ; V _{pd(m)} = 1.5 x V _{IORM} , t _m = 1s	≤ 5	≤ 5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin (2 π ft), f = 1MHz	1	1	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V, T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
		V _{IO} = 500V, 100°C ≤ T _A ≤ 150°C	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	> 10 ⁹	> 10 ⁹	
	污染等级		2	2	
	气候类别		40/125/21	40/125/21	
UL 1577					
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	2500	4243	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入坡口、肋或两者等技术用于帮助提高这些规格。
- (2) ISO1044 仅适用于安全等级范围内的基本电气绝缘。应借助合适的保护电路来确保符合安全等级。
- (3) 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- (4) 视在电荷是局部放电 (pd) 引起的电气放电。
- (5) 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 60950-1 和 IEC 62368-1 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB4943.1-2011 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
基础型绝缘 瞬态过压, 4000V _{PK} 浪涌电压, 4000V _{PK} 最大工作 电压, 1200V _{PK} (ISO1050DW) 和 560V _{PK} (ISO1050DUB)	ISO1050DW : 5000V _{RMS} 增强型绝缘 符合 IEC 60950-1 第 2 版 +A1+A2 和 IEC 62368-1:2014 标准的 380V _{RMS} 工作电压 符合 IEC 61010-1 第 3 版的 300V _{RMS} 工作电压 ISO1050DUB : 符合 IEC 60950-1 第 2 版 +A1+A2 的 2500VRMS 基 础型绝缘 符合 IEC 61010-1 第 3 版和 IEC 62368-1:2014 标准的工作 电压 700V _{RMS} 工作电压 600V _{RMS}	ISO1050DUB : 2500V _{RMS} 单一保护 ISO1050DW : 4243V _{RMS} 单一保护	ISO1050DW : 增强型绝缘, 海拔 ≤ 5000m, 热带 气候, 250V _{RMS} 最大工作电压	ISO1050DW : 5000V _{RMS} 增强型绝缘, 400V _{RMS} 最大工作 电压 5000V _{RMS} 基础型绝缘, 600V _{RMS} 最大工作 电压 ISO1050DUB : 2500V _{RMS} 增强型绝缘, 400V _{RMS} 最大工作 电压 2500V _{RMS} 基础型绝缘, 600V _{RMS} 最大工作 电压
证书编号 : 40047657	客户端 ID 编号 : 77311	主合同编号 : 220991	文件编号 : E181974	证书编号 : CQC14001109541

6.8 安全限值

安全限制⁽¹⁾旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DUB-8 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 84.3°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 6-1			269	mA
I _S	安全输入、输出或电源电流	R _{θJA} = 84.3°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 6-1			411	mA
T _S	最高安全温度				150	°C
DW-16 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 76.4°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C。请参阅图 6-2			297	mA
I _S	安全输入、输出或电源电流	R _{θJA} = 76.4°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 6-2			454	mA
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。

表中的结至空气热阻 R_{θJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：

T_J = T_A + R_{θJA} × P, 其中, P 为器件所耗功率。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S, 其中, T_{J(max)} 为允许的最大结温。

P_S = I_S × V_I, 其中, V_I 为最大输入电压。

6.9 电气特性 - 直流规格

典型规格都是在 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ 条件下的值, 最小值/最大值都是在建议运行条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I_{CC1}	电源电流, 1 侧	$V_I = 0V$ 或 V_{CC1} , $V_{CC1} = 3.3V$		1.8	3.6	mA
I_{CC1}	电源电流, 1 侧	$V_I = 0V$ 或 V_{CC1} , $V_{CC1} = 5.0V$		2.3	3.6	mA
I_{CC2}	电源电流, 2 侧	$V_I = 0V$, 总线显性, $R_L = 60\Omega$		52	73	mA
I_{CC2}	电源电流, 2 侧	$V_I = V_{CC1}$		8	12	mA
驱动器电气特性						
$V_{O(DOM)}$	总线输出电压 (显性), CANH	请参阅图 7-1 和图 7-2, $V_I = 0V$, $R_L = 60\Omega$	2.9	3.5	4.5	V
	总线输出电压 (显性), CANL	请参阅图 7-1 和图 7-2, $V_I = 0V$, $R_L = 60\Omega$	0.8	1.2	1.78	V
$V_{O(REC)}$	总线输出电压 (隐性), CANH 和 CANL	请参阅图 7-1 和图 7-2, $V_I = 2V$, $R_L = 60\Omega$	2.0	2.3	3.0	V
$V_{OD(DOM)}$	差分输出电压 (显性)	请参阅图 7-1 和图 7-2, $V_I = 0V$, $R_L = 60\Omega$	1.5		3.0	V
		请参阅图 7-1 和图 7-2, $V_I = 0V$, $R_L = 45\Omega$, $V_{CC} > 4.8V$	1.4		3.0	V
$V_{OD(REC)}$	差分输出电压 (隐性)	请参阅图 7-1 和图 7-2, $V_I = 3V$, $R_L = 60\Omega$	-120.0		12.0	mV
		$V_I = 3V$, 空载	-500.0		50.0	mV
$V_{OC(DOM)}$	共模输出电压 (显性)	请参阅图 7-8	2	2.3	3.0	V
$V_{OC(pp)}$	峰峰值共模输出电压	请参阅图 7-8		0.3		V
I_{IH}	高电平输入漏电流	$V_I = 2V$			5	μA
I_{IL}	低电平输入漏电流	$V_I = 0.8V$	-5			μA
$I_{O(off)}$	断电 TXD 漏电流	V_{CC1} 、 V_{CC2} 为 0V, TXD = 5V			10	μA
$I_{OS(ss)}$	短路电流稳态输出电流, 显性	请参阅图 7-11, CANH = -12V, CANL 开路	-105	-72		mA
		请参阅图 7-11, VCANH = 12V, CANL 开路		0.36	6.2	mA
		请参阅图 7-11, VCANL = -12V, CANH 开路	-1	-0.5		mA
		请参阅图 7-11, VCANL = 12V, CANH 开路		71	105	mA
CMTI	共模瞬态抗扰度	请参阅图 7-13, $V_I = V_{CC}$ 或 0V	25	50		kV/us
接收器电气特性						
V_{IT+}	正向总线输入阈值电压	请参阅表 1		750	900.0	mV
V_{IT-}	负向总线输入阈值电压		500.0	650		mV
V_{HYS}	差分输入阈值的迟滞电压			150		mV
V_{OH}	$V_{CC} = 5V$ 时的高电平输出电压	$I_O = -4mA$, 请参阅图 7-6	$V_{CC} - 0.8$	4.6		V
		$I_O = -20\mu A$, 请参阅图 7-6	$V_{CC} - 0.1$	5		V
V_{OH}	$V_{CC1} = 3.3V$ 时的高电平输出电压	$I_O = 4mA$, 请参阅图 7-6	$V_{CC} - 0.8$	3.1		V
		$I_O = 20\mu A$, 请参阅图 7-6	$V_{CC} - 0.1$	3.3		V
V_{OL}	低电平输出电压	$I_O = 4mA$, 请参阅图 7-6		0.2	0.4	V
		$I_O = 20\mu A$, 请参阅图 7-6		0	0.1	V
C_I	对地输入电容 (CANH 或 CANL)	TXD = 3V, $V_I = 0.4 \sin(4e6\pi t) + 2.5V$		12		pF
C_{ID}	差分输入电容	TXD = 3V, $V_I = 0.4 \sin(4e6\pi t)$		8		pF

典型规格都是在 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ 条件下的值，最小值/最大值都是在建议运行条件下的值（除非另有说明）

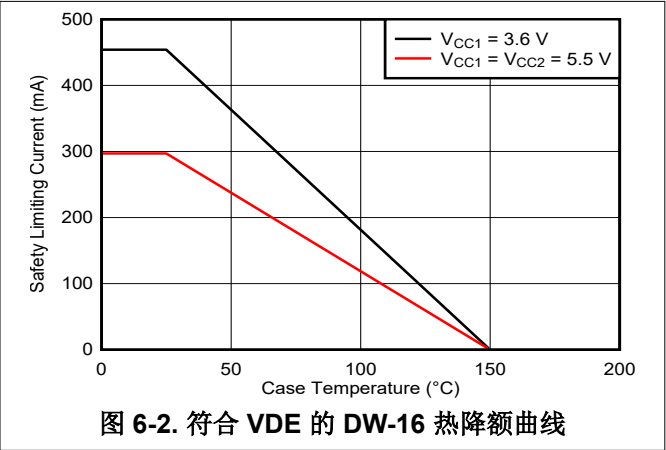
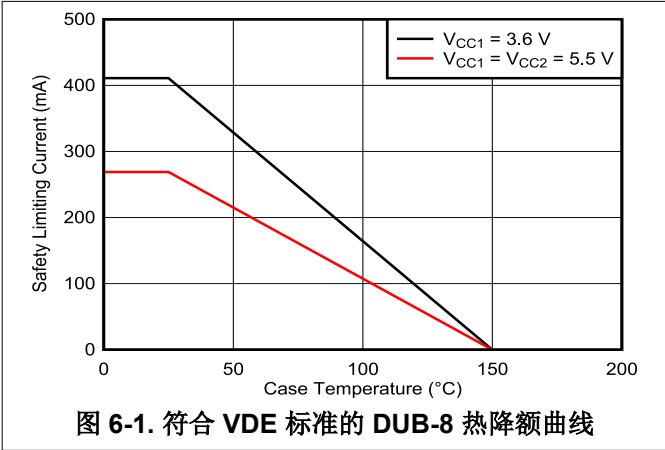
参数		测试条件	最小值	典型值	最大值	单位
R_{ID}	差分输入电阻	TXD = 3V	40		90	k Ω
R_{IN}	输入电阻 (CANH 或 CANL)	TXD = 3V	20		45	k Ω
$R_{IN(M)}$	输入电阻匹配： $(1 - R_{IN(CANH)}/R_{IN(CANL)}) \times 100\%$	$V_{CANH} = V_{CANL}$	-3		3	%
CMTI	共模瞬态抗扰度	请参阅图 7-13， $V_I = V_{CC}$ 或 0V	25	50		kV/us

6.10 开关特性

典型规格都是在 $V_{CC1} = 3.3V$ 、 $V_{CC2} = 5V$ 条件下的值，最小值/最大值都是在建议运行条件下的值（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
$t_{PROP(LOO P1)}$	总环路延迟，驱动器输入 TXD 至接收器 RXD，隐性状态至显性状态	请参阅图 7-9	100	150	210	ns
$t_{PROP(LOO P2)}$	总环路延迟，驱动器输入 TXD 至接收器 RXD，显性状态至隐性状态	请参阅图 7-9	112	150	210	ns
驱动器开关特性						
t_{PLH}	传播延迟时间，隐性至显性输出	请参阅图 7-4		74	110	ns
t_{PHL}	传播延迟时间，显性至隐性输出			82	110	
t_R	差分输出信号上升时间			20	50	
t_F	差分输出信号下降时间			52	63	
t_{TXD_DTO}	显性超时	$C_L = 100pF$ ，请参阅图 7-10	1.2		4	ms
接收器开关特性						
t_{PLH}	传播延时，低至高电平输出	TXD 为 3V，请参阅图 7-6	66	90	130	ns
t_{PHL}	传播延时，高至低电平输出		51	80	105	ns
t_R	输出信号上升时间 (RXD)			3	6	ns
t_F	输出信号下降时间 (RXD)			3	6	ns
t_{fs}	总线侧断电导致的失效防护输出延迟时间	V_{CC1} 为 5V，请参阅图 7-12		6		us

6.11 绝缘特性曲线



6.12 典型特性

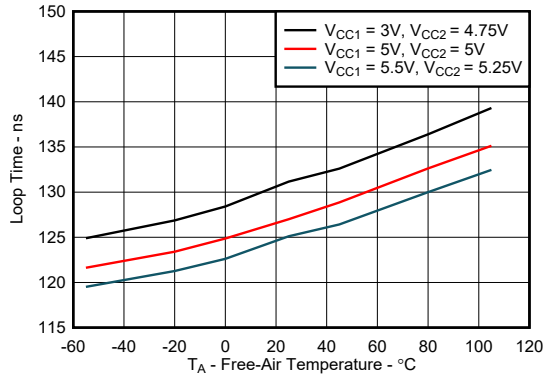


图 6-3. 隐性至显性环路时间与自然通风温度间的关系 (在整个 Vcc 范围内)

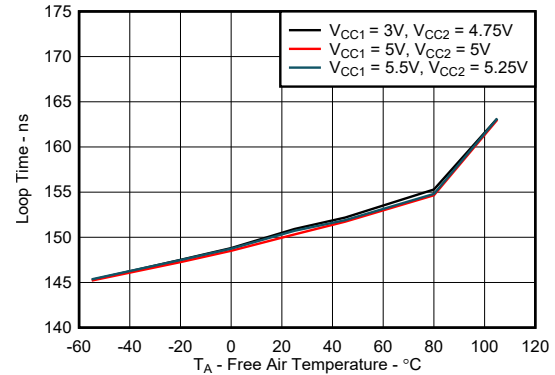


图 6-4. 显性至隐性环路时间与自然通风温度间的关系 (在整个 Vcc 范围内)

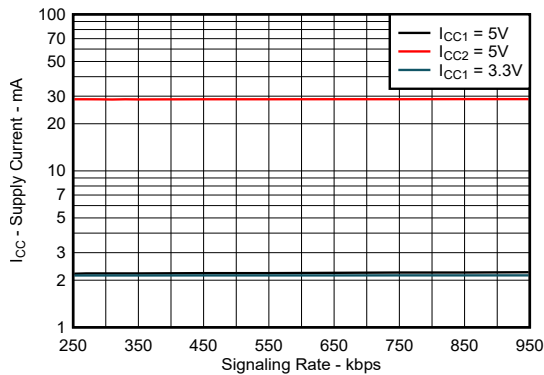


图 6-5. 电源电流 (RMS) 与信号传输速率 (kbps) 间的关系

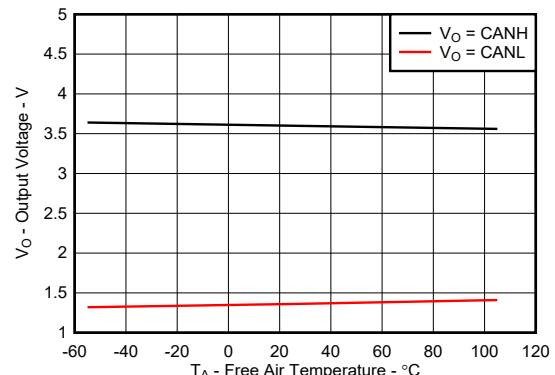


图 6-6. 驱动器输出电压与自然通风温度间的关系

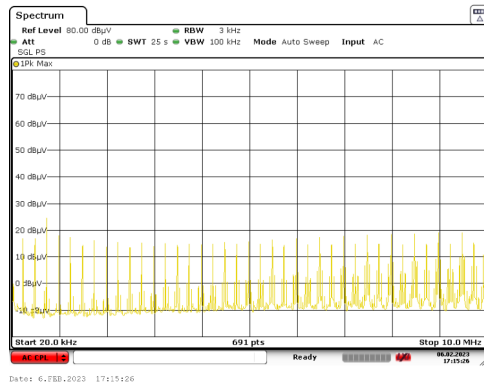


图 6-7. 发射频谱达 10MHz

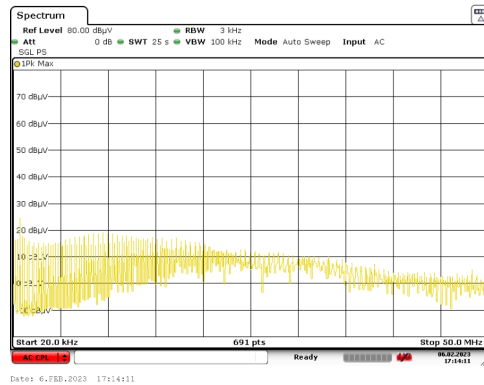


图 6-8. 发射频谱达 50MHz

7 参数测量信息

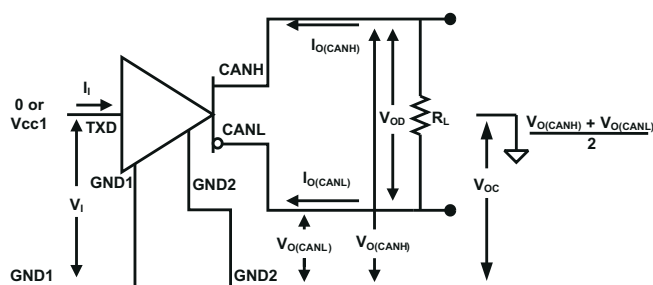


图 7-1. 驱动器电压、电流和测试定义

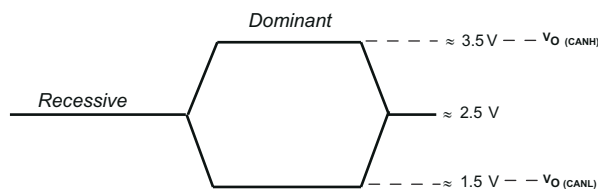


图 7-2. 总线逻辑状态电压定义

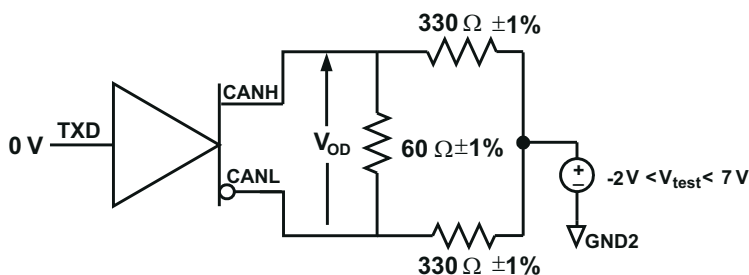
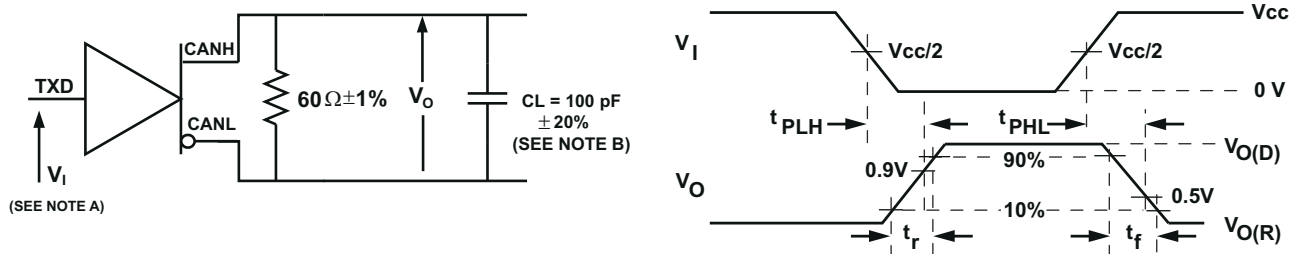


图 7-3. 采用共模负载测试电路的驱动器 V_{OD}



- A. 输入脉冲由具有以下特性的发生器提供：PRR $\leq$ 125kHz，50% 占空比， $t_r \leq$ 6ns， $t_f \leq$ 6ns， $Z_O = 50\Omega$ 。
- B. C_L 包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 7-4. 驱动器测试电路和电压波形

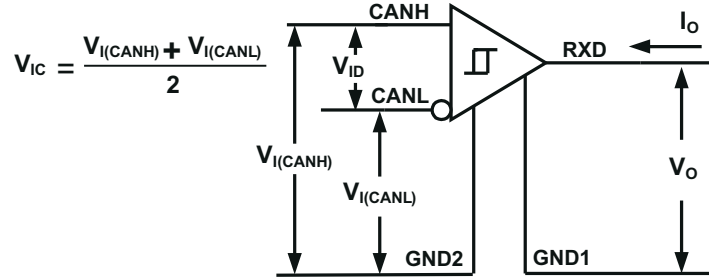
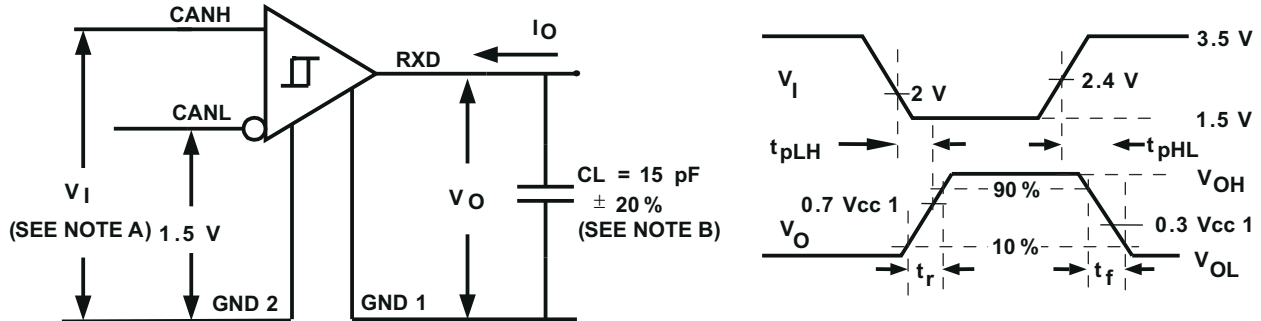


图 7-5. 接收器电压和电流定义

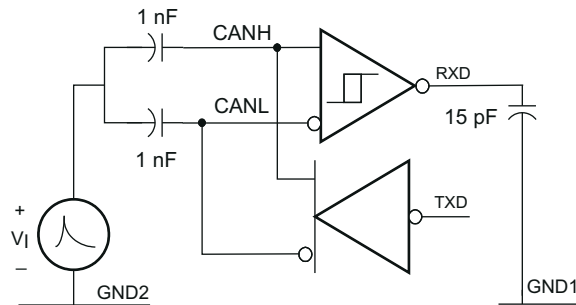


- A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 125kHz，50% 占空比， $t_r \leq 6\text{ns}$ ， $t_f \leq 6\text{ns}$ ， $Z_O = 50\Omega$ 。
B. C_L 包含 ±20% 范围内的仪表和设备电容。

图 7-6. 接收器测试电路和电压波形

表 7-1. 差分输入电压阈值测试

输入			输出	
V_{CANH}	V_{CANL}	$ V_{ID} $	R	
-11.1 V	-12 V	900mV	L	V_{OL}
12V	11.1 V	900mV	L	
-6 V	-12 V	6V	L	
12V	6V	6V	L	
-11.5 V	-12 V	500mV	H	V_{OH}
12V	11.5 V	500mV	H	
-12 V	-6 V	-6 V	H	
6V	12V	-6 V	H	
开路	开路	X	H	



The waveforms of the applied transients are in accordance with ISO 7637 part 1, test pulses 1, 2, 3a, and 3b.

图 7-7. 瞬态过压测试电路

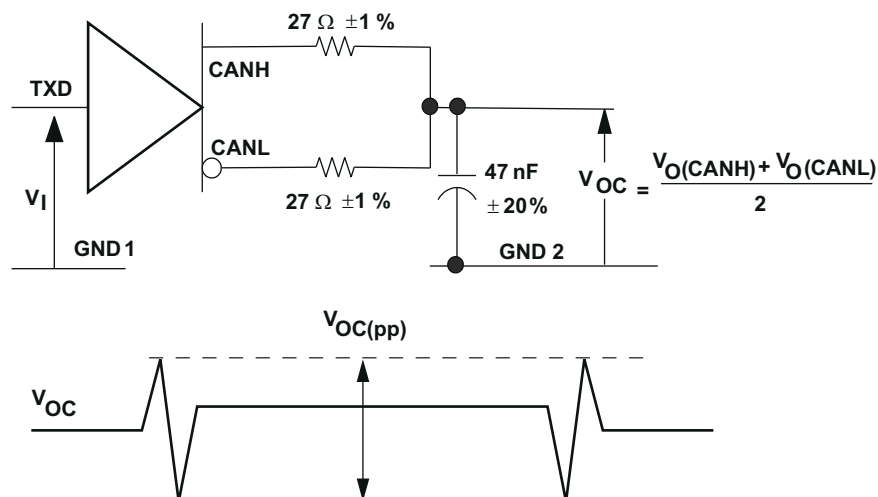
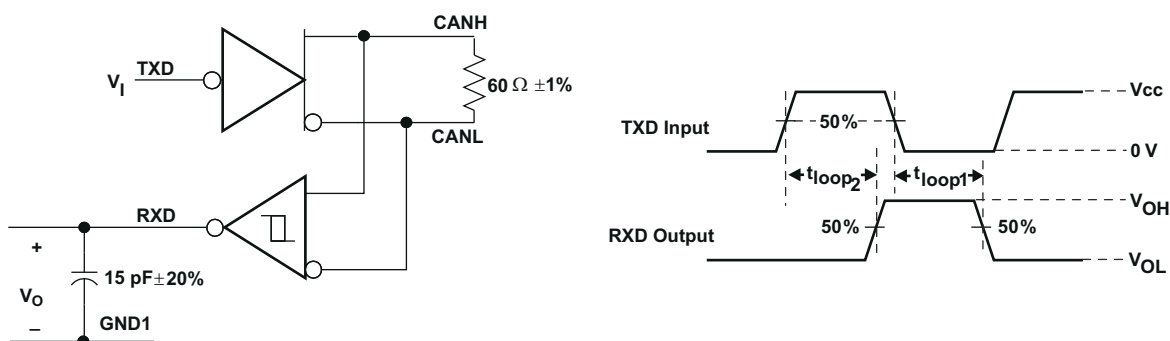
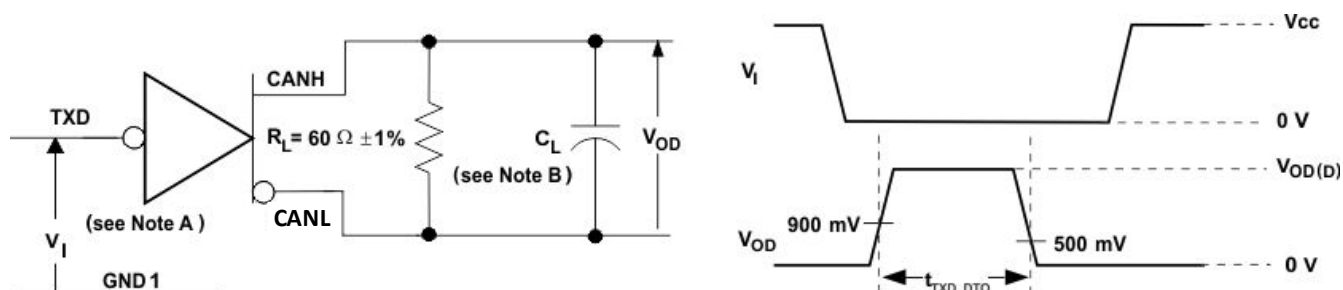


图 7-8. 峰峰值输出电压测试电路和波形

图 7-9. t_{LOOP} 测试电路和电压波形

A. 提供输入脉冲的发生器具有以下特性： $t_r \leq 6\text{ns}$ ， $t_f \leq 6\text{ns}$ ， $Z_O = 50\Omega$ 。

B. C_L 包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 7-10. 显性超时测试电路和电压波形

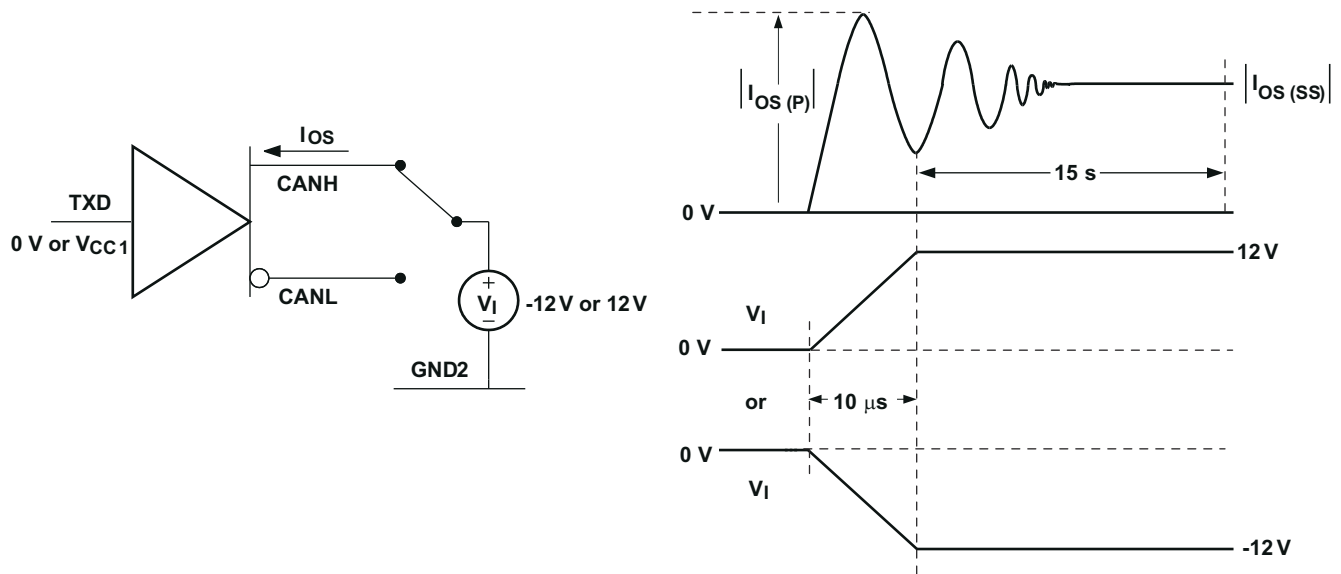


图 7-11. 驱动器短路电流测试电路和波形

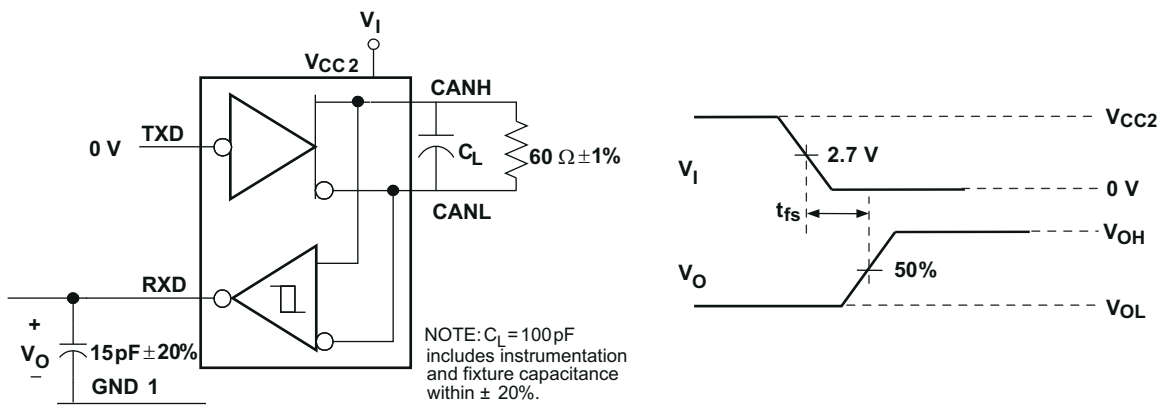


图 7-12. 失效防护延时时间测试电路和电压波形

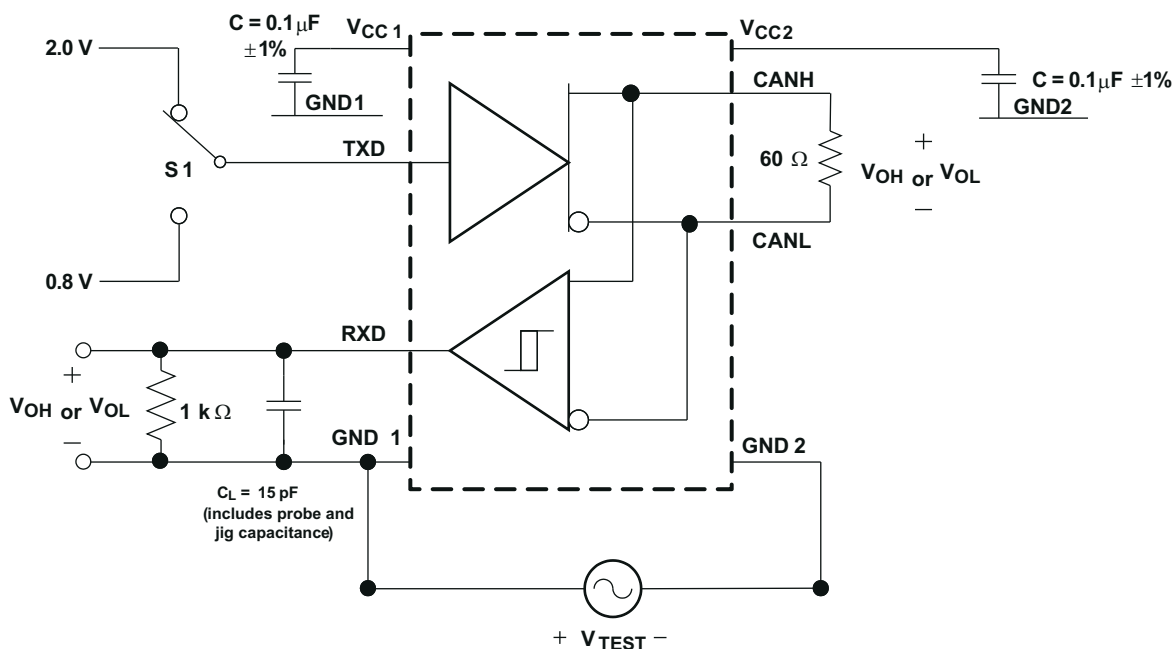


图 7-13. 共模瞬态抗扰度测试电路

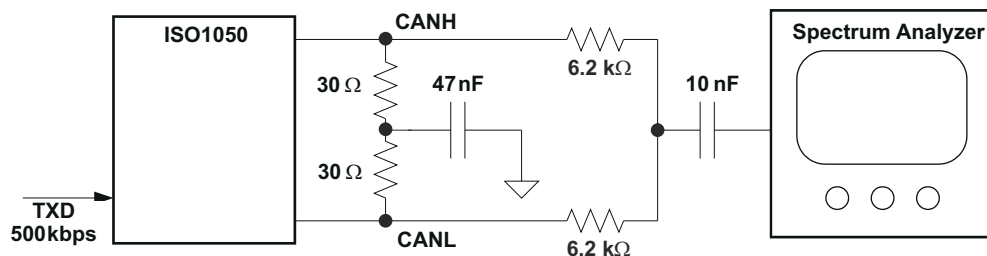


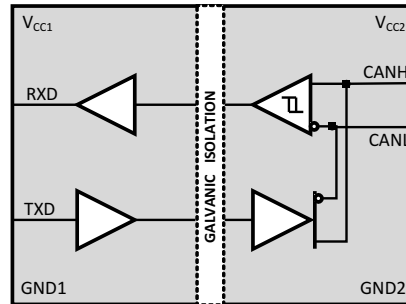
图 7-14. 电磁辐射测量设置

8 详细说明

8.1 概述

ISO1050 是一款数字隔离式 CAN 收发器，其典型瞬态抗扰度为 $50\text{kV}/\mu\text{s}$ 。该器件可由 1 侧的 3.3V 电源和 2 侧的 5V 电源供电。这对于在恶劣工业环境中运行的应用尤其有利，因为 1 侧的 3.3V 电源支持连接到低压微控制器以实现省电，而 2 侧的 5V 电源则可以保持总线信号的高信噪比。

8.2 功能方框图



8.3 特性说明

8.3.1 CAN 总线状态

CAN 总线在运行期间有两种状态：显性和隐性。当总线由驱动器进行差分驱动时，总线处于显性状态，相当于逻辑低电平。当总线通过接收器的高阻内部输入电阻偏置到 $V_{CC}/2$ 共模电压时，总线处于隐性状态，相当于逻辑高电平。CAN 节点的主机微处理器将使用 TXD 引脚来驱动总线，并在 RXD 引脚上接收总线数据。请参见图 8-1 和图 8-2。

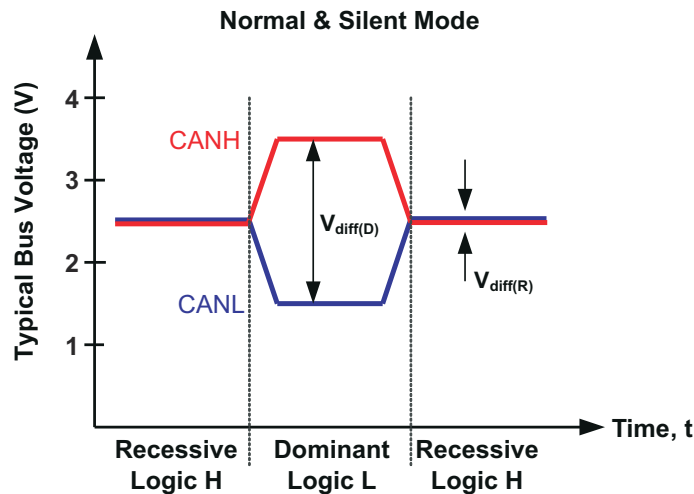


图 8-1. 总线状态 (物理位表示)

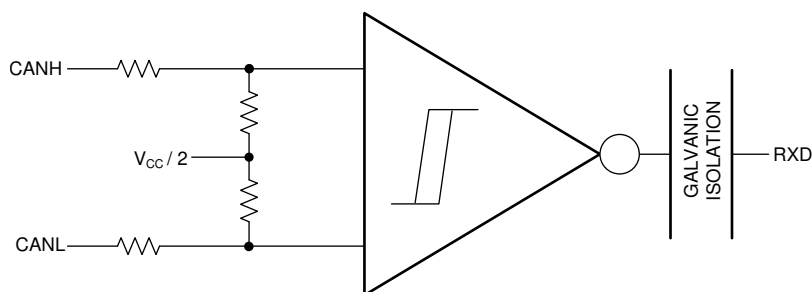


图 8-2. 简化的隐性共模偏置和接收器

8.3.2 数字输入与输出

TXD (输入) 和 RXD (输出) :

该器件的隔离式数字输入和输出侧的 V_{CC1} 可由 3.3V 或 5V 电源供电，因此数字输入和输出兼容 3.3V 和 5V。

备注

TXD 以非常弱的强度在内部上拉至 V_{CC1} 。应使用外部上拉电阻来确保 TXD 偏置为隐性（高）电平，从而在微处理器不控制引脚且 TXD 悬空时避免总线上出现问题。该器件与微处理器 CAN 控制器上的开漏 TXD 输出搭配使用时，需要特别注意 TXD 上拉强度和 CAN 位时序。必须使用足够大的外部上拉电阻，以确保微处理器的 TXD 输出为收发器上的输入保持足够的位时序输入。

8.3.3 保护特性

8.3.3.1 TXD 显性超时 (DTO)

TXD DTO 电路可防止本地节点在发生硬件或软件故障（TXD 保持显性状态的时间超过超时周期 t_{TXD_DTO} ）时阻塞网络通信。TXD DTO 电路计时器从 TXD 上的下降沿开始计时。如果在超时周期到期前未出现上升沿，TXD DTO 电路会禁用 CAN 总线驱动器。这样可释放总线，供网络上的其他节点进行通信。CAN 驱动器在 TXD 引脚上出现隐性信号时重新激活，从而清除 TXD DTO 状态。接收器和 RXD 引脚仍反映 CAN 总线状态，总线引脚会在 TXD 显性超时期间偏置为隐性电平。

备注

TXD DTO 电路所允许的最短显性 TXD 时间限制了器件的最低数据发送速率。CAN 协议允许（TXD 上）在最差情况下最多可有 11 个连续显性位，其中 5 个连续显性位后面紧接一个错误帧。该条件与 t_{TXD_DTO} 最小值一同限制了最低数据速率。最小发送数据速率的计算公式为：Minimum Data Rate = $11 / t_{TXD_DTO}$

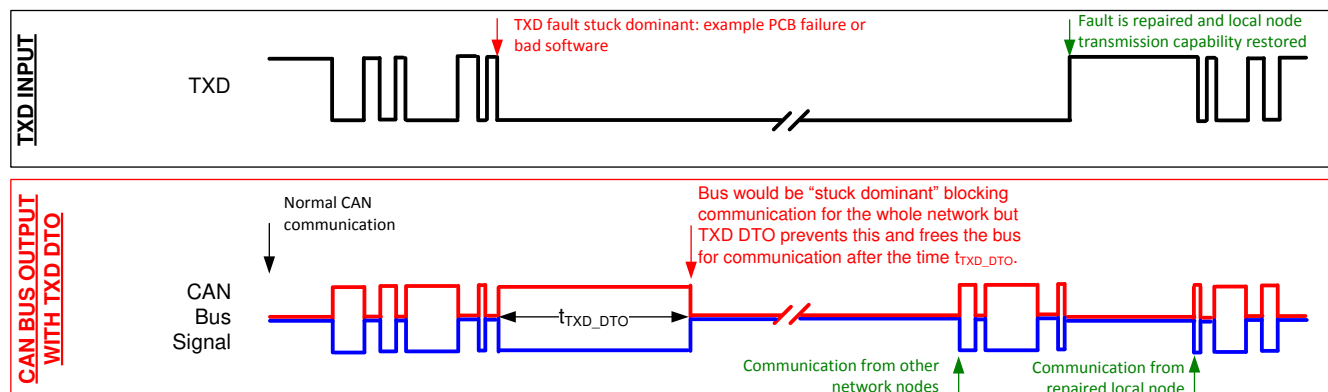


图 8-3. TXD DTO 时的器件时序图示例

8.3.3.2 热关断

如果器件的结温超过热关断阈值，器件将关断 CAN 驱动器电路，从而阻断 TXD 到总线的传输路径。当结温降至器件热关断温度以下时，关断条件将消失。如果故障条件仍存在，则温度可能会再次上升，器件将再次进入热关断状态。在热关断条件下继续运行可能会影响器件可靠性。

备注

在热关断期间，CAN 总线驱动器关断，因此无法进行从 TXD 到总线之间的传输。CAN 总线引脚在热关断期间偏置为隐性电平，接收器到 RXD 之间的路径会保持畅通。

8.3.3.3 欠压锁定和失效防护

电源引脚具备欠压检测功能，可将器件置于受保护状态或失效防护模式。这样可在 V_{CC1} 或 V_{CC2} 电源引脚上发生欠压事件时保护总线。如果总线侧电源 V_{CC2} 低于 4V，ISO1050 中的电源关断电路将禁用收发器，以防由于电源不稳定而导致误传输。在发生这种情况时，如果 V_{CC1} 仍处于活动状态，则接收器输出 (RXD) 将在大约 6 微秒内达到失效防护高电平 (隐性) 值。

表 8-1. 欠压锁定和失效防护

V_{CC1}	V_{CC2}	器件状态	总线输出	RXD
良好	合理	功能模式	各器件状态和 TXD	反映总线
不佳	合理	受保护	隐性	高阻态 (三态)
合理	不佳	受保护	高阻态	隐性 (失效防护高电平)

备注

当欠压条件消失且电源恢复到有效电平后，器件通常会在 300 μ s 内恢复正常运行

8.3.3.4 悬空引脚

在关键引脚上应使用上拉和下拉电阻，以便在引脚悬空时将器件置于已知状态。当微处理器引脚输出悬空时，应通过一个电阻将 TXD 引脚上拉至 V_{CC1} ，以强制输入电平为隐性电平。

8.3.3.5 CAN 总线短路限流

该器件有多种保护特性可以在 CAN 总线短路时限制短路电流，其中包括驱动器限流功能 (显性和隐性)。该器件还具有 TXD 显性状态超时功能，可防止在系统故障期间显性状态的短路电流始终过高。在 CAN 通信期间，会通过数据和控制字段位让总线在显性与隐性状态间切换，因此可将短路电流视为这两种总线状态期间的瞬时电流或者视为平均直流电流。出于端接电阻和共模扼流器额定值中的系统电流 (电源) 和功率方面的考虑，应使用平均短路电流。根据 CAN 帧中的数据以及协议和 PHY 的以下因素 (将隐性或显性强制为固定次数) 确定显性与隐性的比值：

- 控制字段与设置位
- 位填充
- 帧间间隔
- TXD 显性超时 (故障情况限制)

这些限制确保了总线上最少具有一定的隐性状态持续时间，即使数据字段包含很高的显性位百分比时也是如此。

备注

总线的短路电流取决于隐性位与显性位的比率以及它们对应的短路电流。平均短路电流的计算公式如下：

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}]$$

其中

- $I_{OS(AVG)}$ 为平均短路电流。
- $\%Transmit$ 为节点发送 CAN 报文所占的百分比。
- $\%Receive$ 为节点接收 CAN 报文所占的百分比
- $\%REC_Bits$ 为所发送 CAN 报文中的隐性位所占百分比
- $\%DOM_Bits$ 为所发送 CAN 报文中的显性位所占百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流。
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流。

备注

规划端接电阻和其他网络组件的功耗额定值时，需考虑短路电流以及可能的网络故障情况。

8.4 器件功能模式

表 8-2. 驱动器功能表

输入 TXD ⁽¹⁾	输出		驱动总线状态
	CANH ⁽¹⁾	CANL ⁽¹⁾	
L	H	低电平	显性
H	Z	Z	隐性

(1) H = 高电平, L = 低电平, Z = 共模 (隐性) 偏置到 $V_{CC}/2$ 。有关总线状态和共模偏置的信息, 请参见图 8-1 和图 8-2。

表 8-3. 接收器功能表

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 引脚 ⁽¹⁾
正常或静音	$V_{ID} \geq 0.9V$	显性	L
	$0.5V < V_{ID} < 0.9V$	?	?
	$V_{ID} \leq 0.5V$	隐性	H
	开路 ($V_{(ID)} \approx 0V$)	开路	H

(1) H = 高电平, L = 低电平, ? = 不确定。

表 8-4. 功能表

驱动器			接收器			
输入	输出		总线状态	差分输入 $V_{ID} = CANH - CANL$	输出 RXD	总线状态
TXD	CANH	CANL				
L ⁽¹⁾	H	L	显性	$V_{ID} \geq 0.9V$	L	显性
H	Z	Z	隐性	$0.5V < V_{ID} < 0.9V$	?	?
开路	Z	Z	隐性	$V_{ID} \leq 0.5V$	H	隐性
X	Z	Z	隐性	开路	H	隐性

(1) 逻辑低电平脉冲, 防止显性超时。

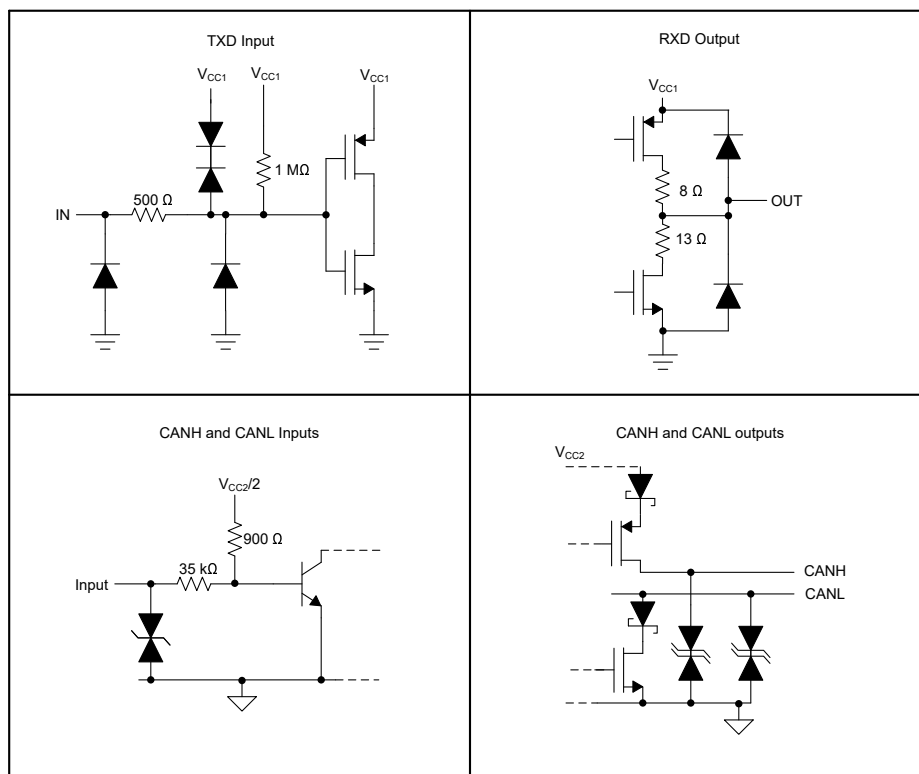


图 8-4. 等效 I/O 原理图

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

ISO1050 可与 TI 的其他元件（例如微控制器、变压器驱动器和线性稳压器）搭配用于构建完全隔离式 CAN 接口。

9.2 典型应用

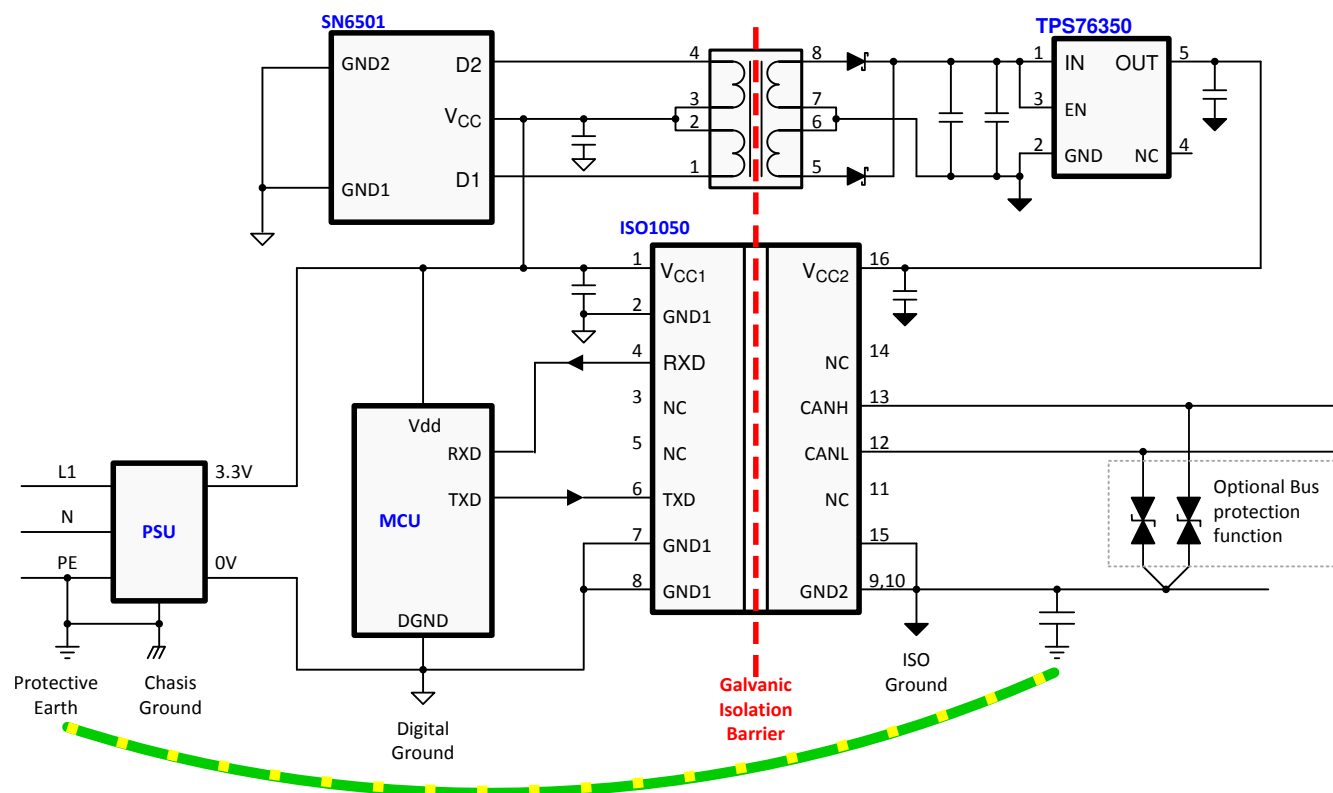


图 9-1. 应用电路

9.2.1 设计要求

不同于需要多个外部元件来提高性能、提供偏置或限制电流的光耦合器解决方案，ISO1050 只需两个外部旁路电容器即可工作。

9.2.2 详细设计过程

9.2.2.1 总线负载能力、长度和节点数

ISO11898 标准规定，总线长度最大为 40m，桩线长度最大为 0.3m，节点数最多为 30 个。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 ISO1050。

许多 CAN 组织和标准已将 CAN 扩展至原始 ISO11898 标准之外的应用。它们在系统层面对总线的数据速率、电缆长度和寄生负载方面进行了权衡。这些规范的一些示例包括 ARINC825、CANopen、CAN Kingdom、DeviceNet 和 NMEA200。

CAN 网络设计需要做出一系列的权衡，但这些器件可在 -12V 至 12V 的宽共模范围内运行。ISO11898-2 指定了负载为 60Ω （两个 120Ω 端接电阻进行并联）时的驱动器差分输出，差分输出必须大于 1.5V 。ISO1050 指定了负载为 60Ω 时需要满足 1.5V 要求，并且在负载为 45Ω 时差分输出为 1.4V 。ISO1050 的差分输入阻抗至少为 $30\text{k}\Omega$ 。如果总线上并联了 167 个 ISO1050 收发器，则其等效差分负载为 180Ω 。 180Ω 的收发器负载与 60Ω 并联后得到 45Ω 的总负载。因此，ISO1050 理论上在单个总线段上支持超过 167 个收发器，但针对每个节点的 1.2V 最小差分输入，会留有一定的裕度。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常会减少很多。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过原始 ISO11898 标准规定的 40m 。例如，CANopen 网络设计指南允许通过更改端接电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km 。

这种 CAN 网络设计灵活性是基于原始 ISO11898 CAN 标准的各种扩展和附加标准的关键优势之一。这种灵活性在完成良好网络设计的重要因素。

9.2.2.2 CAN 端接

ISO11898 标准指定采用具有 120Ω 特性阻抗 (Z_0) 的单根双绞线电缆（屏蔽或非屏蔽）进行互连。电缆两端应采用阻值等于线路特性阻抗的电阻进行端接以避免信号反射。连接节点与总线的无端接分支线（桩线）应尽可能短，以便更最大限度地减少信号反射。端接可在节点中进行，但如果有可能从总线上移除节点，则必须谨慎进行端接，以免将其从总线上移除。

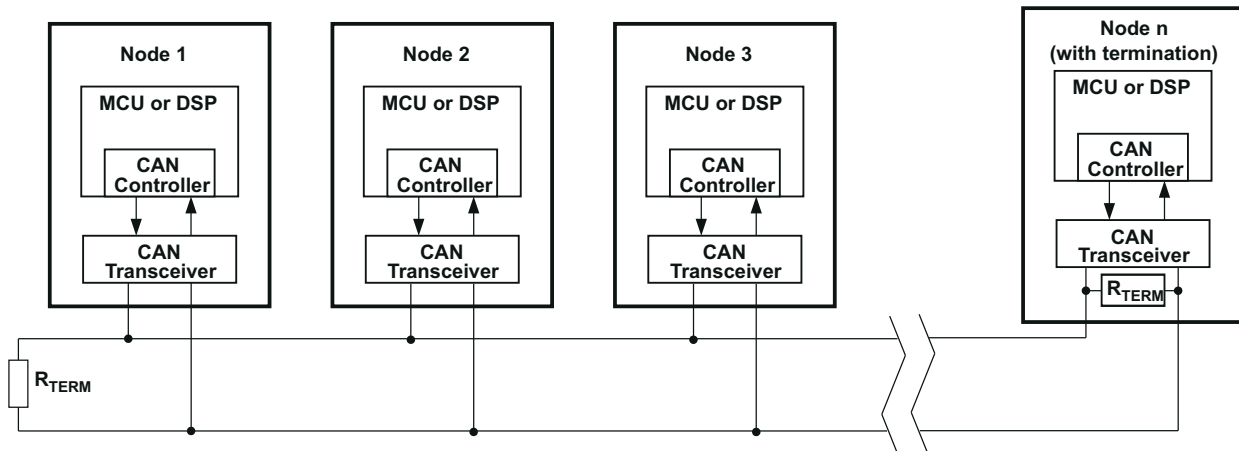


图 9-2. 典型 CAN 总线

总线末端可以采用单个 120Ω 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂端接方式。（请参见图 9-3）。分裂端接可消除开始和结束消息传输时出现的总线共模电压波动，从而改善网络的电磁辐射性能。

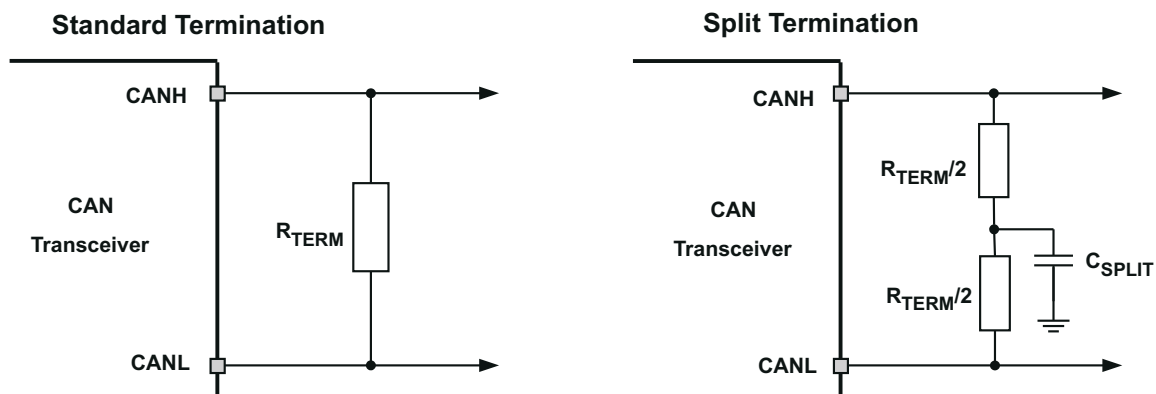
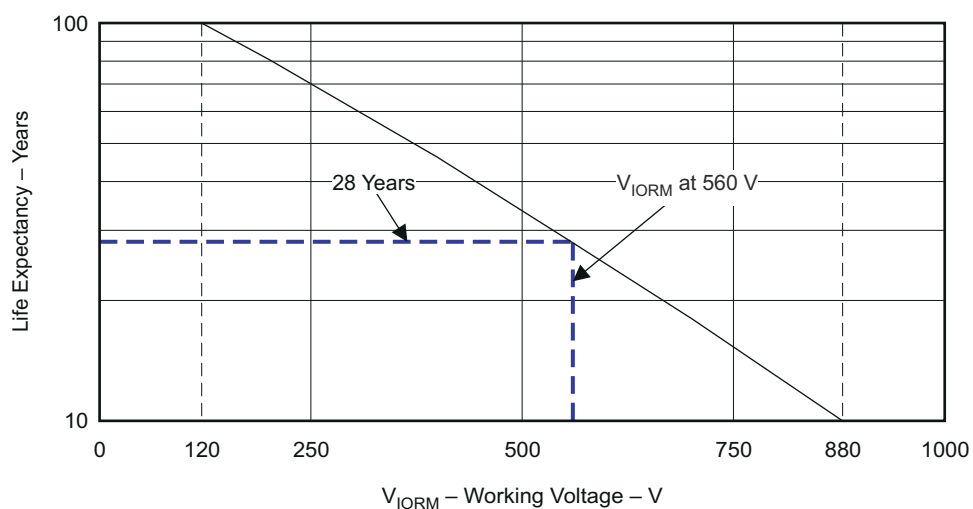


图 9-3. CAN 总线端接概念

9.2.3 应用曲线



G001

图 9-4. 预期寿命与工作电压间的关系 (ISO1050DUB)

10 电源相关建议

10.1 一般建议

为确保在所有数据速率和电源电压条件下都能可靠运行，建议将 $0.1\mu\text{F}$ 旁路电容器放置在输入和输出电源引脚 (V_{CC1} 和 V_{CC2}) 处。电容器应尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可使用德州仪器 (TI) 基于 [SN6505](#) 和 [SN6501](#) 的电源解决方案为次级侧生成隔离式电源。对于此类应用，[SN6505](#) 和 [SN6501](#) 数据表 ([SLLSEP9](#) 和 [SLLSEA0](#)) 中提供了详细的电源设计和变压器选择建议。

10.2 电源放电

为了确保断电后的正常重新初始化时间，ISO1050 的电源需要放电至 0.3V 以下，并尽可能接近 0V ，以确保不会发生通信延迟。图 10-1 展示了各种电源斜降情况及其对通信延迟的影响。

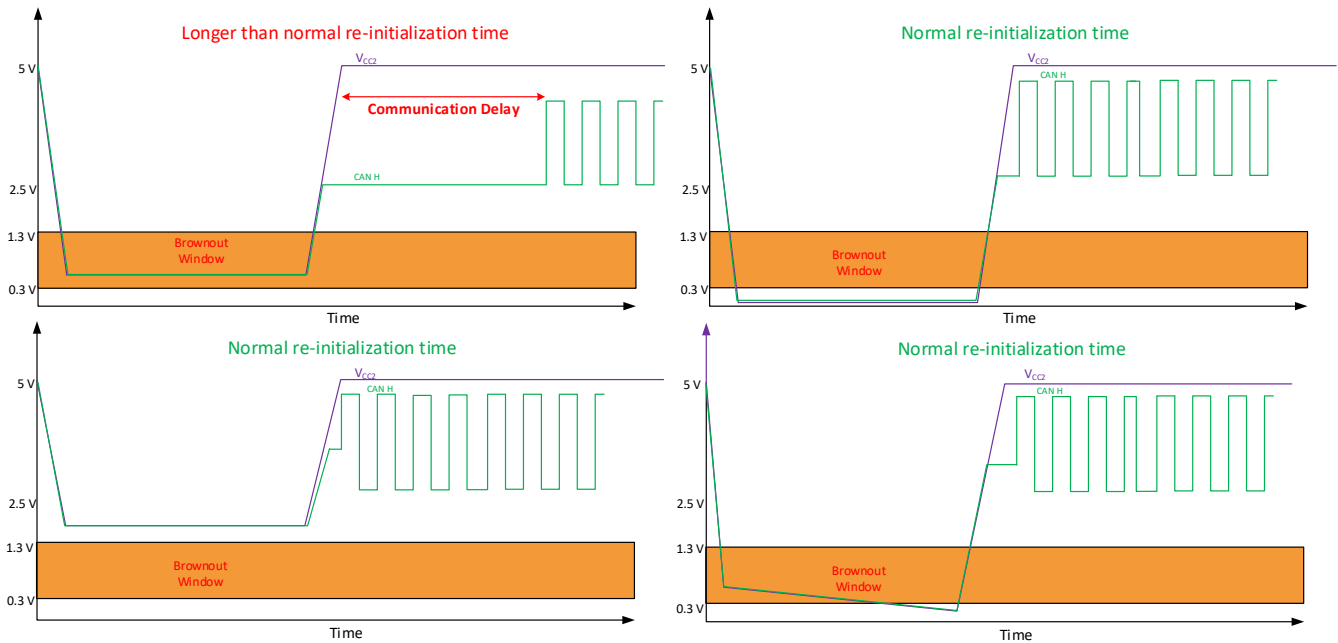


图 10-1. 电源斜降和通信延迟行为

欠压窗口 (典型值为 0.3V 至 1.3V) 代表一个电压范围，如果 V_{CC2} 在此电压范围上电，重新初始化时间可能超出正常值。[ISO1042](#) 器件不存在这种行为，这是一款升级版器件，具有更高的隔离等级、 5Mbps 的 CAN FD 速度、更高的总线故障保护电压、更强的 EMC 性能以及更小的封装选项。对于所有新的隔离式 CAN 设计，建议使用 [ISO1042](#)。如果必须使用 [ISO1050](#)，请确保 V_{CC2} 放电至 0V ，以便重新初始化时间不会超出比正常值。如果无法通过配置电源来使 V_{CC2} 自行放电至 0.3V 以下，请在 V_{CC2} 和 GND2 之间采用一个泄放电阻器。选择的泄放电阻值应确保 V_{CC2} 能够快速降至欠压窗口以下，以便支持系统可能允许的任何电源中断或断电序列。电阻越低， V_{CC2} 放电至 0V 的速度越快，但代价是功耗提升。对于许多系统而言， $2\text{k}\Omega$ 的泄放电阻值能够满足需求。

11 布局

11.1 布局指南

至少需要四层才能实现低 EMI PCB 设计 (请参阅图 11-1)。层堆叠应符合以下顺序 (从上到下)：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速迹线可避免使用过孔 (以及引入其电感)，并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 通过在高速信号层旁边放置一个实心接地平面，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约 100 pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压平面或信号层，请在堆栈中添加另一个电源/接地平面系统，以使其保持对称。这样可使堆栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源平面和接地平面可以放置得更靠近彼此，从而显著增大高频旁路电容。

如需详细的布局建议，请参阅应用手册 [SLLA284](#) (数字隔离器设计指南)。

11.1.1 PCB 材料

对于运行速度低于 150Mbps (或上升和下降时间高于 1ns) 且布线长度长达 10 英寸的数字电路板，请使用标准 FR-4 环氧玻璃作为 PCB 材料。FR-4 (阻燃剂 4) 符合美国保险商实验室 UL94-V0 的要求，并且由于其在高频下的介电损耗较低，吸湿性较低，强度和刚度较大，具有自熄性阻燃特性，因此优于较便宜的替代产品。

11.2 布局示例

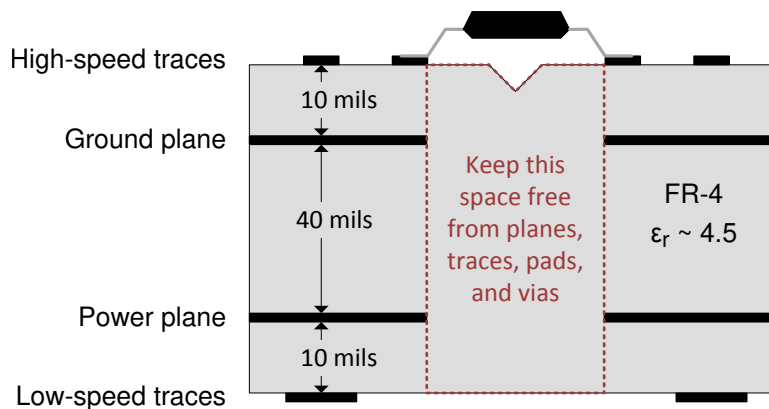


图 11-1. 建议的层堆叠

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

- 德州仪器 (TI), [ISO72x 系列数字隔离器高压使用寿命 应用报告](#)
- 德州仪器 (TI), [SN6505x 用于隔离式电源的低噪声 1A 变压器驱动器 数据表](#)
- 德州仪器 (TI), [用于隔离式电源的变压器驱动器 数据表](#)
- 德州仪器 (TI), [数字隔离器设计指南 应用报告](#)
- 德州仪器 (TI), [隔离相关术语应用报告](#)

12.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

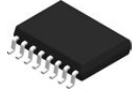
ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

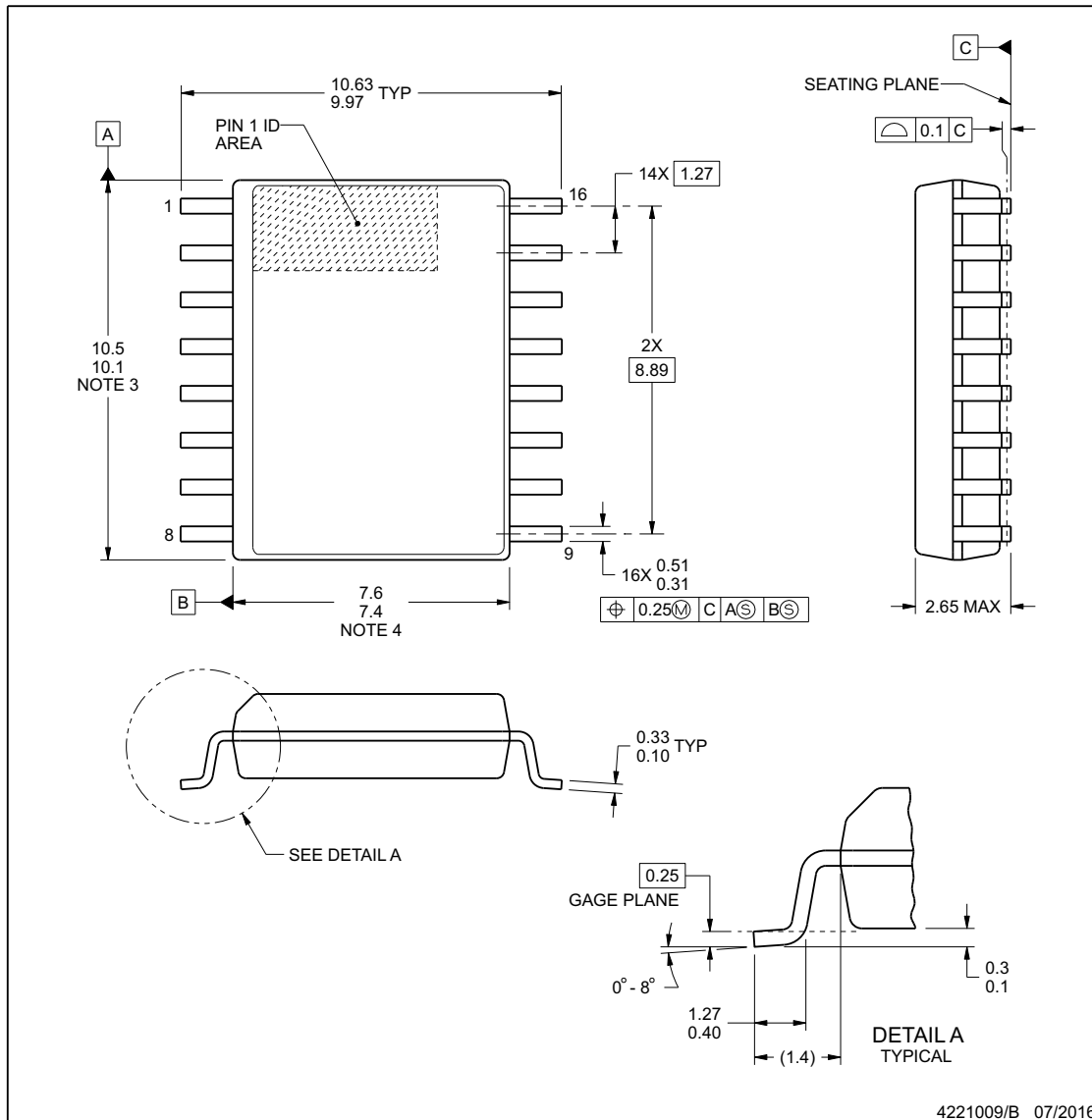
[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

**DW0016B**
PACKAGE OUTLINE
SOIC - 2.65 mm max height

SOIC

**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

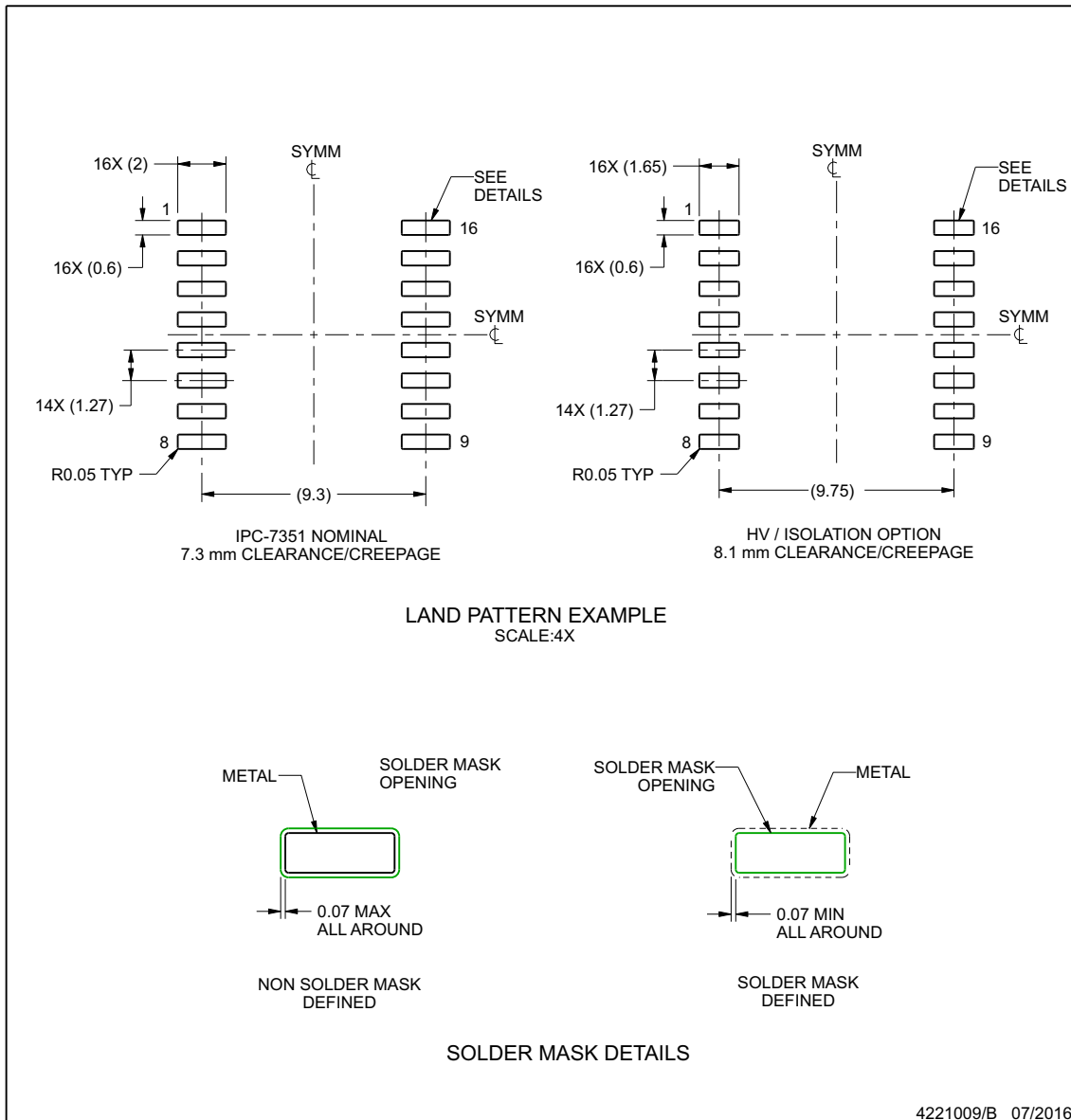
www.ti.com

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



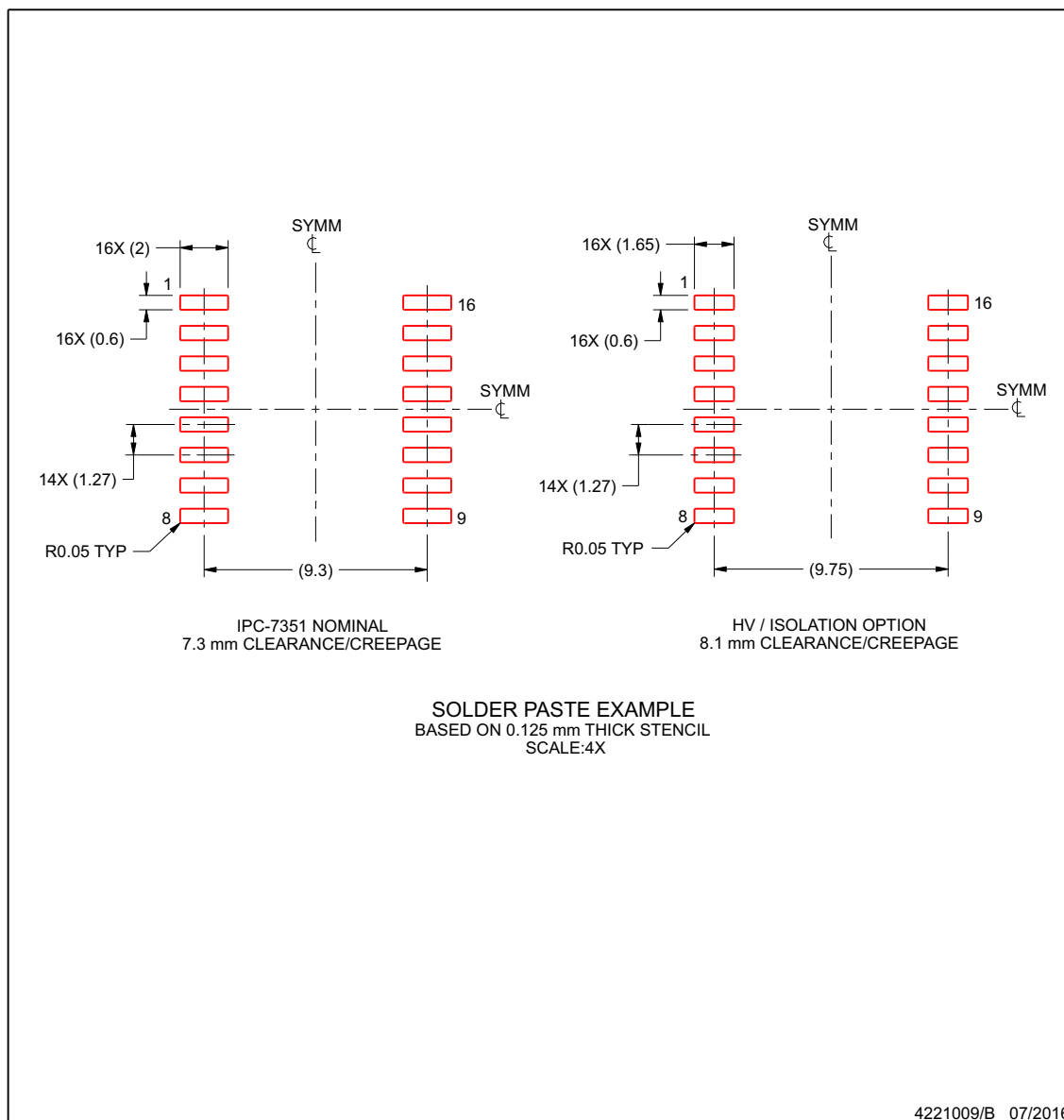
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

www.ti.com

EXAMPLE STENCIL DESIGN**DW0016B****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ISO1050DUBR	ACTIVE	SOP	DUB	8	350	RoHS & Green	NIPDAU	Level-4-260C-72 HR	-55 to 105	ISO1050	Samples
ISO1050DWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-55 to 105	ISO1050	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

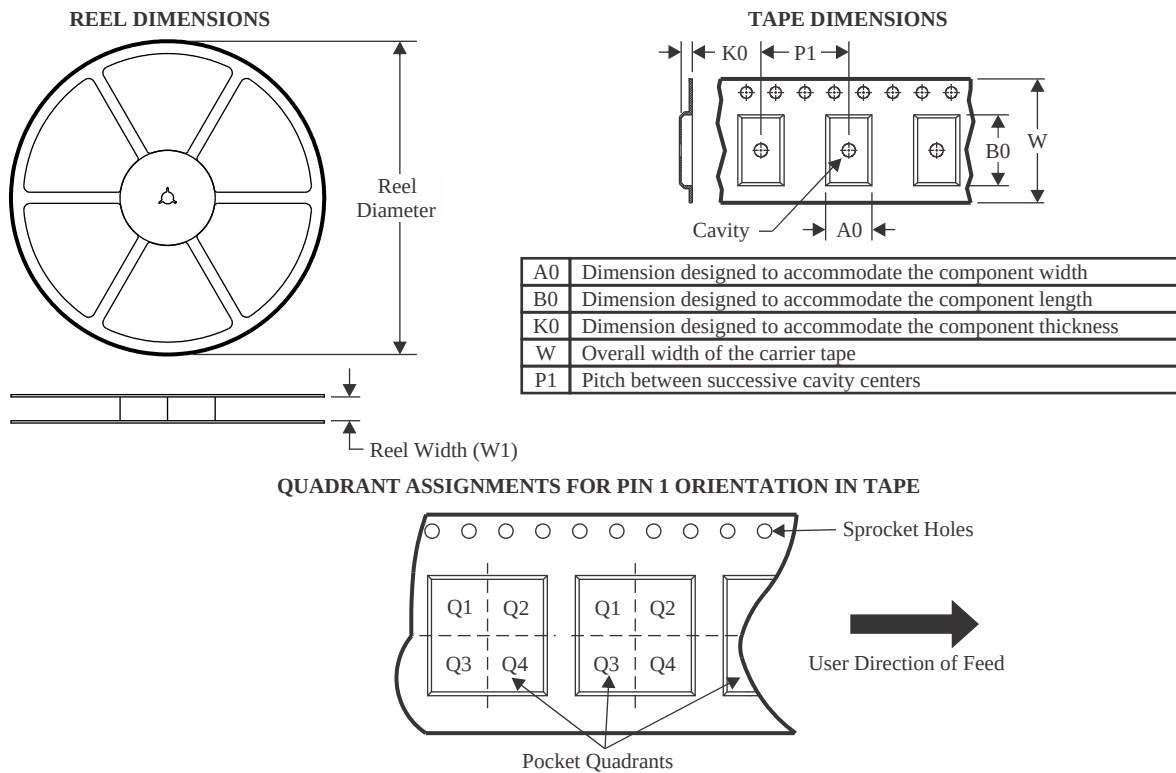
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

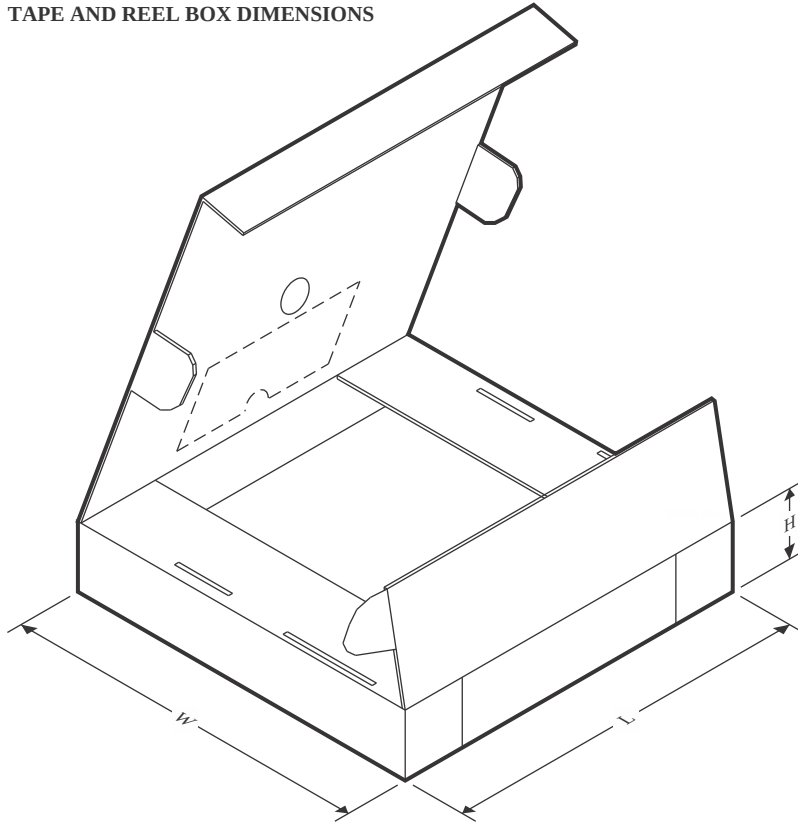
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO1050DUBR	SOP	DUB	8	350	330.0	24.4	13.1	9.75	6.0	16.0	24.0	Q1
ISO1050DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

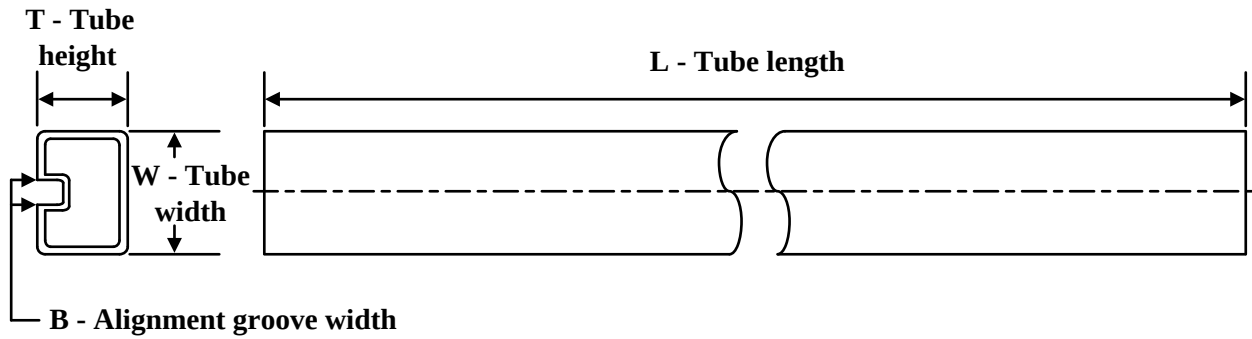
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO1050DUBR	SOP	DUB	8	350	367.0	367.0	45.0
ISO1050DWR	SOIC	DW	16	2000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

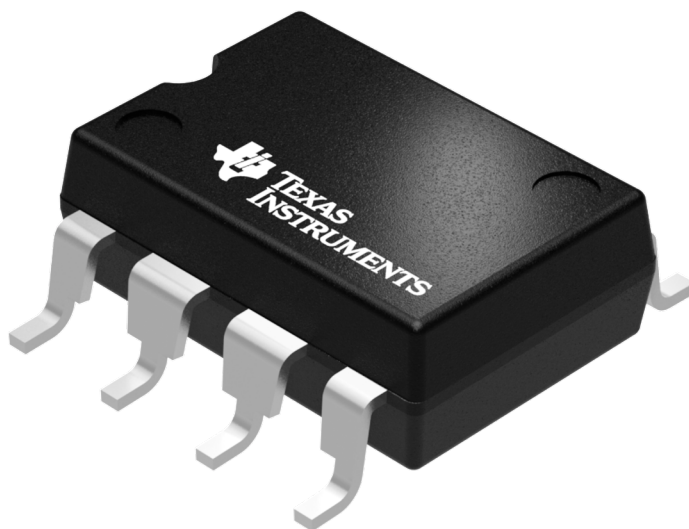
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO1050DUB	DUB	SOP	8	50	532.13	13	7300	6.6
ISO1050DUB	DUB	SOP	8	50	532.13	13.51	7.36	6.91
ISO1050DW	DW	SOIC	16	40	506.98	12.7	4826	6.6

GENERIC PACKAGE VIEW

DUB 8

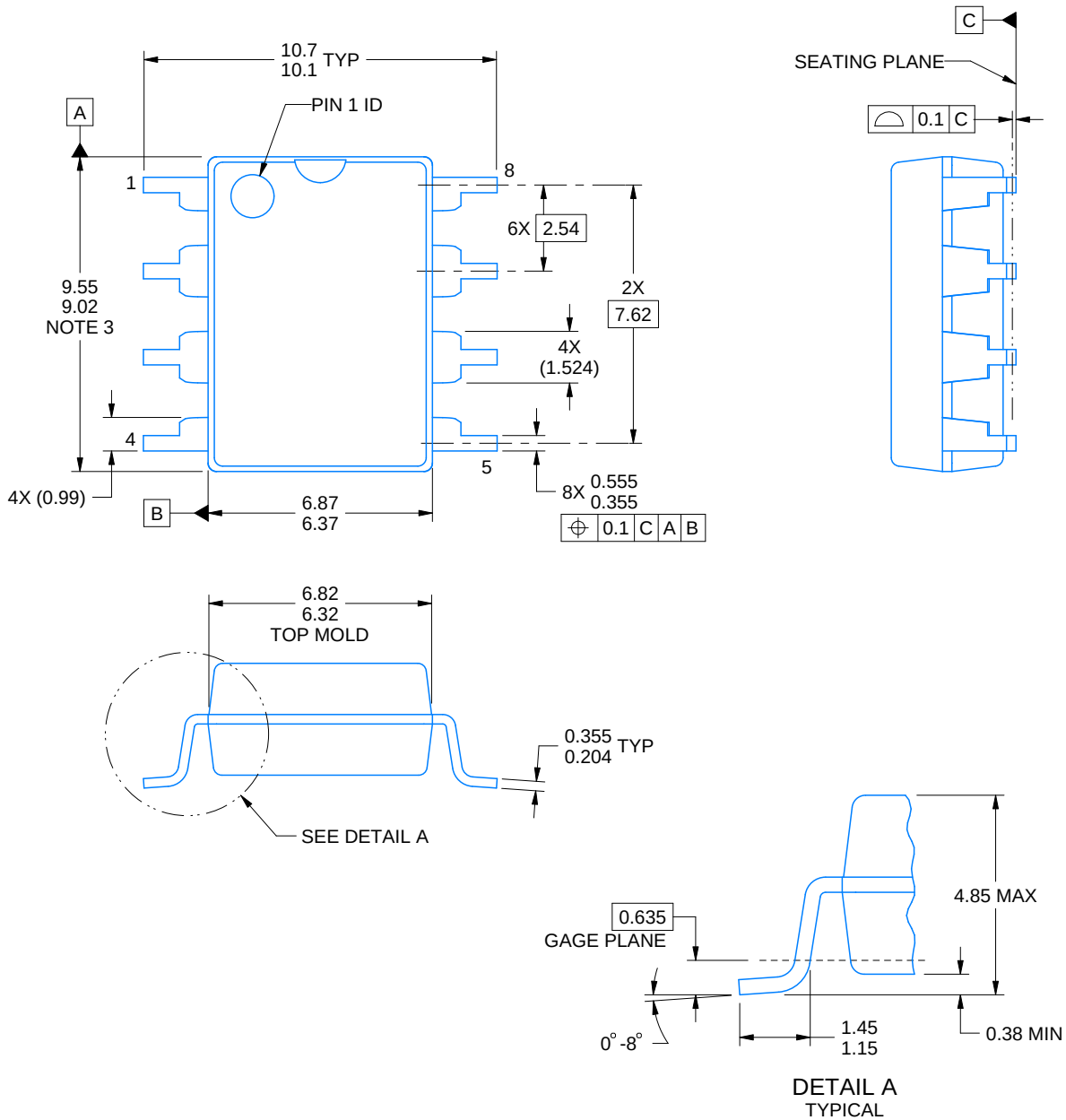
SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207614/E



4222355/G 04/2019

NOTES:

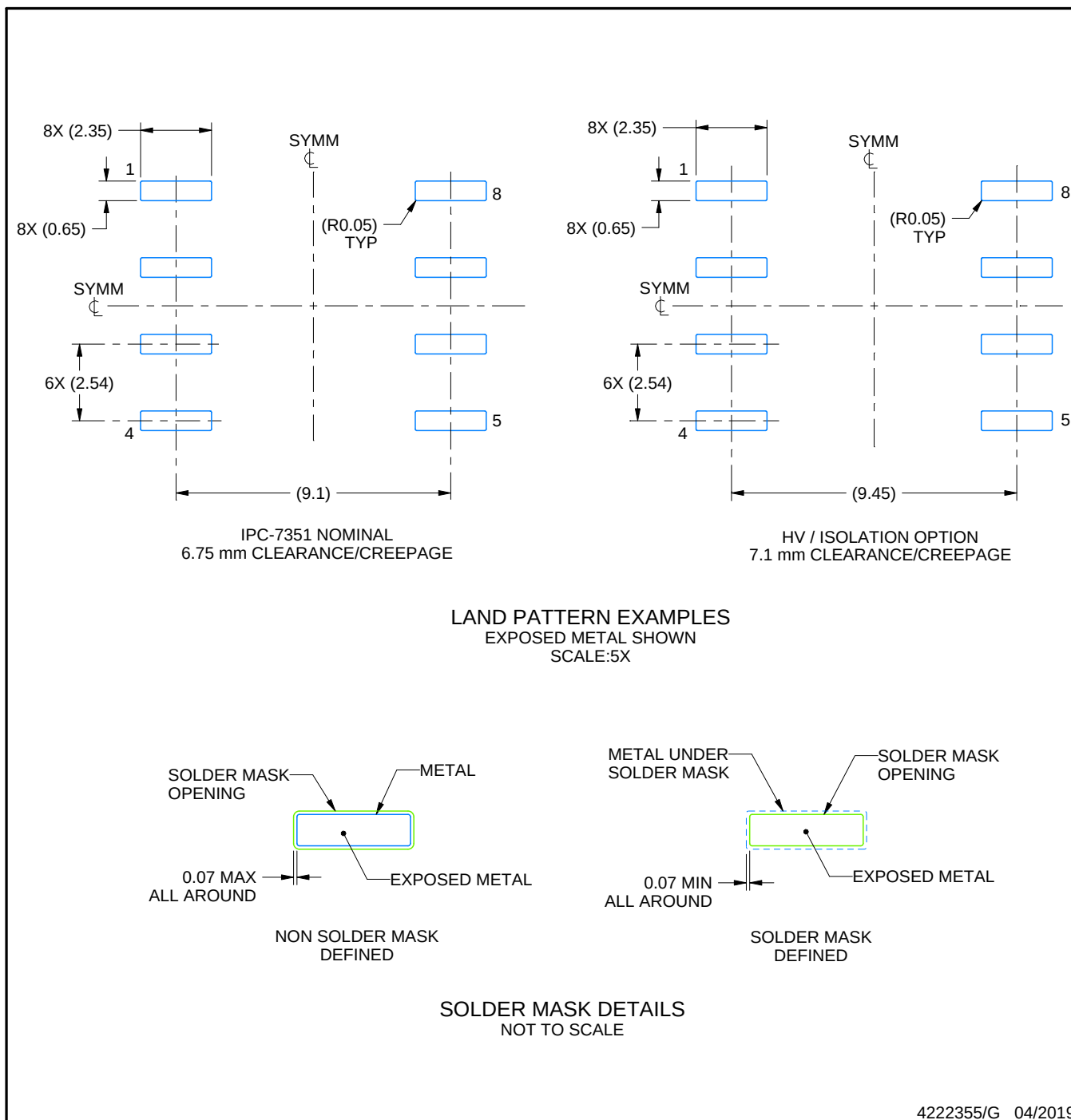
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.254 mm per side.

EXAMPLE BOARD LAYOUT

DUB0008A

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



4222355/G 04/2019

NOTES: (continued)

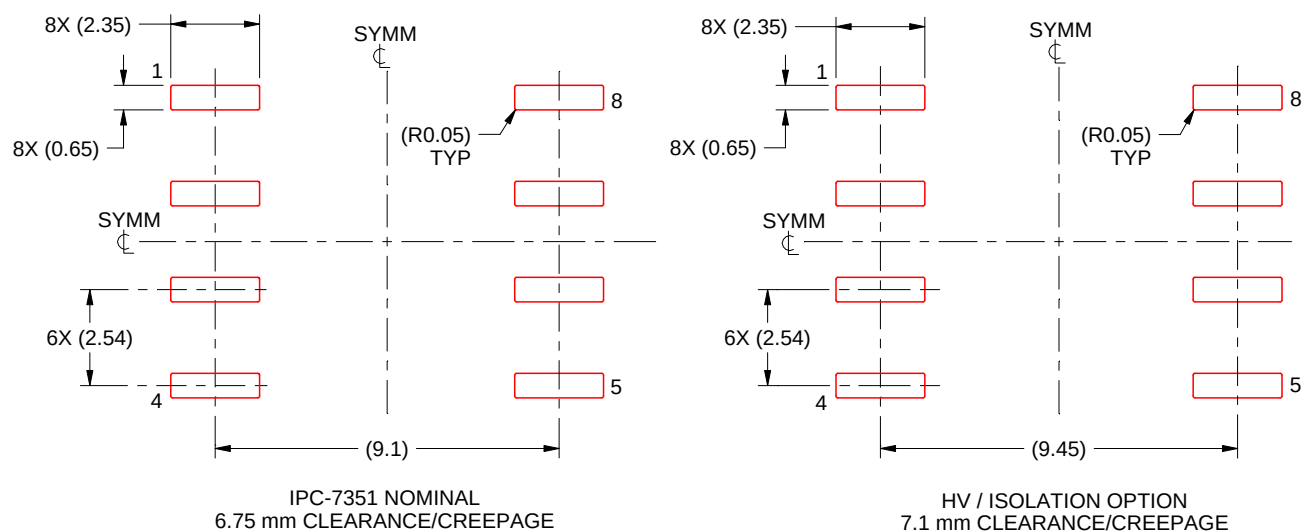
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DUB0008A

SOP - 4.85 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:5X

4222355/G 04/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

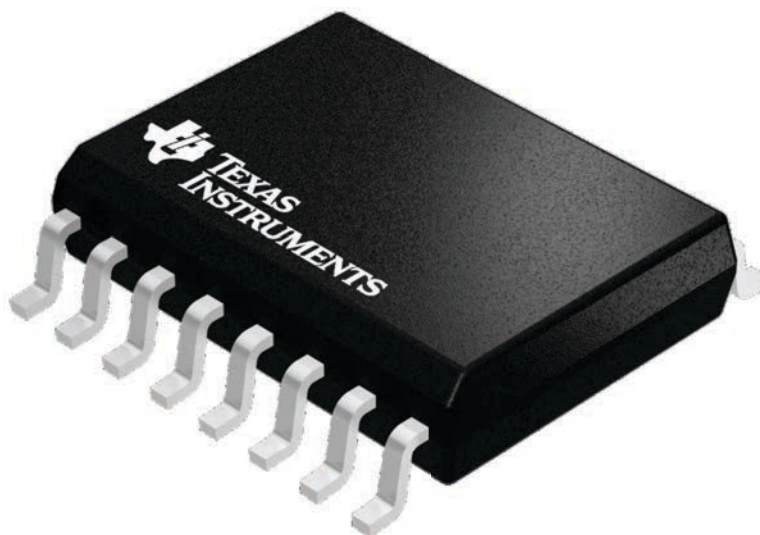
DW 16

SOIC - 2.65 mm max height

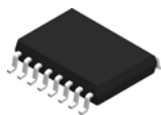
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

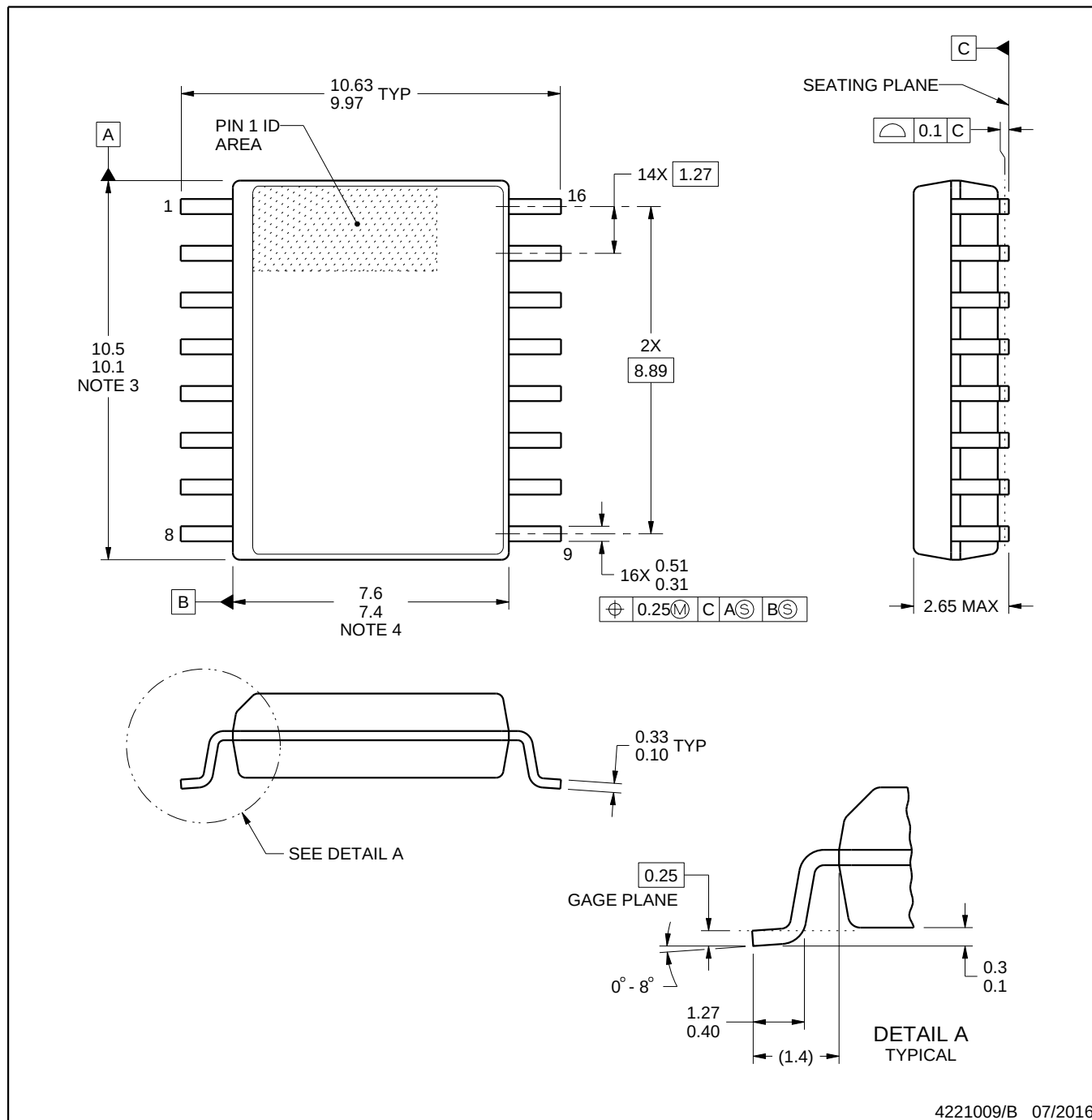


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

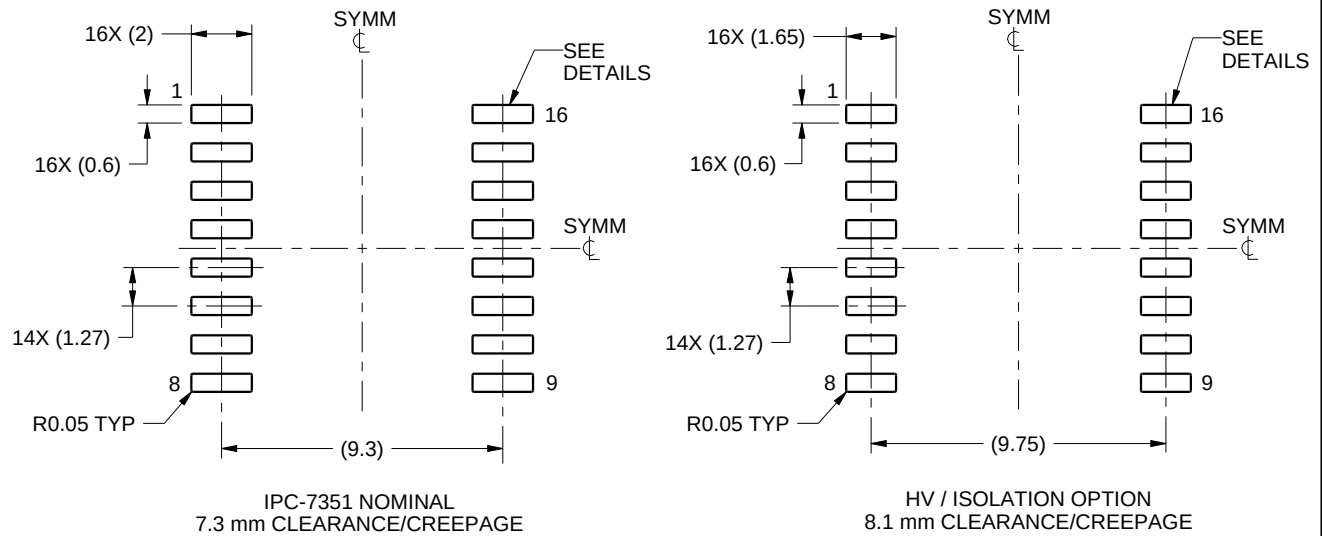
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

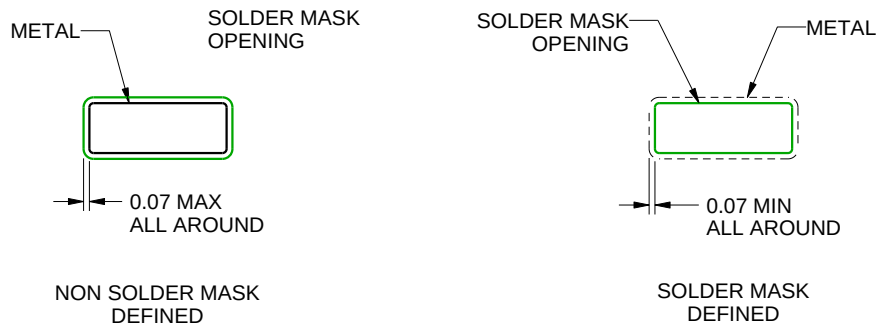
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

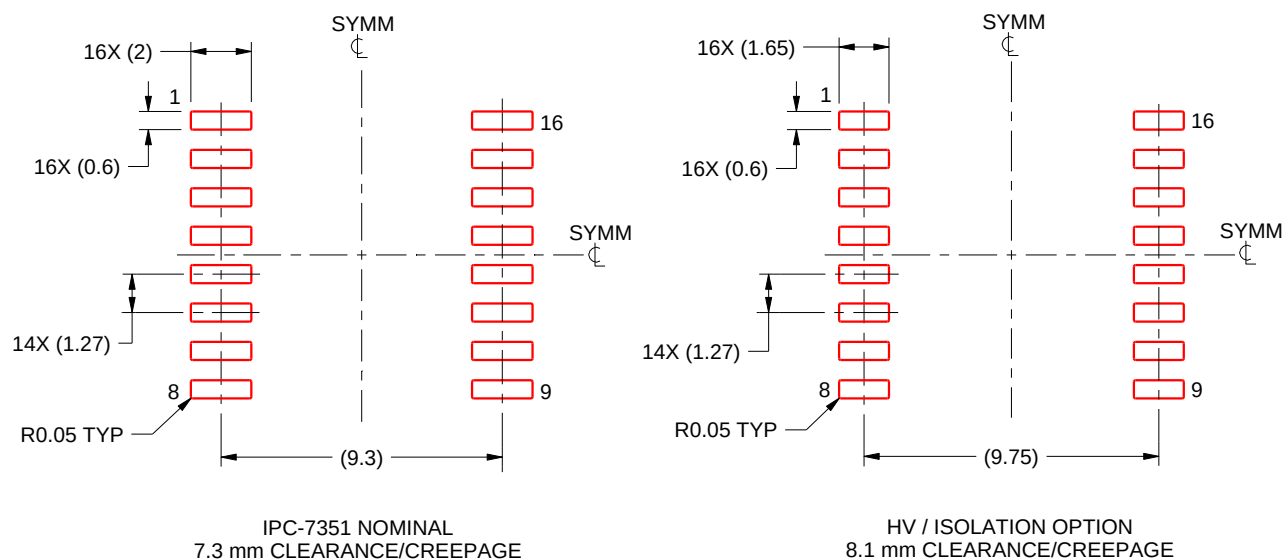
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司