

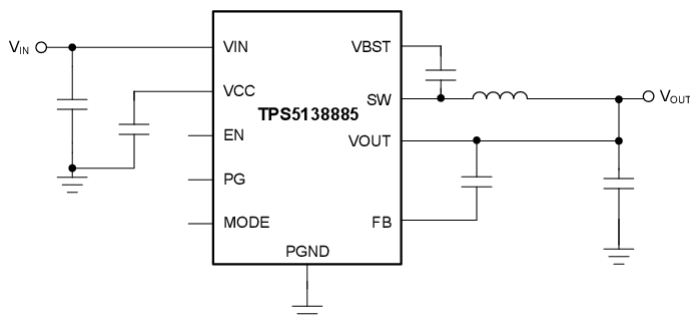
TPS513885 5.5V 至 24V、12A 同步降压转换器

1 特性

- 输入电压范围为 5.5V 至 24V
- 5.15V 输出电压
- 集成 $9.2\text{m}\Omega$ 和 $4.5\text{m}\Omega$ FET
- 支持 12A 的连续输出电流
- 90 μA 低静态电流
- $\pm 1.0\%$ 输出电压精度 (25°C)
- D-CAP3™ 控制模式架构控制，用于快速瞬态响应
- 支持 POSCAP 和所有 MLCC 输出电容器
- 可通过动态变化选择 Eco-mode 和 Out-of-Audio™ 模式
- ULQ™ 在系统待机期间延长电池寿命
- 内置输出放电功能
- 集成式电源正常状态指示器
- 560kHz 和 920kHz 可选开关频率
- 固定 0.9ms 软启动时间
- 大占空比运行
- 逐周期过流保护和负过流保护
- 锁存输出 OV 和 UV 保护
- 非锁存 UVLO 和 OT 保护
- -40°C 至 125°C 的工作结温范围
- 13 引脚 3.0mm × 4.0mm HotRod™ VQFN 封装
- 使用 TPS513885 并借助 [WEBENCH® Power Designer](#) 创建定制设计方案

2 应用

- 笔记本电脑和台式机
- 超极本、手持平板电脑
- 工业 PC、单板计算机
- 非军用无人机
- 分布式电源系统



简化版原理图

3 说明

该器件是单片 12A 同步降压转换器，集成了 MOSFET，简单易用且高效，只需极少的外部元件，适合空间受限的电源系统。

TPS513885 采用了 D-CAP3 控制模式，此控制模式只需内部补偿即可实现快速瞬态响应以及出色的线路和负载调整。ULQ 的延长电池寿命特性非常有益于在低功耗运行时延长电池寿命。输入电压较低时，大负荷运行可显著改善负载瞬态性能。

可使用 EN 引脚来设置 Eco-Mode 或 Out-of-Audio (OOA) 模式，从而实现轻负载运行。Eco-mode 可在轻负载运行期间维持高效率。OOA 模式可将开关频率保持在可闻频率以上，同时将对效率的影响降至最低。即使转换器处于运行状态，也可以动态切换 EN 引脚。

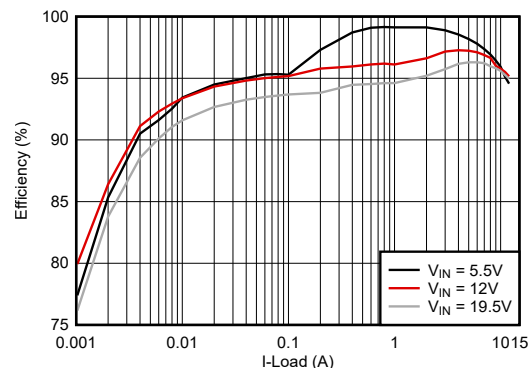
TPS513885 集成了电源正常状态指示器并具备输出放电功能。TPS513885 提供完整保护，包括 OVP、UVP、OCP、OTP 和 UVLO。此器件可采用 13 引脚 3.0mm × 4.0mm HotRod 封装，额定结温范围为 -40°C 至 125°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS513885	VAB (VQFN-HR , 13)	4mm x 3mm

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



效率与输出电流，560kHz，Eco-mode



内容

1 特性	1	7 应用和实施	16
2 应用	1	7.1 应用信息.....	16
3 说明	1	7.2 典型应用.....	16
4 引脚配置和功能	3	7.3 电源相关建议.....	21
5 规格	4	7.4 布局.....	21
5.1 绝对最大额定值.....	4	8 器件和文档支持	23
5.2 ESD 等级.....	4	8.1 器件支持.....	23
5.3 建议工作条件.....	4	8.2 文档支持.....	23
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	23
5.5 电气特性.....	5	8.4 支持资源.....	23
5.6 典型特性.....	7	8.5 商标.....	23
6 详细说明	10	8.6 静电放电警告.....	23
6.1 概述.....	10	8.7 术语表.....	23
6.2 功能方框图.....	11	9 修订历史记录	24
6.3 特性说明.....	12	10 机械、封装和可订购信息	25
6.4 器件功能模式.....	13	10.1 卷带包装信息.....	25

4 引脚配置和功能

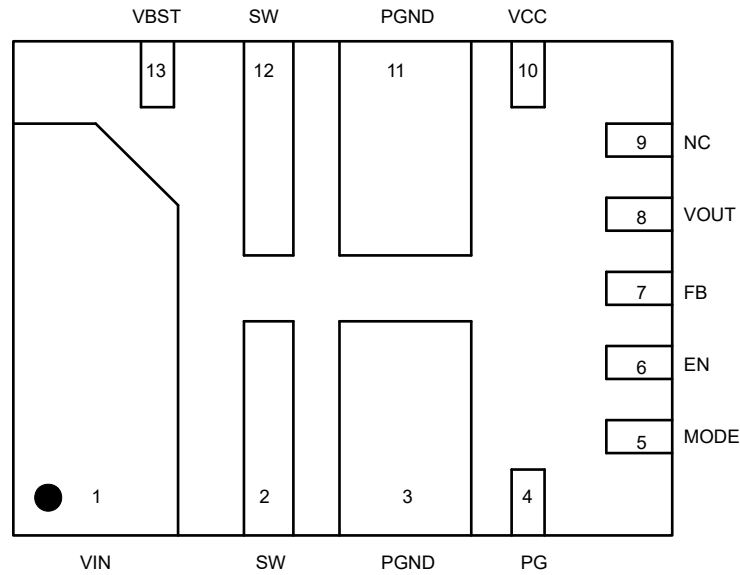


图 4-1. 13 引脚 VQFN-HR、VAB 封装 (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
VIN	1	P	控制电路的输入电压电源引脚。在 VIN 和 PGND 之间连接输入去耦电容器。
SW	2,12	O	连接到电感器和自举电容器以进行降压的开关节点。此引脚电压从低于接地电压的二极管电压摆动至降压的输入电压。
PGND	3,11	G	控制器电路和内部电路的电源 GND 端子。
PG	4	O	电源正常状态指示灯引脚。如果降压的输出电压由于热关断、压降、过压、EN 关断或缓慢启动而超出范围，则此引脚置为低电平。
MODE	5	I	模式选择引脚。将 MODE 引脚拉至大于 1V 的电压，将此引脚连接到 EN 或 VCC 可实现 560kHz 工作频率。将 MODE 引脚拉低至 GND 可实现 920kHz 工作频率。
EN	6	I	降压转换器的使能输入。EN 引脚还用于选择轻负载工作模式。将 EN 拉至 2.2V 以上可实现 Eco-mode。将 EN 拉至 1V 至 1.6V 之间可实现 OOA mode。
FB	7	I	转换器反馈输入可用于前馈补偿，以改善负载瞬态性能。
VOUT	8	I	输出引脚。连接到降压稳压器的输出。此引脚还为内部 VCC LDO 提供旁路输入。
NC	9		未连接。
VCC	10	O	内部 5V LDO 输出。内部模拟电路和驱动电源。使用 2.2 μ F 陶瓷电容器将此引脚去耦合至地。
VBST	13	I	自举引脚。提供高侧栅极驱动器。在此引脚与 SW 引脚之间连接一个 0.1 μ F 陶瓷电容器。

(1) I = 输入，O = 输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
输入电压	VIN	-0.3	28	V
	VBST	-0.3	32	V
	VBST-SW	-0.3	6	V
	EN、MODE、FB、VOUT	-0.3	6	V
	PGND	-0.3	0.3	V
输出电压	SW	-1	26	V
	SW (10ns 瞬态值)	-3	28	V
	PG、VCC	-0.3	6	V
T _J	工作结温	-40	150	°C
T _{stg}	贮存温度	-55	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	V

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
输入电压	VIN	4.5	24	V
	VBST	-0.3	29.5	V
	VBST-SW	-0.3	5.5	V
	EN、MODE、FB、VOUT	-0.3	5.5	V
	PGND	-0.3	0.3	V
输出电压	SW	-1	24	V
	PG、VCC	-0.3	5.5	V
I _{OUT}	输出电流		12	A
T _J	工作结温	-40	125	°C

5.4 热性能信息

热指标 ⁽¹⁾		TPS513885	单位
		VAB (VQFN)	
		13 引脚	
$R_{\theta JA}$	结至环境热阻	53.8	°C/W
$R_{\theta JA_effective}$	结至环境热阻 (4 层定制电路板) ⁽²⁾	26.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	32.9	°C/W
$R_{\theta JB}$	结至电路板热阻	11.5	°C/W
ψ_{JT}	结至顶部特征参数	2.4	°C/W
ψ_{JB}	结至电路板特征参数	11.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用手册](#)。

(2) 有效 $R_{\theta JA}$ 基于 TPS513885EVM 进行仿真。

5.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
V _{IN}	输入电压范围		5.5		24	V
I _{VIN}	非开关电源电流	无负载，V _{EN} = 5V，非开关		90		μ A
I _{VINSDN}	关断电源电流	无负载，V _{EN} = 0V		3		μ A
VCC 输出						
V _{CC}	VCC 输出电压	V _{IN} > 5.15V，I _{VCC} ≤ 1mA，旁路开关关闭	4.6	4.9	5.15	V
输出电压						
V _{OUT}	输出电压	T _J = 25°C	5.1	5.15	5.2	V
		T _J = -40°C 至 125°C	5.07	5.15	5.23	V
占空比和频率控制						
F _{SW}	开关频率	CCM 工作模式，MODE > 1V		560		kHz
		CCM 工作模式，MODE < 0.4V		920		kHz
t _{ON(MIN)}	SW 最短导通时间 ⁽¹⁾			60		ns
t _{OFF(MIN)}	SW 最短关断时间 ⁽¹⁾			130		ns
OOA 功能						
T _{OOA}	模式工作期间		22	30	42	us
MOSFET 和驱动器						
R _{DS(ON)H}	高侧开关电阻	T _J = 25°C		9.2		m Ω
R _{DS(ON)L}	低侧开关电阻	T _J = 25°C		4.5		m Ω
输出放电和软启动						
R _{DIS}	放电电阻	V _{EN} = 0V		50		Ω
t _{SS}	软启动时间	内部软启动时间		0.9		ms
电源正常						
t _{PGDLY}	PG 延迟上升	PG 从低到高		200		us
	PG 延迟下降	PG 从高电平到低电平		40		us

5.5 电气特性 (续)

 $T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
V _{PGTH}	PG 阈值	VFB 下降 (故障)		83		%
		VFB 上升 (正常)		90		%
		VFB 上升 (故障)		115		%
		VFB 下降 (正常)		110		%
V _{PG_L}	PG 灌电流能力	I _{OL} = 4mA			0.4	V
I _{PGLK}	PG 漏电流	V _{PGOOD} = 5.5V			1	μA
电流限值						
I _{OCL}	过流阈值 (谷值)	LS FET 上的谷值电流限值, T _J = 25°C	13	14	15	A
	过流阈值 (峰值)	HS FET 上的峰值电流限值, T _J = 25°C		22		A
I _{NOCL}	负过流阈值	LS FET 上的灌电流限值, OOA 工作模式		5.5		A
逻辑阈值						
V _{ENH}	EN 高电平输入电压	T _J = 25°C	1			V
V _{ENL}	EN 低电平输入电压	T _J = 25°C			0.4	V
I _{EN}	启用内部下拉电流	V _{EN} = 0.3V		2		μA
V _{EN(OOA)}	用于 EN 引脚的 OOA 模式		1		1.6	V
V _{EN(ECO)}	用于 EN 引脚的 Eco-mode		2.2		5.5	V
V _{MODE(560k)}	模式阈值高电平	T _J = 25°C	1			V
V _{MODE(920k)}	模式阈值低电平	T _J = 25°C			0.4	V
输出欠压和过压保护						
V _{OVP}	OVP 跳变阈值			120		%
t _{OVPDLY}	OVP 传播抗尖峰脉冲			256		us
V _{UVP}	UVP 跳变阈值			60		%
t _{UVPDLY}	UVP 传播抗尖峰脉冲			200		us
UVLO						
V _{UVLO}	VIN UVLO 阈值	唤醒		4.25	4.45	V
		关断	3.4	3.6		V
		迟滞		0.65		V
过热保护						
T _{OTP}	OTP 跳变阈值 ⁽¹⁾	关断温度		160		°C
T _{OTPHSY}	OTP 迟滞 ⁽¹⁾	迟滞		20		°C

(1) 根据设计确定。未经生产测试。

5.6 典型特性

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明) 。

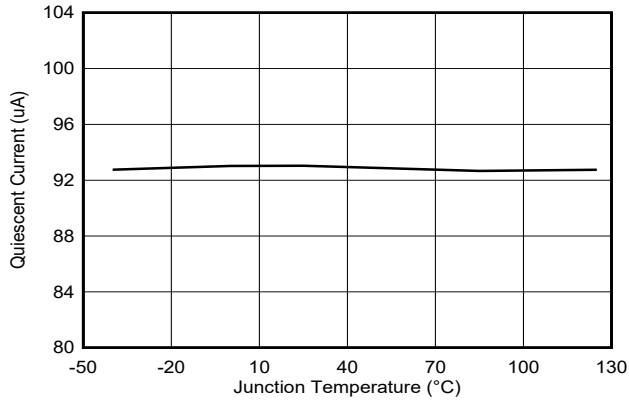


图 5-1. 电源电流与结温间的关系

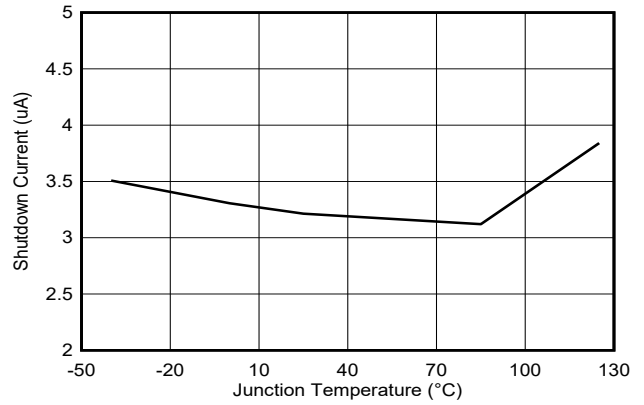


图 5-2. 关断电流与结温间的关系

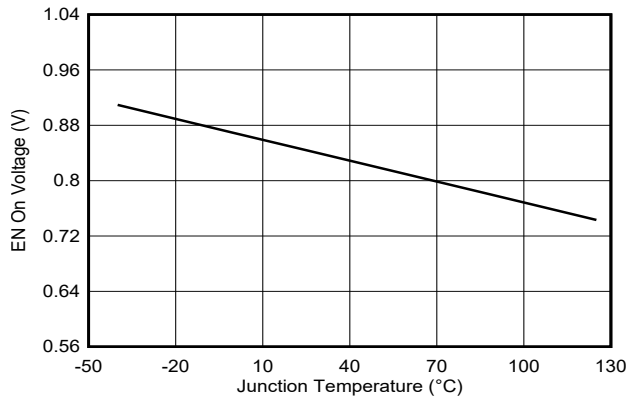


图 5-3. 使能开启电压与结温间的关系

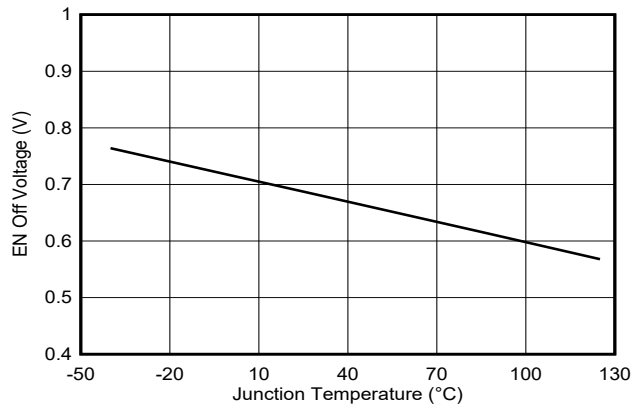


图 5-4. 使能关闭电压与结温间的关系

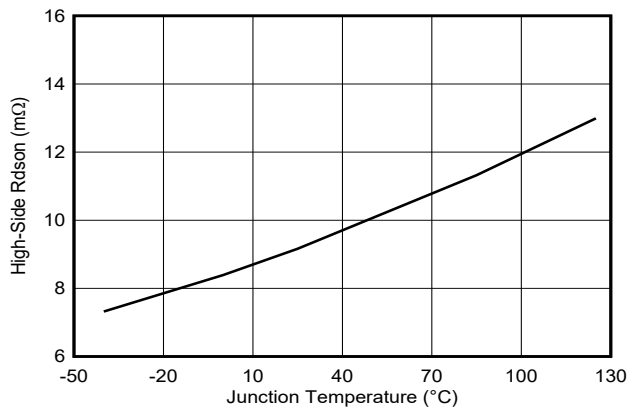


图 5-5. 高侧 $R_{DS(on)}$ 与结温间的关系

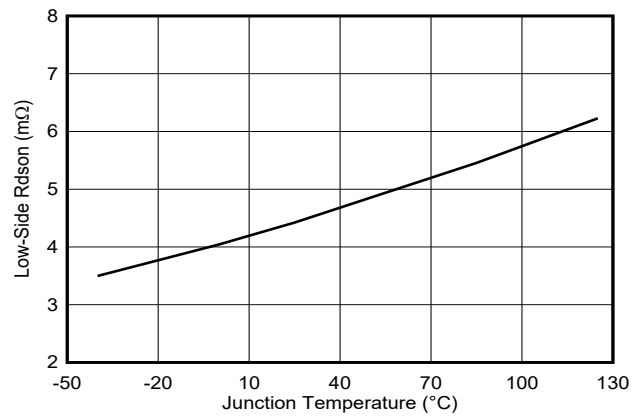


图 5-6. 低侧 $R_{DS(on)}$ 与结温间的关系

5.6 典型特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明)。

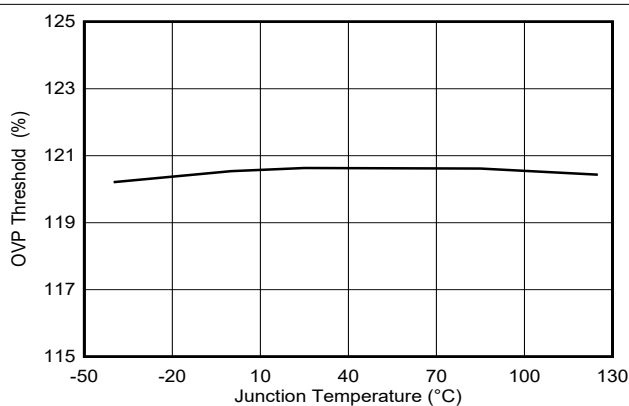


图 5-7. OVP 阈值与结温间的关系

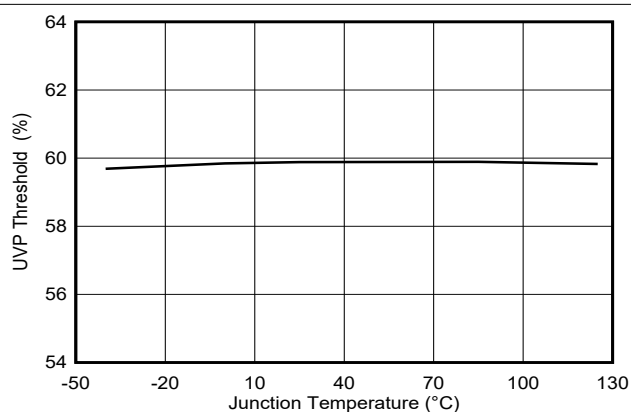


图 5-8. UVP 阈值与结温间的关系

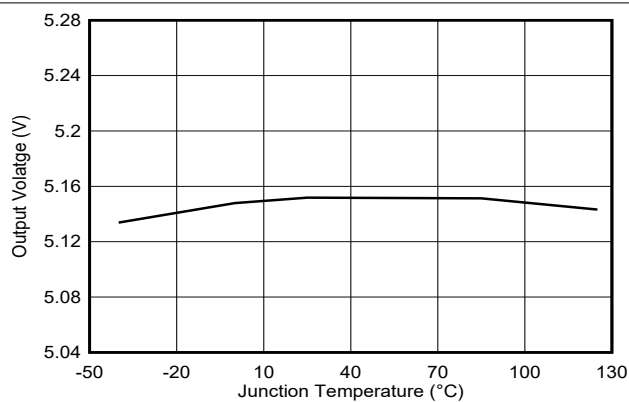


图 5-9. 输出电压与结温间的关系

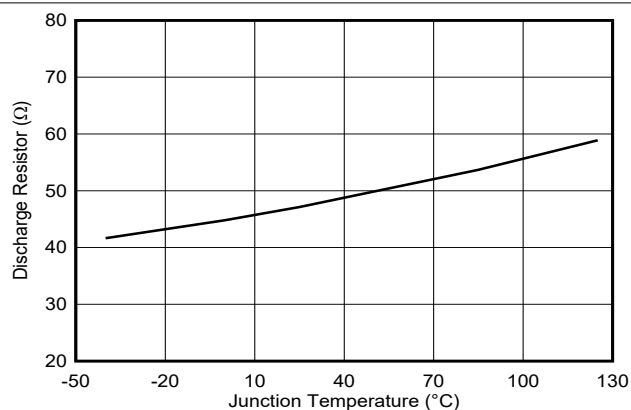


图 5-10. 放电电阻与结温间的关系

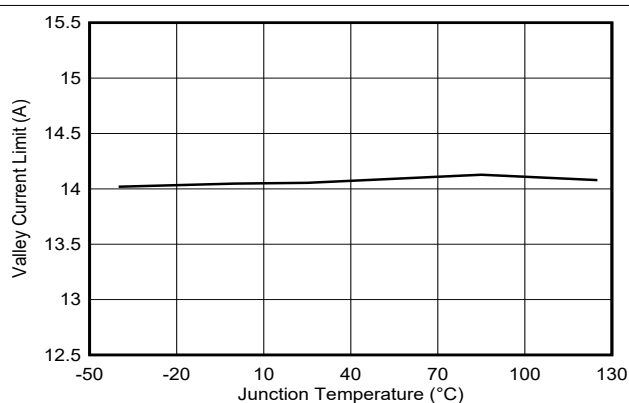


图 5-11. 谷值电流限值与结温间的关系

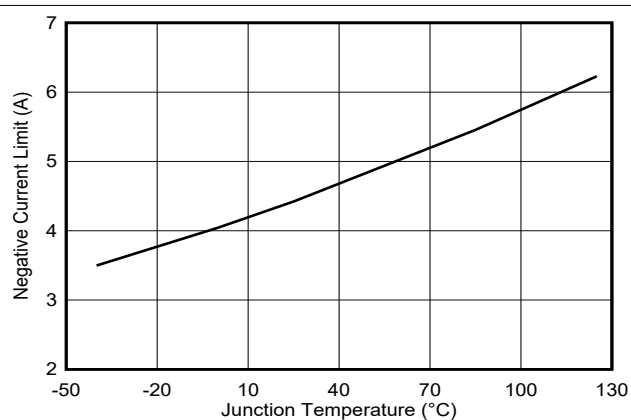


图 5-12. 负电流限值与结温间的关系

5.6 典型特性 (续)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明)。

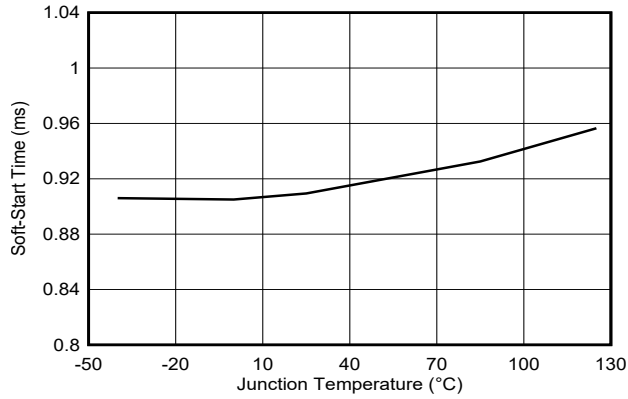


图 5-13. 软启动时间与结温间的关系

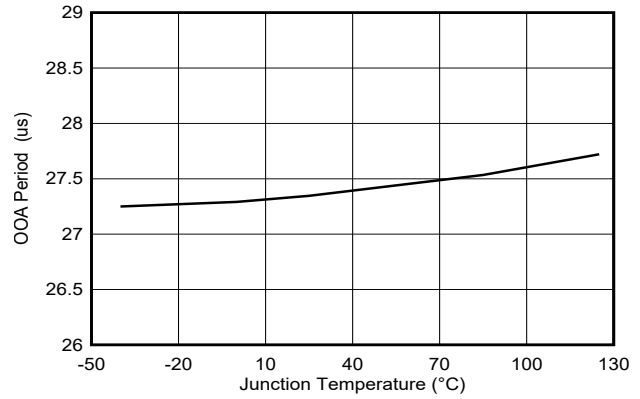


图 5-14. OOA 周期与结温间的关系

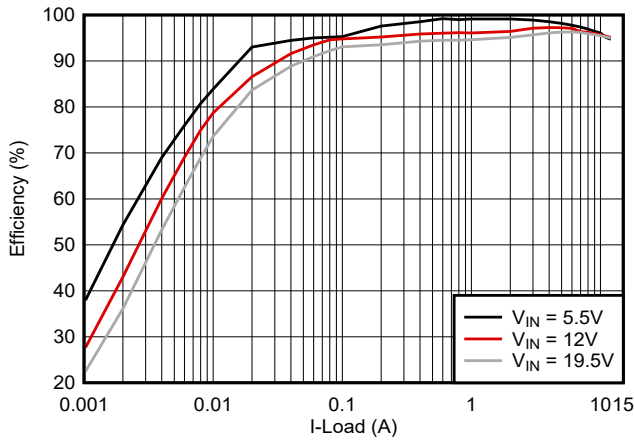


图 5-15. 效率与负载电流间的关系,
 $F_{SW} = 560\text{kHz}$, OOA 模式

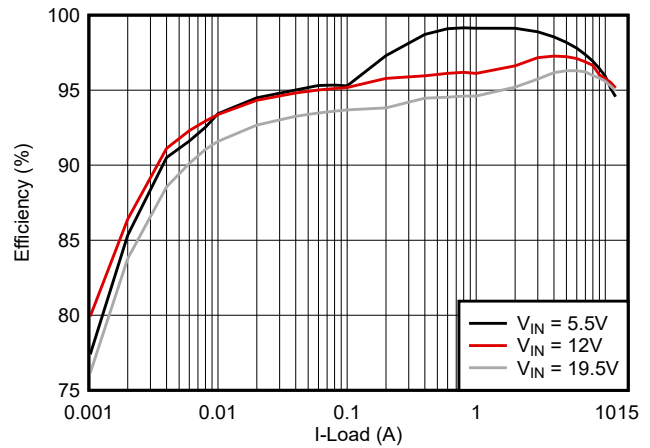


图 5-16. 效率与负载电流间的关系,
 $F_{SW} = 560\text{kHz}$, Eco-mode

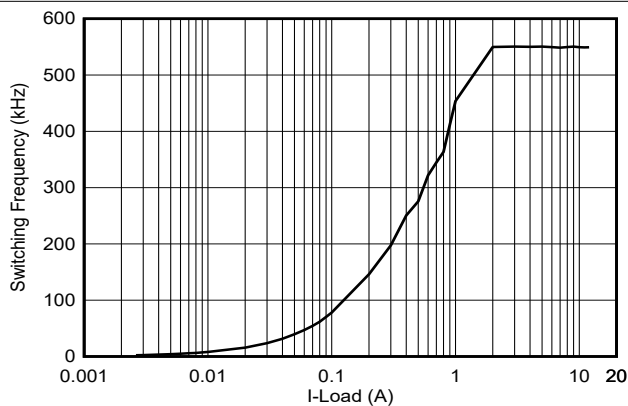


图 5-17. 开关频率与负载电流间的关系, $F_{SW} = 560\text{kHz}$, ECO

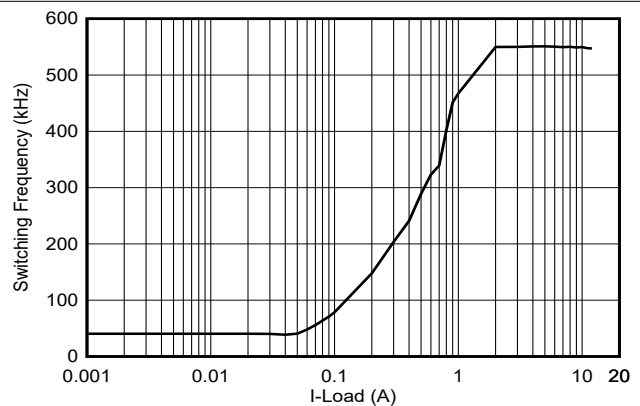


图 5-18. 开关频率与负载电流间的关系, $F_{SW} = 560\text{kHz}$, OOA

6 详细说明

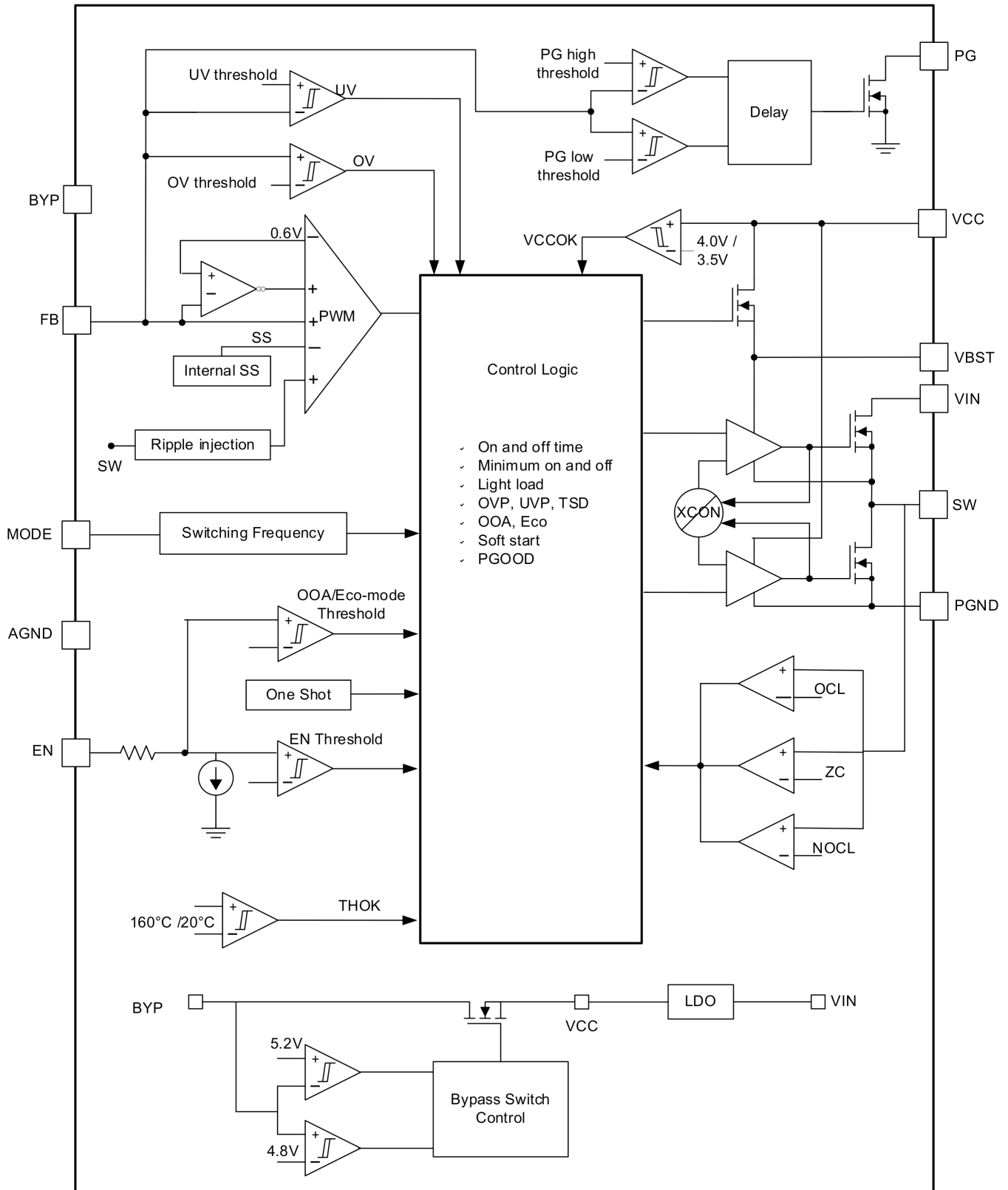
6.1 概述

TPS513885 是一款 12A 集成 FET 同步降压转换器，可在 5.5V 至 24V 输入电压 (VIN) 之间工作。TPS513885 是 5.15V 固定输出电压器件。此器件具有 9.2m Ω 和 4.5m Ω 集成 MOSFET，可实现最高 12A 的高效率。该器件采用 D-CAP3 控制模式，无需外部补偿元件即可提供快速瞬态响应，并提供精确的反馈电压。该控制拓扑可在 CCM 工作模式 (在较高负载条件下) 与 DCM Eco-mode 工作模式 (在较轻负载条件下) 之间实现无缝切换。DCM Eco-mode 使 TPS513885 能够在轻负载条件下保持高效率。TPS513885 还具有可选的 Out-of-Audio (OOA) 模式，以保持高于可闻范围 (20Hz – 20kHz) 的最低 25kHz 开关频率。借助 D-CAP3 控制模式，可以使用诸如 POSCAP 或 SP-CAP 等低等效串联电阻 (ESR) 输出电容器，以及超低 ESR 陶瓷电容器。

TPS513885 有一个 5V 内部 LDO，可为所有内部电路提供辅助电源。欠压锁定 (UVLO) 电路监控 VCC 引脚电压，用于保护内部电路免受低输入电压的影响。TPS513885 在 EN 引脚上具有一个内部下拉电流源，需要使用外部上拉电路来启用降压转换器。

TPS513885 的轻负载工作模式可通过调整 EN 电压电平来动态变化，允许器件在 OOA 模式和 Eco-mode 之间动态切换状态。通过在软启动之前设置 MODE 引脚电压，TPS513885 支持可选 560kHz 或 920kHz 开关频率。内部软启动时间固定在 0.9ms，以简化设计电路并减少外部元件。

6.2 功能方框图



ADVANCE INFORMATION

6.3 特性说明

6.3.1 PWM 运行和 D-CAP3™ 控制模式

主控制环路是自适应导通时间脉宽调制 (PWM) 控制器，支持专有 D-CAP3 控制模式。D-CAP3 控制模式将自适应导通时间控制与内部补偿电路相结合，在使用低 ESR 和陶瓷输出电容器时，实现伪固定频率和较少的外部元件数配置。即使输出端几乎没有纹波，D-CAP3 控制模式也很稳定。TPS513885 还包含一个误差放大器，可使输出电压变得非常准确。

在每个周期的开始，高侧 MOSFET 将开启。内部一次性计时器到时后，此 MOSFET 将关闭。这个一次性计时器持续时间是根据转换器输入电压 V_{IN} 按比例设置的，它与输出电压 V_{OUT} 成反比，以便在输入电压范围内保持伪固定频率，因此称为自适应导通时间控制。当反馈电压降至基准电压之下时，一次性计时器将复位，高侧 MOSFET 将再次导通。向基准电压添加了内部纹波生成电路来模拟输出纹波。此操作支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。D-CAP3 控制拓扑不需要外部电流检测网络或环路补偿。

对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。与 TPS513885 搭配使用的输出滤波器是一个低通 L-C 电路。此 L-C 滤波器具有方程式 1 中计算出的双极点频率。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

在低频率下，整体环路增益是由外部输出设定点电阻分压器网络和 TPS513885 的内部增益设定的。低频 L-C 双极点具有 180 度滞后相位。在输出滤波器频率下，增益以每十倍频程 -40dB 的速率滚降，且相位快速下降。内部纹波生成网络引入了中频零点，可将增益滚降从每十倍频程 -40dB 降低到 -20dB，并将相位增加到零点频率之上每十倍频程 90°。为输出滤波器选择的电感器和电容器必须确保双极位置足够靠近中频零点，以便由该中频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。整个系统的交叉频率通常必须低于开关频率 (F_{SW}) 的三分之一。

6.3.2 VCC 切换功能

VCC 切换功能旨在利用来自 V_{OUT} 的电源旁路掉内部 5V LDO，并提高轻负载效率。VCC 切换是稳压器的无缝行为，不需要任何额外配置。

当存在以下两种情况时，VCC 引脚切换功能会被置为有效：

- PGOOD 未被拉至低电平
- V_{OUT} 电压高于 4.8V

在此切换条件下，VCC 输出会通过内部切换 MOSFET 连接到 V_{OUT}

6.3.3 软启动

TPS513885 具有 0.9ms 的内部软启动时间。EN 引脚变为高电平时，内部软启动功能开始逐步升高 PWM 比较器的基准电压。如果输出电容器在启动时预偏置，器件将开始切换，只有在内部基准电压大于反馈电压 V_{FB} 时才会开始逐步升高。此方案可确保转换器顺畅上升至调节点。

6.3.4 大占空比运行

TPS513885 可通过内部 T_{ON} 扩展功能支持大占空比运行。当 $V_{IN}/V_{OUT} < 1.18$ 且 V_{FB} 低于内部 V_{REF} 时，开关频率可平稳下降，使 T_{ON} 延长以实现大占空比运行并改善负载瞬态性能。TPS513885 可支持以高达 98% 的占空比运行。

6.3.5 电源正常

电源正常 (PGOOD) 引脚为开漏输出。TI 建议使用 100k Ω 的上拉电阻将电压上拉至 VCC。在 V_{FB} 介于目标输出电压的 90% 和 110% 之间后，PGOOD 会在 200us 抗尖峰脉冲时间后拉至高电平。在以下情况下，PGOOD 引脚拉至低电平：

- V_{FB} 引脚电压低于目标输出电压的 83% 或高于其 115%

- 发生 OVP、UVP 或热关断事件
- 在软启动期间

6.3.6 过流保护和欠压保护

TPS513885 具有过流保护和欠压保护。使用逐周期低侧 MOSFET 谷值电流检测和高侧 MOSFET 峰值电流检测来实现输出过流保护 (OCP)。通过测量 MOSFET 漏源电压来监控开关电流。此电压与开关电流成正比。为了提升精确度, 对电压感测进行了温度补偿。

在高侧 FET 开关的导通阶段, 开关电流以线性速度增加, 速度由输入电压、输出电压、导通时间和输出电感器值决定。在低侧 FET 开关的导通阶段, 此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT} 。如果监控电流高于 OCL 水平, 转换器将维持低侧 FET 的导通状态, 暂缓新脉冲的生成 (即使电压反馈环路有这方面的需要), 直到电流水平达到或低于 OCL 水平。在后续的开关周期中, 导通时间将设为固定值, 电流也将以相同的方式监控。

对于此类过流保护, 有一些重要的注意事项。当负载电流高于 $I_{OCL(VALLEY)}$ 与一半的峰峰值电感器纹波电流之和, 或者高于 $I_{OCL(PEAK)}$ 与一半的峰峰值电感器纹波电流之差时, OCP 被触发, 输出电流受到限制, 输出电压往往会下降, 因为负载需求高于转换器可以支持的水平。当输出电压降至低于目标电压的 60% 时, UVP 比较器会检测到该电压降低, 并在等待 200 μs 后关断器件。这种保护是一种锁存功能。可通过 EN 变为低电平或 VCC 下电上电来复位故障锁存。

TPS513885 还实现了负过流保护, 这可防止 IC 在 OOA 模式下工作时电感器电流失控。当电感器的谷值电流达到负过流阈值 ($I_{NOCL} = -5.5A$ 典型值) 时, 低侧 FET 会关断, 高侧 FET 将开启。

6.3.7 过压保护

TPS513885 具有过压保护功能, 其实现方式相同。当输出电压高于目标电压的 120% 时, OVP 比较器输出变为高电平, 在等待 256 μs 后对输出放电并发生锁存。这种保护是一种锁存操作, 因此需通过 EN 变为低电平或 VIN 下电上电来复位。

6.3.8 UVLO 保护

VIN 欠压锁定 (UVLO) 保护可监控 VIN 引脚电压, 以保护内部电路免受低输入电压的影响。当 VIN 电压低于 UVLO 阈值电压时, 器件将关断并对输出放电, 以防止器件误操作。当输入电压超出阈值的迟滞达 650mV (典型值) 时, 转换器再次开始工作。此保护是非锁存保护。

6.3.9 输出电压放电

TPS513885 具有一个 50 欧姆的放电开关, 可在发生如输出过压、输出欠压、TSD, 或 VIN 电压低于 UVLO 且 EN 引脚电压低于导通阈值等此类故障时, 通过 Vout 引脚对输出 VOUT 放电。

6.3.10 热关断

TPS513885 监控内部内核温度。如果温度超出阈值 (通常为 160°C), 器件会关断且输出放电。此保护是非锁存保护。当温度低于热关断阈值时, 该器件重新开始运行。

6.4 器件功能模式

6.4.1 轻负载运行

TPS513885 具有 EN 引脚, 可在轻负载下控制两种不同的运行状态。将 EN 拉至 2.2V 以上可实现 Eco-mode。将 EN 拉至 1V 至 1.6V 之间可实现 OOA 模式。即使转换器处于运行状态, 也可以动态切换 EN 引脚。

6.4.2 高级 Eco-mode 控制

用于保持较高的轻负载效率的高级 Eco-mode 控制方案。当输出电流从重负载状态降低时, 电感器电流也会减小, 最终纹波谷达到零电平, 这是连续导通模式与不连续导通模式的边界。检测到电感器电流为零后, 整流 MOSFET 会关断。随着负载电流进一步降低, 转换器会进入不连续导通模式。导通时间几乎与连续导通模式时相同, 并且由于负载电流相比基准电压的电平更低, 输出电容器放电需要更长时间。此操作会降低开关频率, 与负

载电流成正比，从而保持较高的轻负载效率。使用 [方程式 2](#) 可计算在转换到 **Eco-mode** 运行状态时的轻负载电流 ($I_{OUT(LL)}$)。

$$I_{OUT(LL)} = \frac{1}{2 \times L_{OUT} \times F_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

确定应用要求后，在设计中采用的输出电感 (L_{OUT}) 应使电感器峰峰值纹波电流大约介于 $I_{OUT(max)}$ (应用中的峰值电流) 的 20% 与 40% 之间。适当调整电感器的电感，使谷值电流不会达到低侧负电流限值，这一点很重要。

6.4.3 Out-Of-Audio™ 模式

Out-of-Audio (OOA) 模式是一种独特的控制功能，可将开关频率保持在可闻频率以上，同时将对效率的影响降至最低。此模式可防止输出电容器和电感器产生音频噪声。在 **Out-of-Audio** 模式运行期间，OOA 控制电路会监控高侧和低侧 MOSFET 的状态，并强制它们切换。在轻负载条件下，当高侧和低侧 MOSFET 关断时间超过 30 μs 时，低侧 FET 会放电，直到输出电压下降而触发高侧 FET 导通或电感器电流达到负 OC 限制。

如果选择 EN 引脚在 OOA 模式下运行，那么当器件在轻负载下工作时，最小开关频率将高于 20kHz，从而避免系统中出现可闻噪声。当器件在 OOA 模式下工作时，TI 建议通过选择合适的电感器将电感器电流的谷值设置在 -3A 以上。

6.4.4 MODE 选择

TPS513885 具有一个 MODE 引脚，可用于选择 560kHz 或 920kHz 开关频率。此器件在启动期间读取 MODE 引脚上的电压，并锁存至 [表 6-1](#) 中列出的 MODE 选项之一。

表 6-1. MODE 引脚设置

MODE 上的电压	建议设计	频率 (kHz)
> 1V	拉高至 VCC/EN	560
< 0.4V	拉低至 GND	920

图 6-1 展示了使能信号超出 EN 开启阈值后器件的典型启动序列。VCC 上的电压超过上升 UVLO 阈值后，完成频率选择大约需要 104 μ s。完成模式选择后，输出电压开始出现斜坡。

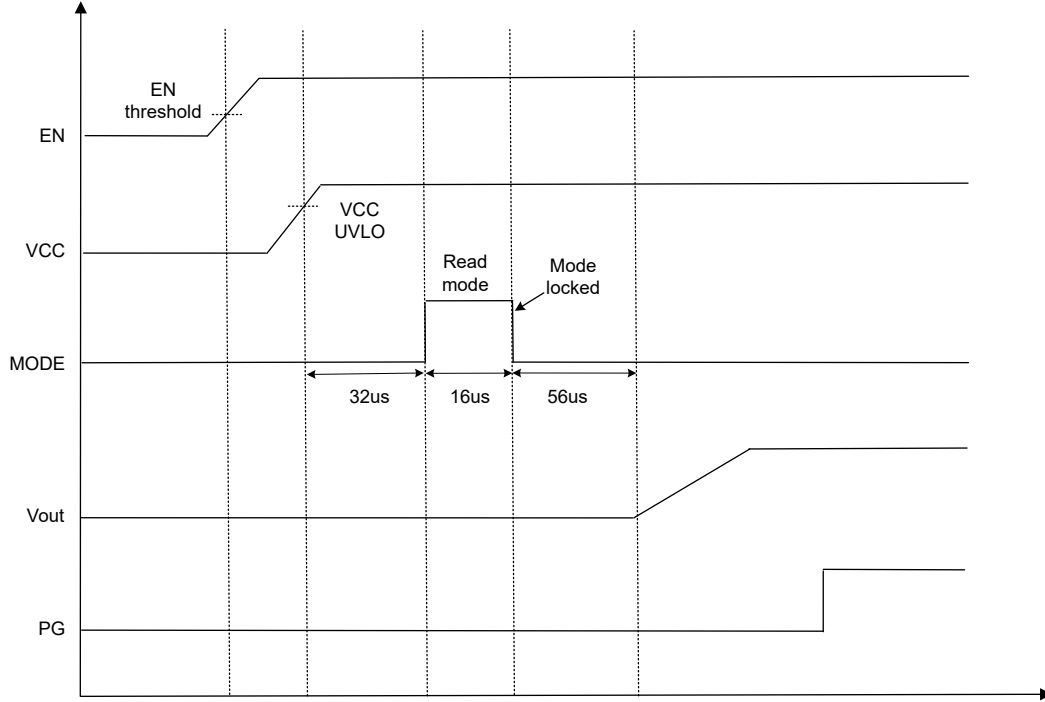


图 6-1. 上电序列

6.4.5 待机运行

TPS513885 可通过将 EN 引脚拉至低电平来进入待机模式。该器件在待机状态下的关断电流为 3 μ A。EN 引脚在内部拉至低电平。当悬空时，该器件默认处于禁用状态。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

图 7-1 中的原理图显示了 TPS513885 的典型应用，其输出为 5.15V。此设计可将 5.5V 至 24V 的输入电压范围降压转换为 5.15V，最大输出电流为 12A。

7.2 典型应用

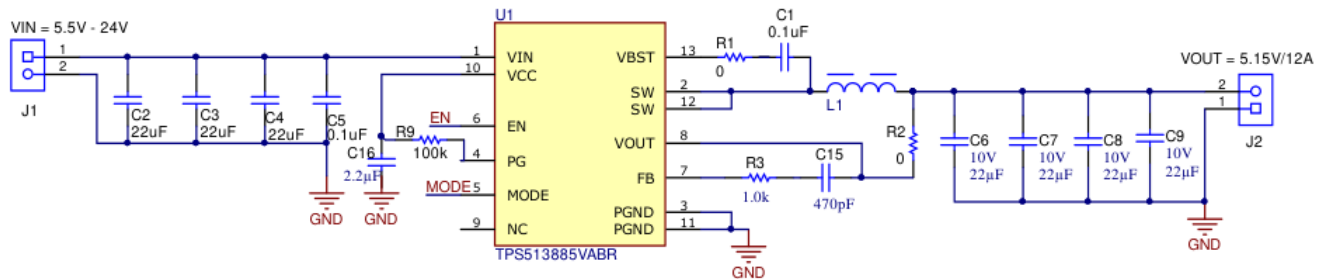


图 7-1. 5.15V、12A 参考设计

7.2.1 设计要求

表 7-1 列出了此示例的设计参数。

表 7-1. 设计参数

参数	条件	最小值	典型值	最大值	单位
输出					
V_{OUT}	输出电压		5.15		V
I_{OUT}	输出电流		12		A
V_{IN}	输入电压	5.5	19.5	24	V
$V_{OUT(ripple)}$	输出电压纹波	0A 至 12A 负载		40	mV _{P-P}
F_{SW}	开关频率		560		kHz
	轻负载工作模式		Eco-mode		
T_A	环境温度		25		°C

7.2.2 详细设计过程

7.2.2.1 使用 WEBENCH® 工具创建定制设计方案

[点击此处](#)，使用 TPS513885 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

- 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
- 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
- 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能

- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

7.2.2.2 外部元件选型

7.2.2.2.1 VOUT 和 FB 引脚配置

由于 TPS513885 具有 5.15V 固定输出电压，因此无需配置反馈电阻，仅将输出端子直接连接至 VOUT 引脚即可。前馈补偿可用于改善负载瞬态性能。

7.2.2.2.2 MODE 选择

开关频率由 MODE 引脚上配置的电压设置。请参阅表 6-1，了解可能的 MODE 引脚配置。在此设计示例中，开关频率约为 560KHz。

7.2.2.2.3 电感器选型

电感纹波电流通过输出电容器进行滤波。较高的电感器纹波电流意味着输出电容器的纹波电流额定值必须高于电感器纹波电流。请参阅表 7-2，了解建议的电感器值。

可使用方程式 3 和方程式 4 计算流经电感器的 RMS 电流和峰值电流。确保电感器的额定值能够处理这些电流。

$$I_{L(rms)} = \sqrt{I_{OUT}^2 + \frac{1}{12} \times \left[\frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L_{OUT} \times F_{SW}} \right]^2} \quad (3)$$

$$I_{L(peak)} = I_{OUT} + \frac{I_{OUT(ripple)}}{2} \quad (4)$$

在瞬态和短路条件下，电感器电流可能会增至器件的电流限值，因此，选择饱和电流高于电流限制条件下的峰值电流的电感器比较安全。

7.2.2.2.4 输出电容器选型

选择电感器后，必须优化输出电容器。在 D-CAP3 控制模式下，稳压器会在一个周期内对占空比的变化作出反应，因此无需大量输出电容即可实现良好的瞬态性能。表 7-2 给出了建议的输出电容范围。陶瓷电容器具有非常低的 ESR，否则电容器的最大 ESR 必须小于 $V_{OUT(ripple)}/I_{OUT(ripple)}$ 。

表 7-2. 建议的元件值

V _{OUT} (V)	F _{sw} (kHz)	L _{OUT} (μH)	C _{OUT(min)} (μF)	C _{OUT(max)} (μF)	R _{FF} (kΩ)	C _{FF} (pF)
5.15	560	1.5	88	198	1	470
5.15	920	1.5	44	88	1	100

7.2.2.2.5 输入电容器选型

根据应用，TPS513885 需要在电源输入引脚 VIN 上使用输入去耦电容器，还需使用大容量电容器。使用方程式 5 计算所需的最小输入电容。

$$C_{IN(min)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(ripple)} \times V_{IN} \times F_{SW}} \quad (5)$$

TI 建议在输入电压引脚 VIN 上使用标称 44μF/35V 的高质量 X5R 或 X7R 输入去耦电容器。输入电容器上的额定电压必须高于最高输入电压。电容器的纹波电流额定值也必须大于应用的最大输入电流纹波。可使用方程式 6 计算输入纹波电流：

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN(min)}} \times \frac{(V_{IN(min)} - V_{OUT})}{V_{IN(min)}}} \quad (6)$$

7.2.3 应用曲线

图 7-2 至 图 7-17 适用于图 7-1 的电路。 $V_{IN} = 12V$, $f_{SW} = 560kHz$, $T_A = 25^\circ C$ (除非另有说明)

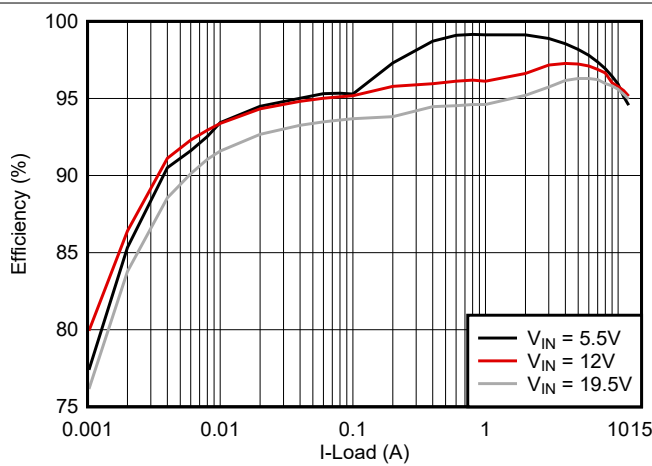


图 7-2. 效率曲线 (ECO)

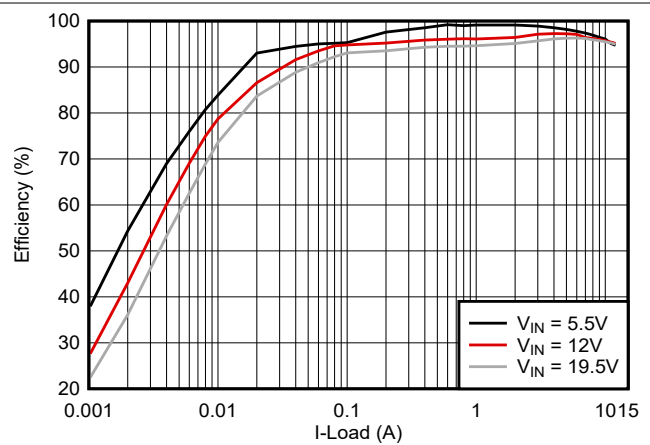


图 7-3. 效率曲线 (OOA)

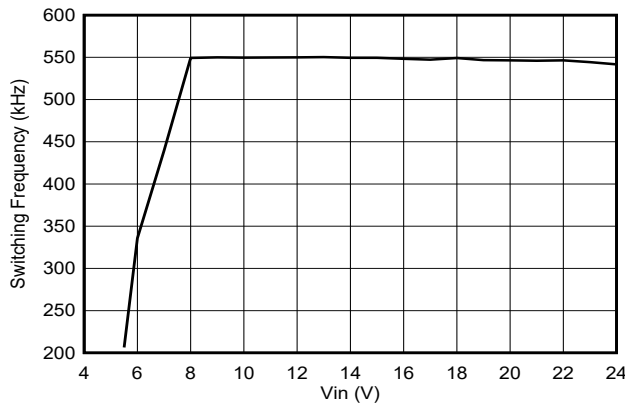


图 7-4. 开关频率与输入电压之间的关系, $I_{OUT} = 6A$

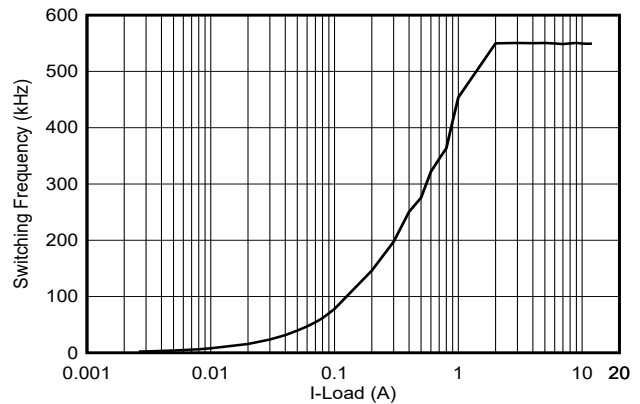


图 7-5. 开关频率与输出负载之间的关系 (ECO)

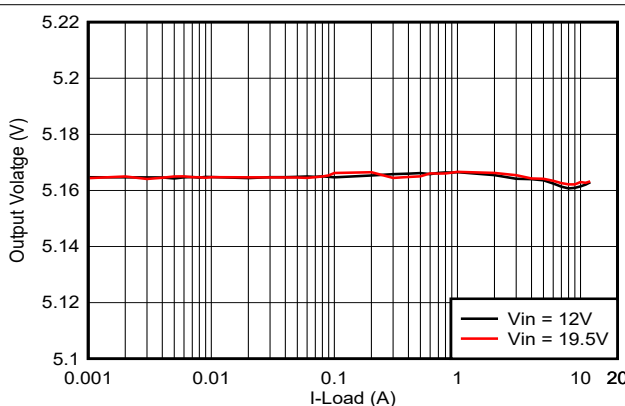


图 7-6. 负载调整, $V_{in} = 12V/19.5V$

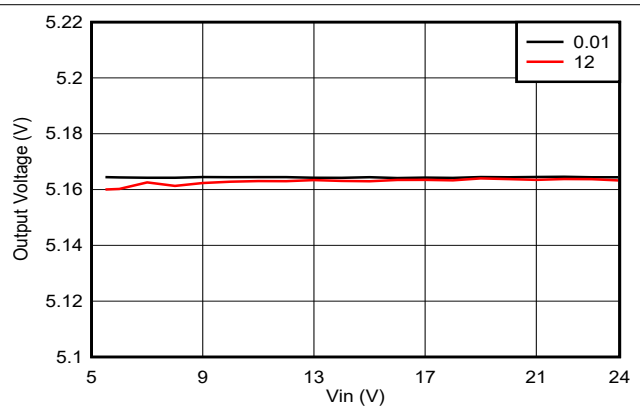


图 7-7. 线路调节, $I_{OUT} = 0.01A/12A$

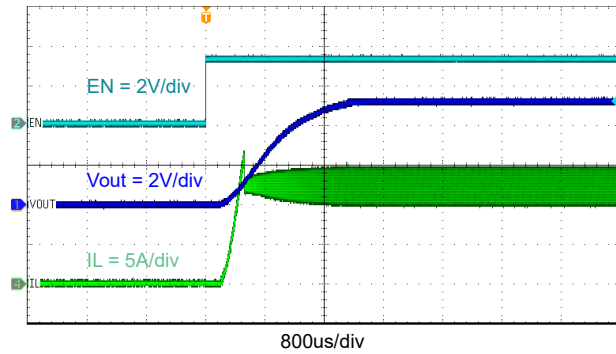


图 7-8. 通过 EN 的启动, $I_{OUT} = 12A$

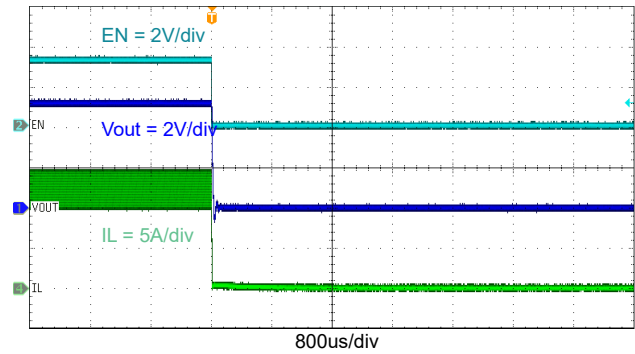


图 7-9. 通过 EN 的关断, $I_{OUT} = 12A$

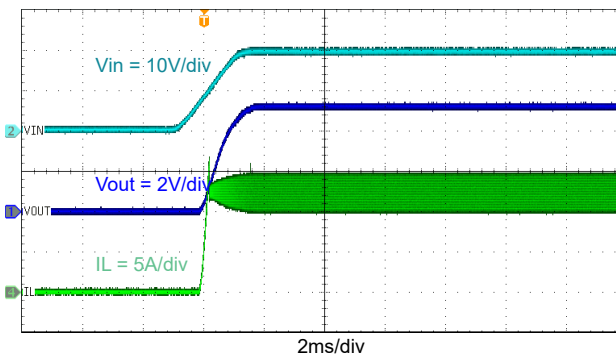


图 7-10. 相对于 VIN 上升的启动,
 $I_{OUT} = 12A$

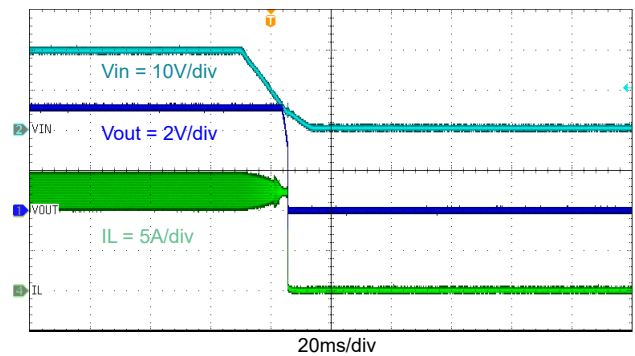


图 7-11. 相对于 VIN 下降的关断,
 $I_{OUT} = 5A$

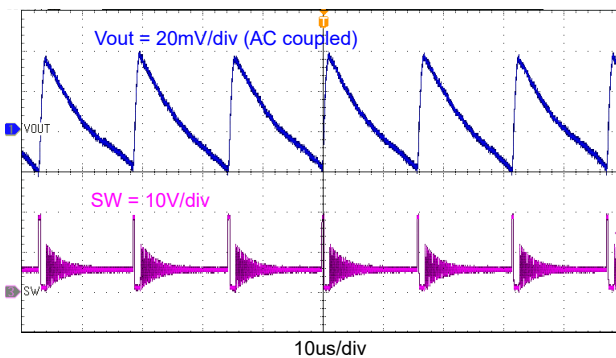


图 7-12. 输出电压纹波, $I_{OUT} = 0.1A$

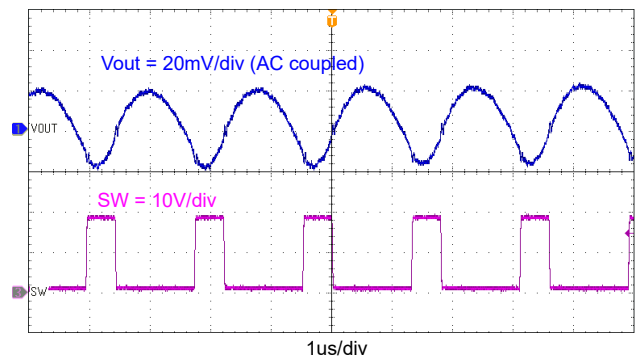


图 7-13. 输出电压纹波, $I_{OUT} = 6A$

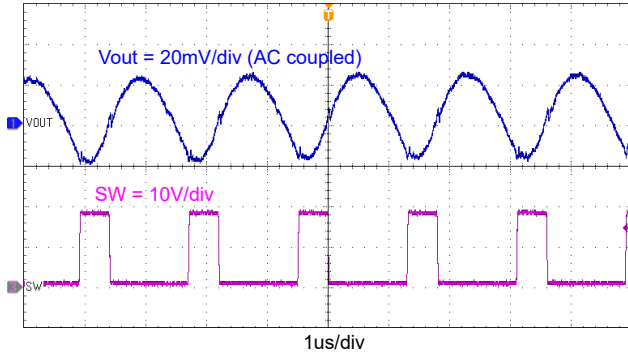


图 7-14. 输出电压纹波, $I_{OUT} = 12A$

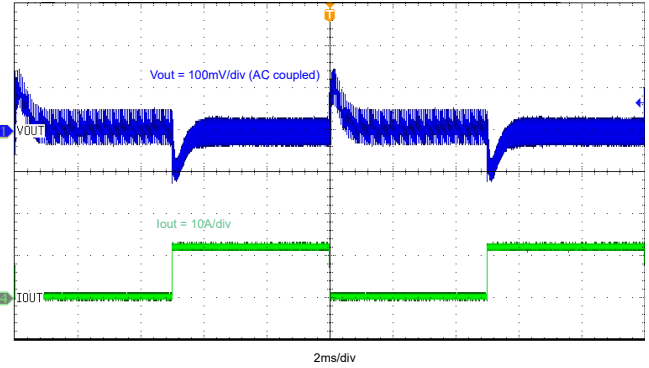


图 7-15. 瞬态响应, 0A 至 12A ,
压摆率 = $1.6A/\mu s$

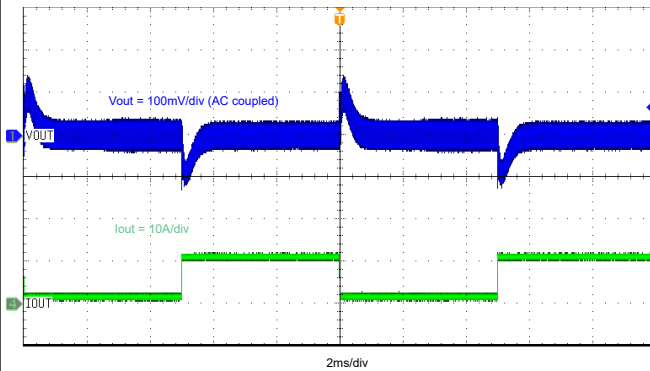


图 7-16. 瞬态响应, 1.2A 至 10.8A ,
压摆率 = $1.6A/\mu s$

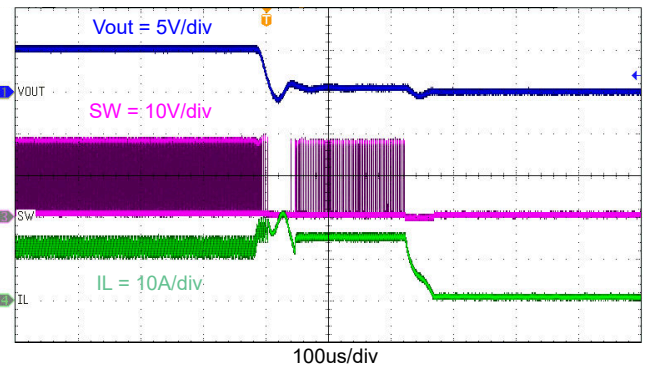


图 7-17. 正常运行至输出硬短路

7.3 电源相关建议

TPS513885 旨在由经过良好调节的直流电压供电。输入电压范围为 5.5V 至 24V。TPS513885 是一款降压转换器。输入电源电压必须大于所需的输出电压，才能确保正常运行。输入电源电流必须适合所需的输出电流。如果输入电压电源远离 TPS513885 电路，TI 建议使用一些额外的输入大容量电容。典型值为 100 μ F 至 470 μ F。

7.4 布局

7.4.1 布局指南

- 请注意，任何直流/直流转换器的 PCB 布局对于实现设计的出色性能而言都至关重要。PCB 布局不良可能会破坏良好原理图设计的运行效果。即使转换器正确调节，PCB 布局不良也意味着稳健的设计无法大规模生产。此外，转换器的 EMI 性能在很大程度上取决于 PCB 布局。在降压转换器中，最关键的 PCB 功能是由输入电容器和电源地形成的环路。该环路承载大瞬态电流，在布线电感的作用下可能产生大瞬态电压。这些不必要的瞬态电压会破坏转换器的正常运行。因此，该环路中的布线必须宽且短，并且环路面积必须尽可能小以降低寄生电感。
- 采用四层 PCB，以获得良好的热性能和更大的接地层。例如，使用具有 2oz 覆铜的 3 英寸 × 2.75 英寸顶层和底层 PCB。
- 将去耦电容器放置在 VIN 和 VCC 之间，并尽可能靠近。
- 将输出电感器和具有 IC 的电容器放置在同一层。SW 布线必须尽可能短，以最大程度地降低 EMI，并且必须是宽平面以承载大电流。必须向输出电容器的 PGND 连接添加足够的过孔，并且过孔应尽可能靠近输出引脚。
- 将 BST 电阻和电容器与 IC 放置在同一层，靠近 BST 和 SW 平面。TI 建议使用宽度大于 10mil 的布线来减小线路寄生电感。
- 使反馈走线为 10mil 宽，并远离开关节点、BST 节点或其他高速数字信号。
- 使 VIN 布线较宽以降低布线阻抗并提供足够的电流能力。
- 在器件下方放置多个过孔，过孔应靠近 VIN 和 PGND 以及输入电容，以降低寄生电感并提高热性能。

7.4.2 布局示例

图 7-18 展示了建议的顶面布局。元件参考位号与 [TPS513885 降压转换器评估模块 EVM](#) 用户指南中所示的电路相同。

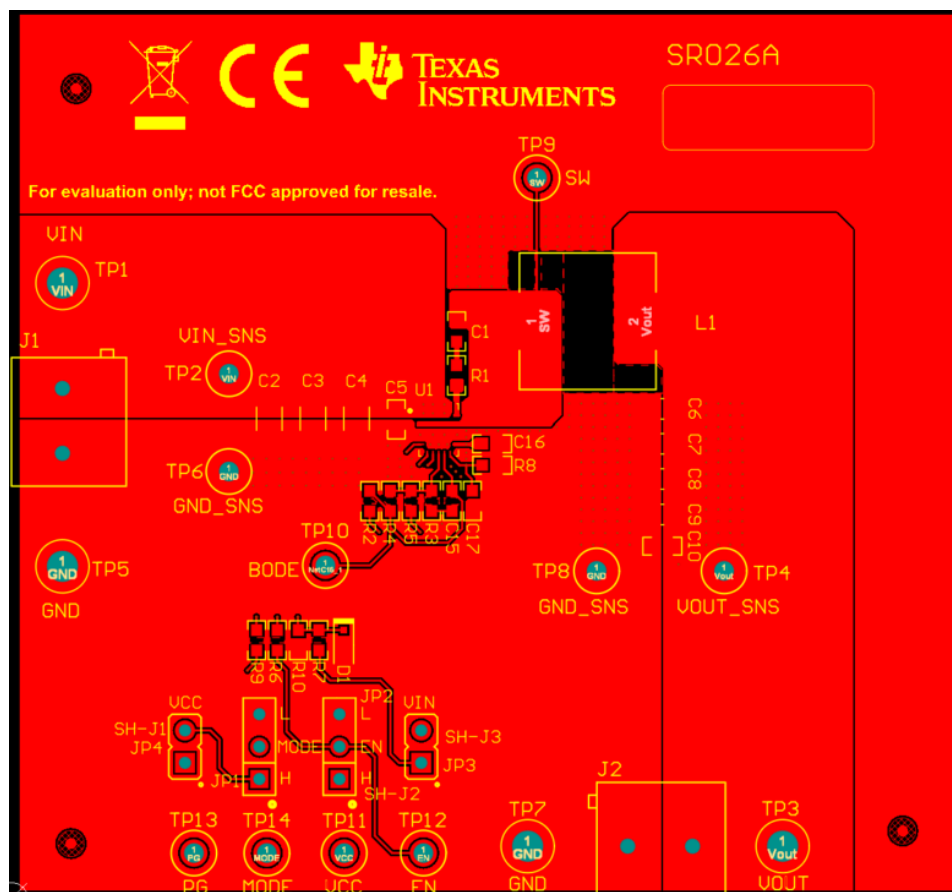


图 7-18. 顶面布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 使用 WEBENCH® 工具创建定制设计方案

[点击此处](#)，使用 TPS513885 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

德州仪器 (TI)，[TPS513885 降压转换器评估模块 EVM](#) 用户指南。

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

D-CAP3™, Out-of-Audio™, ULQ™, HotRod™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

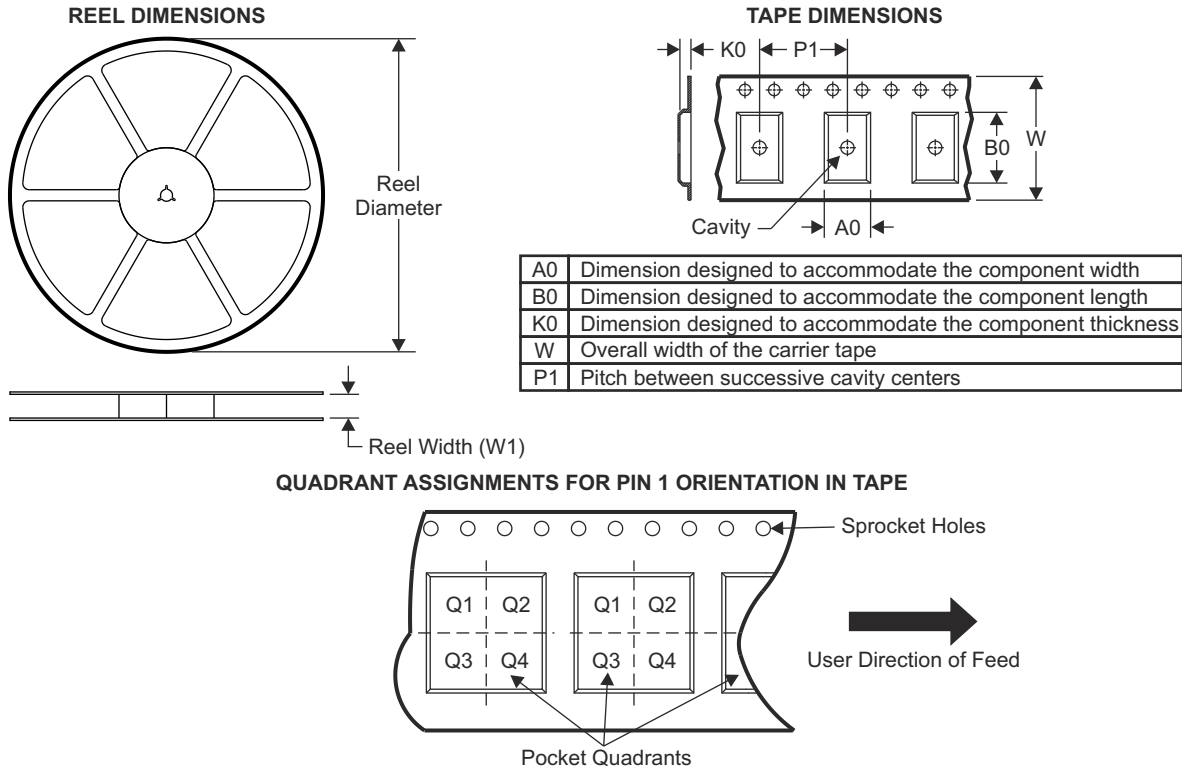
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2024	*	初始发行版

10 机械、封装和可订购信息

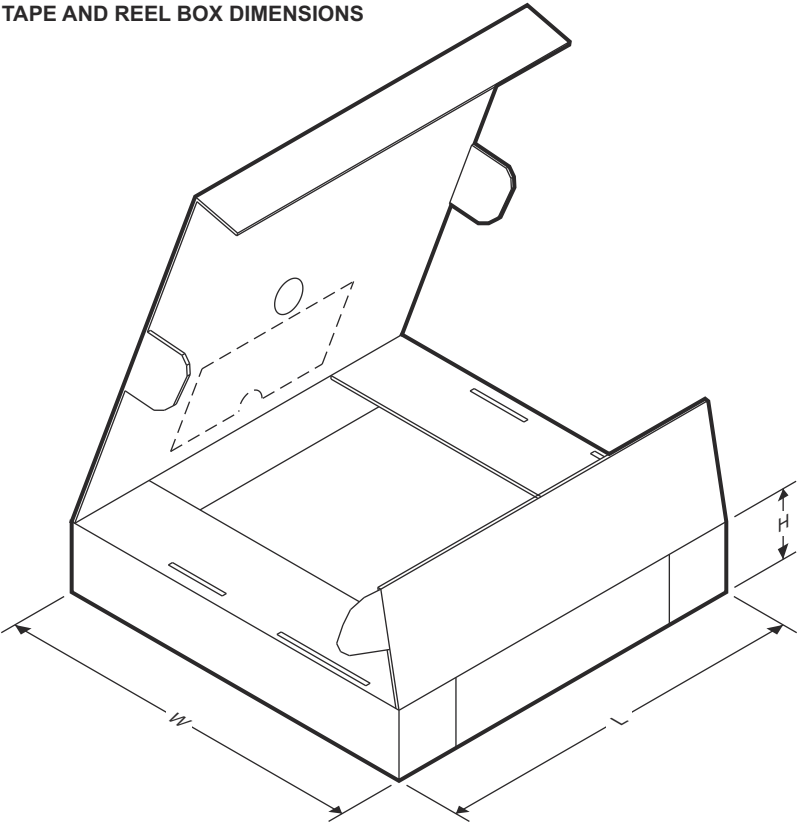
以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带包装信息



器件	封装类型	封装图	引脚数	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PTPS513885VABR	VQFN-HR	VAB	13	4000	330	12.4	3.3	4.3	1.1	8	12	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚数	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PTPS513885VABR	VQFN-HR	VAB	13	4000	367	367	35

ADVANCE INFORMATION

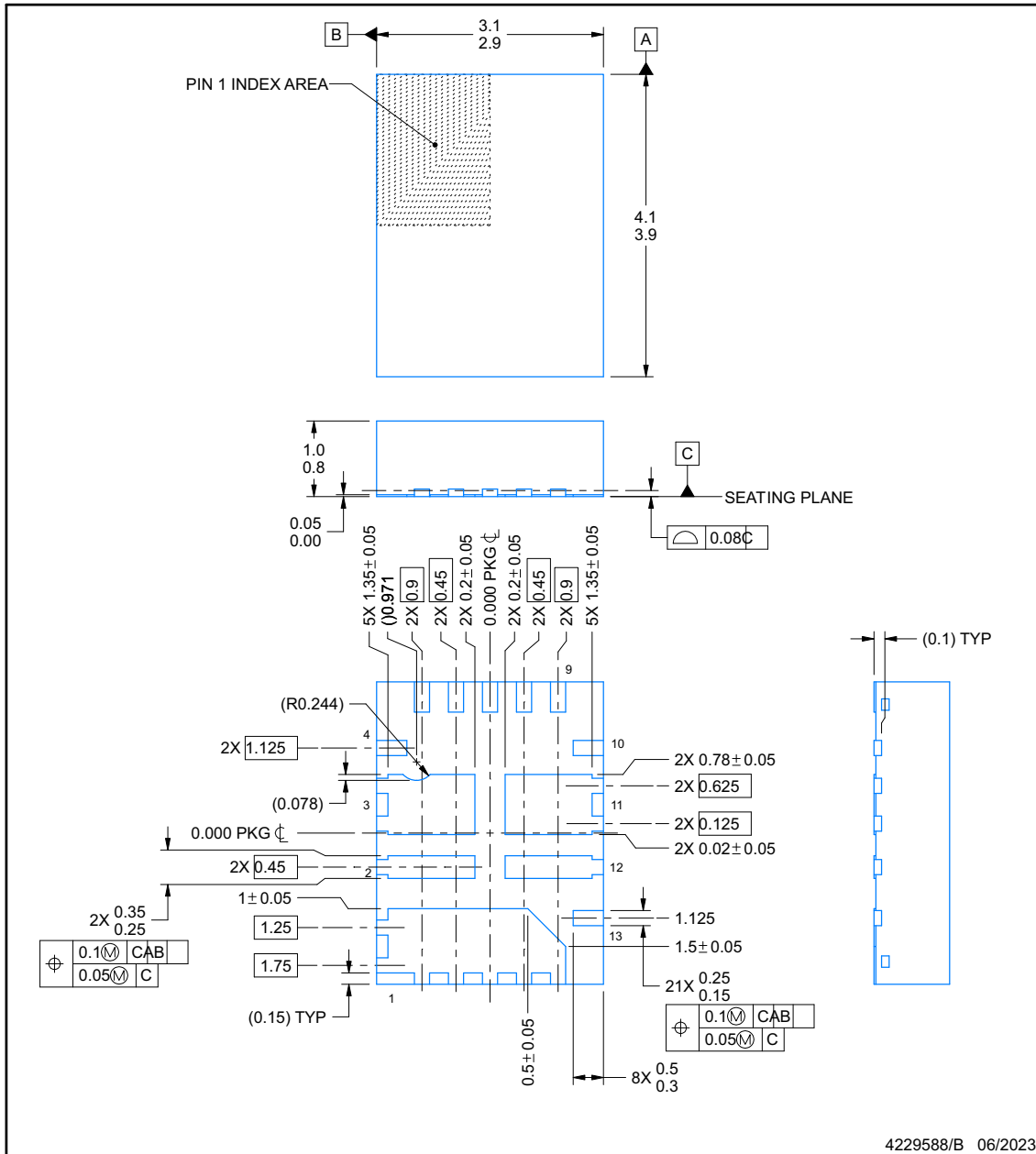


PACKAGE OUTLINE

VAB0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

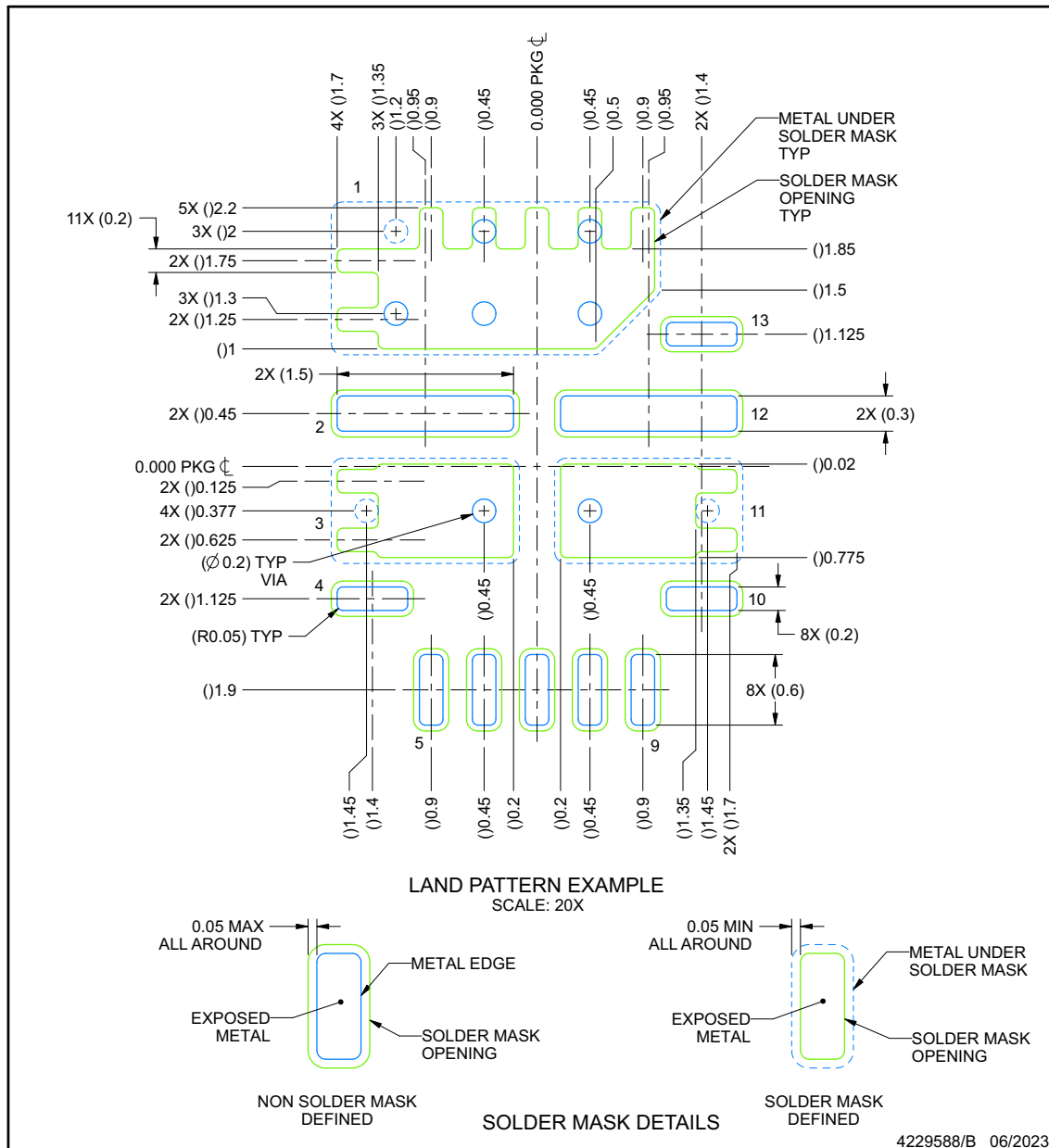
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VAB0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

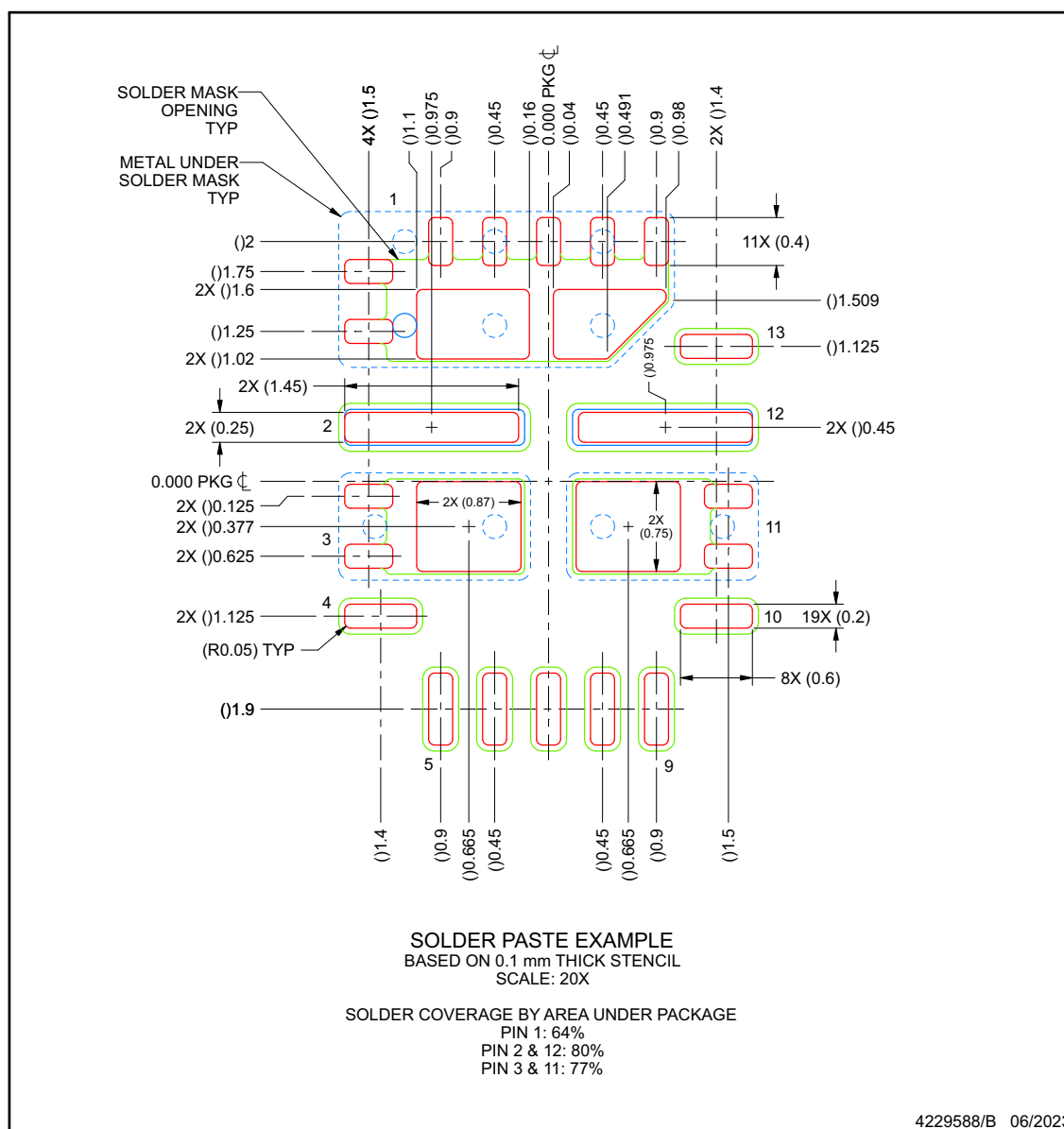
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VAB0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPS513885VABR	ACTIVE	VQFN-HR	VAB	13	4000	TBD	Call TI	Call TI	-40 to 125		Samples
TPS513885VABR	ACTIVE	VQFN-HR	VAB	13	4000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	513885	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

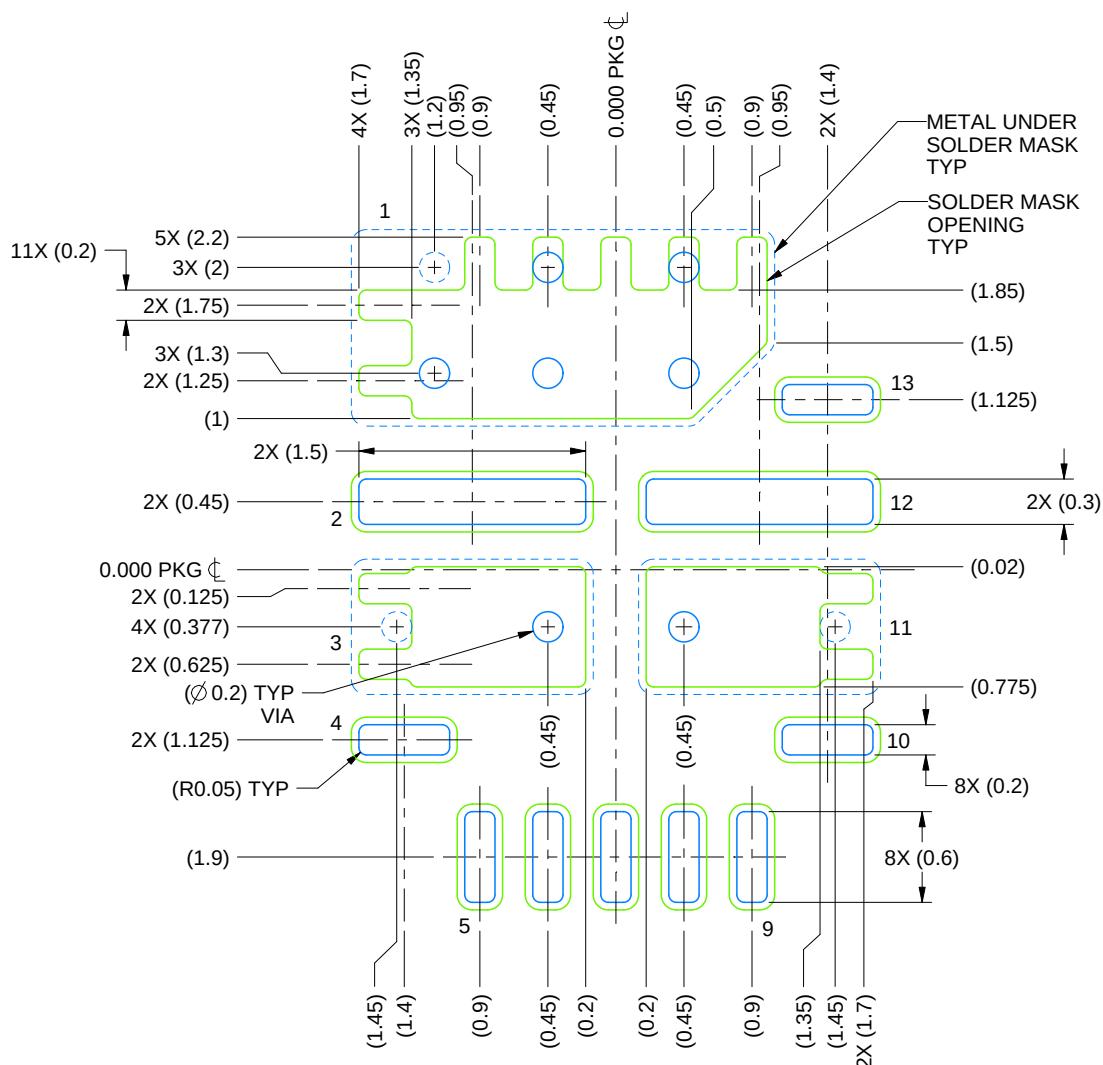
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

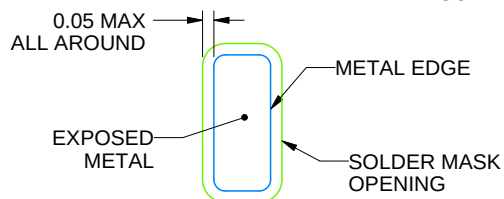
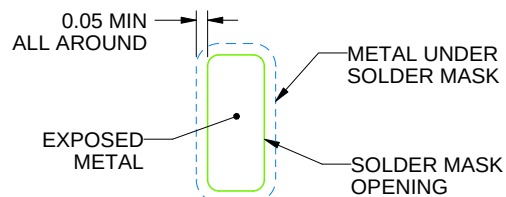
VAB0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 20X

NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4229588/B 06/2023

NOTES: (continued)

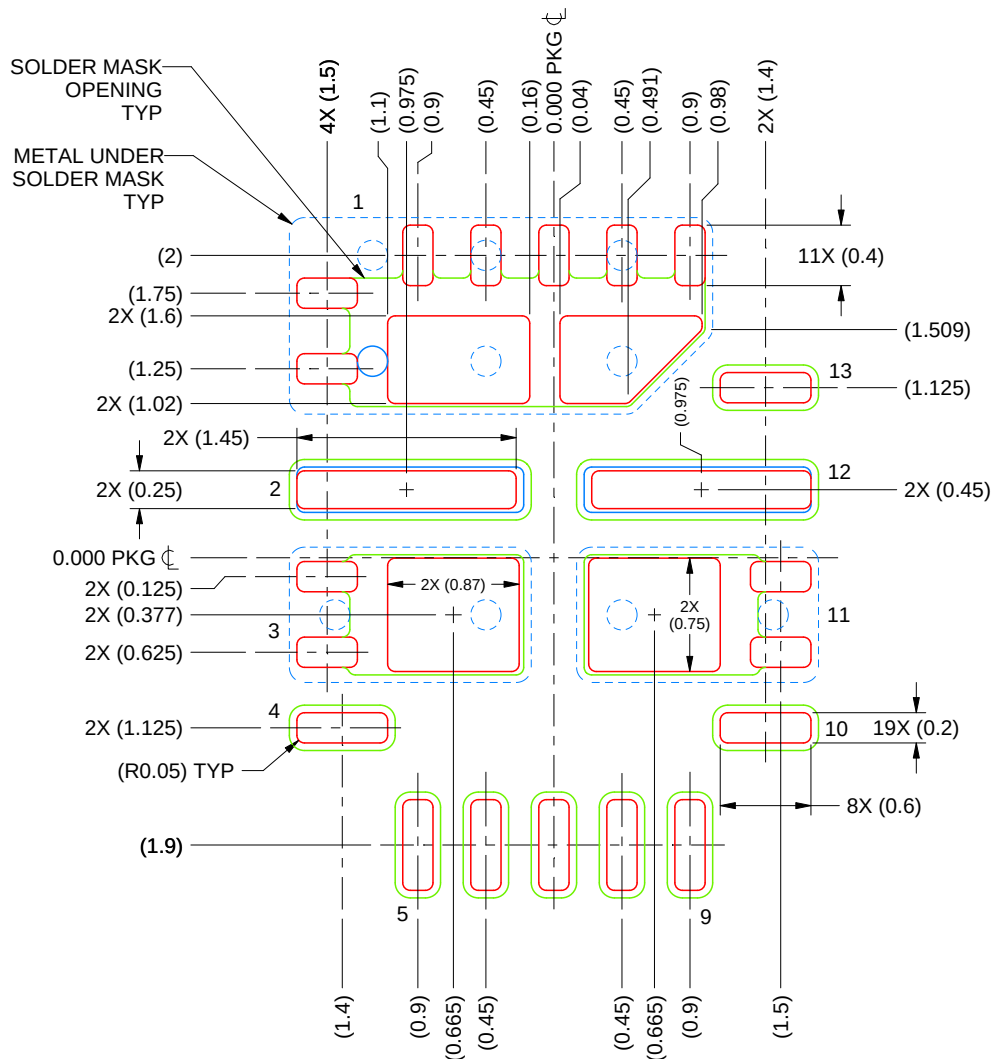
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VAB0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL
 SCALE: 20X

SOLDER COVERAGE BY AREA UNDER PACKAGE
 PIN 1: 64%
 PIN 2 & 12: 80%
 PIN 3 & 11: 77%

4229588/B 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司