

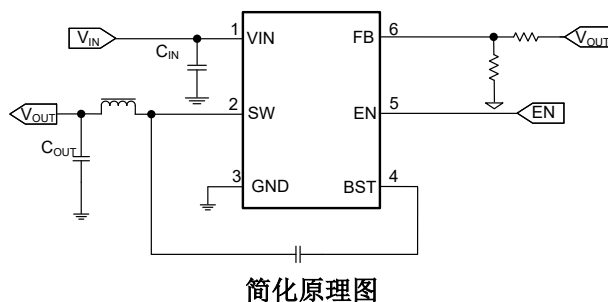
TPS56124x 采用 SOT563 封装的 4.2V 至 17V 输入电压、1A 同步降压转换器

1 特性

- 配置适用于各种应用
 - 输入电压范围：4.2V 至 17V
 - 输出电压范围：0.6V 至 7V
 - 基准电压：0.6V
 - ±1.5% 基准电压精度
 - 集成式 FET: 100mΩ 和 55mΩ
 - TPS561243 具有低静态电流：110 μA
 - 开关频率：1280kHz
 - 以最大 95% 的高占空比运行
 - 固定软启动时间：1.4ms
- 易于使用且设计小巧
 - TPS561243 在轻负载下采用 Eco-mode，而 TPS561246 采用 FCCM 模式
 - D-CAP3™ 控制模式，可提供快速瞬态响应
 - 支持带预偏置输出的启动
 - 非锁存 OV、OT 和 UVLO 保护
 - 逐周期过流限制
 - UV 保护的断续模式
 - 工作结温范围：-40°C 至 125°C
 - SOT563 封装：1.6mm × 1.6mm
- 使用 TPS56124x 并借助 [WEBENCH® Power Designer](#) 创建定制设计方案

2 应用

- [WLAN/Wi-Fi 接入点](#)
- [调制解调器 \(线缆/DSL/GFAST \)](#)
- [小型企业路由器](#)
- [电表](#)
- [STV 和 DVR](#)
- [电器](#)



3 说明

TPS56124x 是一款简单且易于使用的同步降压转换器，具有 4.2V 至 17V 的输入电压范围，并支持高达 1A 的持续电流。

该器件设计为使用尽可能少的外部元件即可运行，而且可以实现低待机电流。

该开关模式电源 (SMPS) 器件采用 D-CAP3 控制模式，能够提供快速瞬态响应，并且在无需外部补偿元件的情况下支持专用聚合物等低等效串联电阻 (ESR) 输出电容以及超低 ESR 陶瓷电容器。

TPS561243 以 Eco-mode 运行，可在轻负载运行期间保持高效率。TPS561246 在 FCCM 模式下运行，可在所有负载条件下保持相同的频率和较低的输出纹波。TPS56124x 集成了包括 OCP、UVLO、OTP 和 UVP 在内的全面断续模式保护功能。

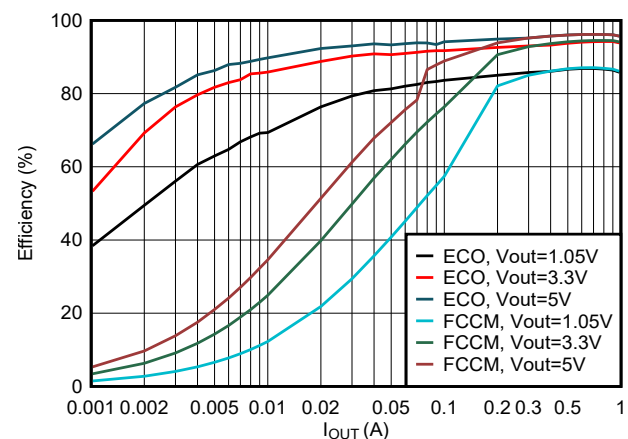
TPS56224x 采用 6 引脚、1.6mm × 1.6mm SOT563 (DRL) 封装。额定结温范围为 -40°C 至 125°C。

器件信息

器件型号	模式	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS561243	Eco-mode	DRL (SOT563 , 6)	1.60mm × 1.60mm
TPS561246	FCCM 模式		

(1) 如需更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	7 应用和实施	11
2 应用	1	7.1 应用信息.....	11
3 说明	1	7.2 典型应用.....	11
4 引脚配置和功能	3	7.3 电源相关建议.....	16
5 规格	4	7.4 布局.....	16
5.1 绝对最大额定值.....	4	8 器件和文档支持	18
5.2 ESD 等级.....	4	8.1 器件支持.....	18
5.3 建议运行条件.....	4	8.2 接收文档更新通知.....	18
5.4 热性能信息.....	5	8.3 支持资源.....	18
5.5 电气特性.....	5	8.4 商标.....	18
6 详细说明	7	8.5 静电放电警告.....	18
6.1 概述.....	7	8.6 术语表.....	18
6.2 功能方框图.....	7	9 修订历史记录	18
6.3 特性说明.....	7	10 机械、封装和可订购信息	19
6.4 器件功能模式.....	10	10.1 卷带包装信息.....	19

4 引脚配置和功能

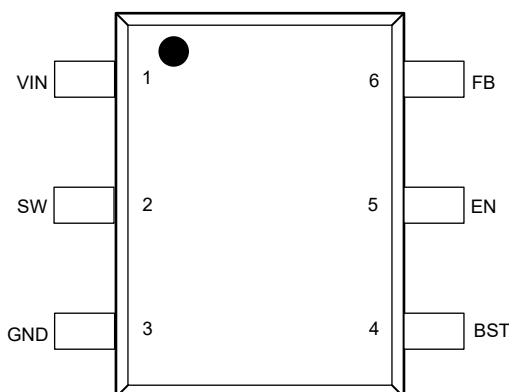


图 4-1. 6 引脚 SOT563 DRL 封装 (俯视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
VIN	1	I	输入电压电源引脚
SW	2	O	高侧 NFET 和低侧 NFET 之间的开关节点连接。
GND	3	—	低侧功率 NFET 的接地引脚源极端子以及控制电路的接地端子。将敏感 FB 单点连接至此 GND。
BST	4	O	高侧 NFET 栅极驱动电路的电源输入。在 BST 和 SW 引脚间连接 0.1 μ F 电容器。
EN	5	I	启用输入控制。高电平有效，必须上拉以启用器件。
FB	6	I	转换器反馈输入。通过反馈电阻分压器连接到输出电压。

(1) I = 输入, O = 输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
输入电压	VIN	-0.3	19	V
输入电压	FB、EN	-0.3	6	V
输入电压	GND	-0.3	0.3	V
输出电压	BST	-0.3	25	V
输出电压	BST (< 20ns)	-0.3	27	V
输出电压	SW	-2	19	V
输出电压	SW (< 20ns)	-6.5	21	V
工作结温范围, T _J		-40	150	°C
贮存温度, T _{stg}	贮存温度, T _{stg}	-55	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
输入电压	VIN	4.2		17	V
输入电压	FB、EN	-0.1		5.5	V
输入电压	GND	-0.1		0.1	V
输出电压	BST	-0.1		23	V
输出电压	BST (< 20ns)	-0.1		25	V
输出电压	SW	-1		17	V
输出电压	SW (< 20ns)	-6		19	V
输出电流	IO	0		1	A
T _J	工作结温	-40		125	°C
T _{stg}	贮存温度	-40		150	°C

5.4 热性能信息

热指标 ⁽¹⁾		DRL (SOT-563)	单位
		6 引脚	
R _{θJA}	结至环境热阻	147.4	°C/W
R _{θJA_effective}	EVM 板上的结到环境热阻	73 ⁽²⁾	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	75.7	°C/W
R _{θJB}	结至电路板热阻	32.2	°C/W
Ψ _{JT}	结至顶部特征参数	2.1	°C/W
Υ _{JB}	结至电路板特征参数	31.8	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

(2) 此 R_{θJA_effective} 是 TA = 25°C 条件下在 TPS562243EVM 板 (2 层, 顶层和底层铜厚均为 2oz) 上测试的。

5.5 电气特性

在 T_J = -40°C - 125°C、V_{IN} = 12V 条件下工作 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输入电源电压						
V _{IN}	输入电压范围		4.2		17	V
I _{VIN}	VIN 电源电流	无负载, V _{EN} = 1.5V, 非开关, ECO 版本		110		μA
		无负载, V _{EN} = 1.5V, V _{FB} = 0.9V, FCCM 版本 ⁽¹⁾		350		μA
I _{INSDN}	VIN 关断电流	V _{EN} = 0V		7		μA
UVLO						
UVLO	VIN 欠压锁定	唤醒 VIN 电压	3.6	3.8	4	V
UVLO	VIN 欠压锁定	关断 VIN 电压	3.2	3.4	3.6	V
UVLO	VIN 欠压锁定	迟滞 VIN 电压		400		mV
反馈电压						
V _{FB}	FB 电压	T _J = 25°C, Vin = 4.2V - 17V	591	600	609	mV
V _{FB}	FB 电压	T _J = -40°C 至 125°C, Vin = 4.2V - 17V	588	600	612	mV
MOSFET						
R _{DS(ON)HI}	高侧 MOSFET Rds(on)	T _J = 25°C		100		mΩ
R _{DS(ON)LO}	低侧 MOSFET Rds(on)	T _J = 25°C		55		mΩ
占空比和频率控制						
F _{SW}	开关频率	V _{OUT} = 3.3V		1280		kHz
T _{OFF(MIN)}	最短关断时间 ⁽¹⁾	V _{FB} = 0.5V		100		ns
T _{ON(MIN)}	最短导通时间 ⁽¹⁾			55		ns
电流限值						
I _{OCL_LS}	过流阈值	谷值电流设定点	1.2	2.8	3.6	A
I _{NOCL}	负过流阈值	谷值电流设定点	1	1.8	2.5	A
逻辑阈值						
V _{EN(ON)}	EN 阈值高电平		1.15	1.2	1.28	V
V _{EN(OFF)}	EN 阈值低电平		0.93	1	1.05	V
V _{ENHYS}	EN 迟滞			200		mV

5.5 电气特性 (续)

在 $T_J = -40^{\circ}\text{C} - 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 条件下工作 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出放电和软启动						
I_{EN}	EN 下拉电流	$V_{EN} = 1.5\text{V}$		1		μA
t_{SS}	内部软启动时间	V_{OUT} 从 0 到目标值。		1.4		ms
输出欠压和过压保护						
V_{UVP}	UVP 跳变阈值		55	60	65	%
t_{UVPDLY}	UVP 传播抗尖峰脉冲			256		μs
t_{UVPON}	在连续断续模式下, 开关时间	硬短路, UVP 检测		1.5		ms
t_{UVPOFF}	在连续断续模式下, 非开关时间	硬短路, UVP 检测		13		ms
过热保护						
T_{OTP}	OTP 跳变阈值			155		$^{\circ}\text{C}$
T_{OTPHSY}	OTP 迟滞			20		$^{\circ}\text{C}$

(1) 由设计指定

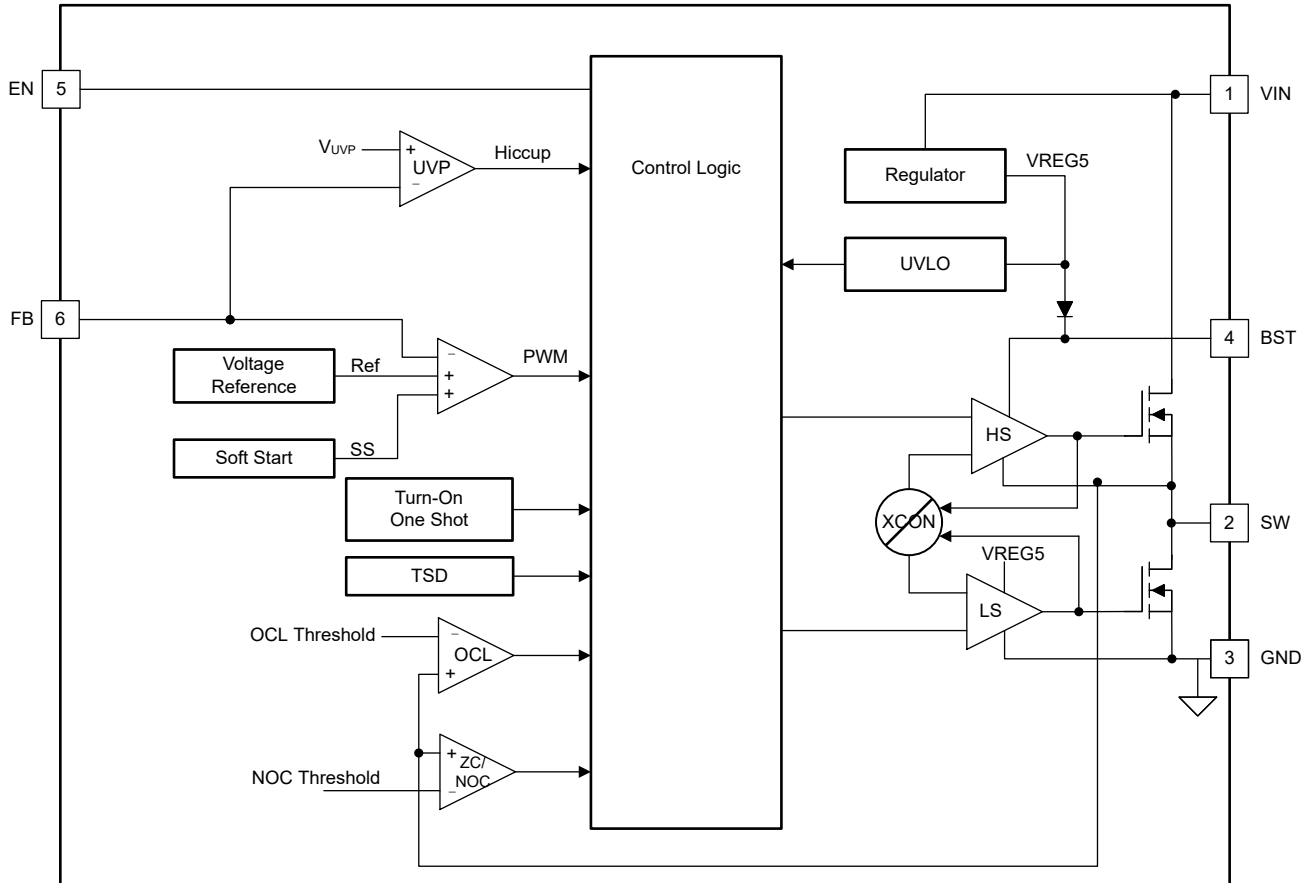
6 详细说明

6.1 概述

TPS56124x 是一款 1A 集成 FET 同步降压转换器，可在 4.2V 至 17V 输入电压和 0.6V 至 7V 输出电压范围内工作。该器件采用 D-CAP3 控制模式，无需外部补偿元件即可提供精确的反馈电压和快速瞬态响应。专有 D-CAP3 控制模式可减少外部元件数量，简化设计，并针对成本、尺寸和效率优化电源设计。该拓扑提供在较高负载条件下的 CCM 运行模式与较轻负载条件下的 DCM 运行之间的无缝过渡。

Eco-mode 版本使 TPS561243 能够在轻负载时保持高效率。FCCM 模式版本允许 TPS561246 保持固定的开关频率和较低的输出电压纹波。TPS56124x 既能够适应诸如 POSCAP 或 SP-CAP 的低等效串联电阻 (ESR) 输出电容器，也能够适应超低 ESR 陶瓷电容器。

6.2 功能方框图



6.3 特性说明

6.3.1 自适应导通时间控制和 PWM 运行

TPS56124x 实现了 D-CAP3 控制方案，该方案支持自适应导通时间脉宽调制 (PWM) 控制，与内部补偿电路相结合并使用低 ESR 和陶瓷输出电容器时，可实现伪固定频率和较少的外部元件数配置。即使输出端几乎没有纹波，D-CAP3 控制方案也很稳定。TPS56124x 还包含一个误差放大器，可使输出电压变得非常准确。

在每个周期的开始，高侧 MOSFET 将开启。内部一次性计时器到时后，此 MOSFET 将关闭。这个一次性计时器的持续时长是根据输出电压 V_O 按比例设置的，同时与转换器输入电压 V_{IN} 成反比，以便在输入电压的范围内保持伪固定频率，因此称为自适应导通时间控制。当反馈电压降至基准电压之下时，一次性计时器将复位，高侧 MOSFET 将再次导通。基准电压将增加内部斜坡，以刺激输出纹波，不再需要 D-CAP3 控制方案提供的 ESR 感应输出纹波。

6.3.2 Eco-mode 控制

TPS561243 利用高级 Eco-mode 设计，可在轻负载下保持高效率。当输出电流从重负载状态降低时，电感器电流也会减小，最终波纹谷达到零电平，这是连续导通和不连续导通模式的边界。检测到电感器电流为零后，整流 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间几乎与连续导通模式时相同，并且由于负载电流相比基准电压的电平更低，输出电容器放电需要更长时间。此操作会降低开关频率，与负载电流成正比，从而保持较高的轻负载效率。使用 [方程式 1](#) 计算轻负载运行 $I_{OUT(LL)}$ 电流的过渡点。

$$I_{out(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (1)$$

6.3.3 软启动和预偏置软启动

TPS56124x 具有 1.4ms 的内部软启动时间。EN 引脚变为高电平时，内部软启动功能开始逐步升高 PWM 比较器的基准电压。

如果输出电容器在启动时预偏置，器件将开始切换，只有在内部基准电压大于反馈电压 V_{FB} 时才会开始逐步升高。此方案确保转换器顺畅上升至调节点。

6.3.4 大占空比运行

TPS56124x 可通过平稳降低开关频率来支持高达 95% 的大占空比运行。当输入电压 $V_{IN} < 7V$ 且 V_{FB} 低于内部基准电压时，允许开关频率平滑下降以延长 T_{ON} ，从而保持输出电压并提高负载瞬态性能。最小开关频率限制为大约 400kHz。

6.3.5 电流保护

使用逐周期谷值检测控制电路来实现输出过流限制 (OCL)。在关断状态期间会监测开关电流，方法是测量低侧 FET 漏源电压。此电压与开关电流成正比。为了提升精度，对电压检测进行了温度补偿。

在高侧 FET 开关导通期间，开关电流以线性速率增加，该速率由 V_{IN} 、 V_{OUT} 、导通时间和输出电感器值决定。在低侧 FET 开关导通期间，此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT} 。如果监控电流高于 OCL 水平，转换器将维持低侧 FET 的导通状态，暂缓新置位脉冲的生成（即使电压反馈环路有这方面的需要），直到电流水平达到或低于 OCL 水平。在后续的开关周期中，导通时间将设为固定值，电流也将以相同的方式监控。

对于此类过流保护，有一些重要的注意事项。负载电流高于过流阈值的部分，为峰峰值电感器纹波电流的一半。另外，如果电流受限，输出电压往往会降低，因为要求的负载电流可能高于转换器的可用电流。该事件甚至会导致输出电压下降。当 FB 电压降至 UVP 阈值电压以下时，UVP 比较器可以检测到下降。然后，器件会在 UVP 延迟时间后关闭，并在断续时间后重新启动。

过流状况消除后，输出电压将恢复为调节值。

TPS561246 是一个 FCCM 模式器件。在此模式下，该器件在轻负载时具有负电感器电流。该器件具有 NOC（负过流）保护功能，以避免出现过大的负电流。NOC 保护功能可检测电感器电流的谷值。当电感器电流的谷值超过 NOC 阈值时，IC 关断低侧，然后导通高侧。当连续触发 8 次 NOC 保护时，IC 会同时关闭高侧 FET 和低侧 FET。当 NOC 条件消失并且输出电压恢复到目标值时，改器件恢复正常开关。

因为 TPS561246 是 FCCM 模式器件，所以，如果电感太小以至于该器件触发 NOC，则会导致输出电压高于目标值。最小电感按 [方程式 2](#) 确定。

$$L = \frac{V_{out} \times \left(1 - \frac{V_{out}}{V_{in}}\right)}{2 \times \text{Frequency} \times \text{NOC}_{min}} \quad (2)$$

6.3.6 使能电路

EN 引脚控制器件的导通和关断。当 EN 引脚电压高于导通阈值时，器件开始开关。当 EN 引脚电压低于关断阈值时，器件停止开关。默认状态为低电平，因为内部 IC 中有 1uA 的下拉电流。

EN 可由 Vin 的典型电阻分压器电路或低于 5.5V 的电压控制。

TPS56124x 还允许 EN 仅通过上拉电阻器连接到 Vin。TI 建议上拉电阻的值为 100kΩ，因为 EN 电压由齐纳二极管钳位，并且该齐纳二极管不允许通过大电流。上拉电阻 R1 不能小于 80kΩ，TI 建议 R1 也不要过大，以免 EN 无法导通。上拉电阻 R1 的建议值范围为 80kΩ 至 3MΩ，而 100kΩ 是最佳的推荐选择。

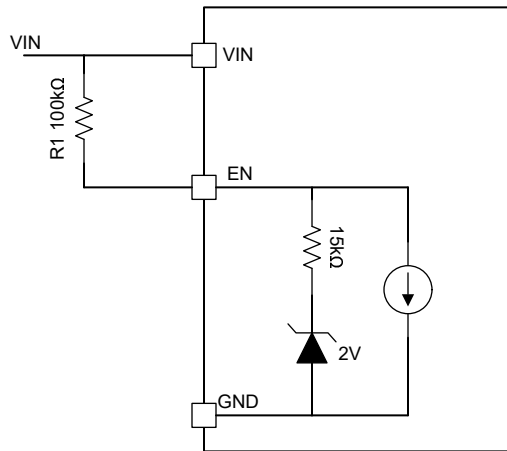


图 6-1. EN 块电路

6.3.7 欠压锁定 (UVLO) 保护

UVLO 保护功能监测的是内部稳压器电压。如果电压低于 UVLO 阈值电压，器件会关断。这是非闩锁保护。

6.3.8 热关断

此器件会监测自身的温度。如果温度超出阈值（通常为 155°C），器件会关断。此保护是非闩锁保护。

6.4 器件功能模式

6.4.1 Eco-mode 运行

TPS561243 在 Eco-mode 下运行，可在轻负载条件下保持高效率。当输出电流从重负载状态降低时，电感器电流也会减小，最终纹波谷达到零电平，这是连续导通模式与不连续导通模式的边界。检测到电感器电流为零后，整流 MOSFET 会关断。随着负载电流进一步降低，转换器会进入不连续导通模式。导通时间几乎与连续导通模式时相同，并且由于负载电流相比基准电压的电平更低，输出电容器放电需要更长时间。此事实会降低开关频率，与负载电流成正比，从而保持较高的轻负载效率。

6.4.2 FCCM 模式运行

TPS561246 在强制 CCM (FCCM) 模式下运行，这使转换器在轻负载条件下保持以连续电流模式运行，并允许电感器电流变为负值。在 FCCM 模式期间，开关频率 (F_{sw}) 在整个负载范围内维持在一个几乎恒定的水平，因此适用于需要严格控制开关频率和输出电压纹波的应用，但其代价是轻负载条件下效率较低。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TPS56124x 器件是一款典型的降压直流/直流转换器，用于将较高的直流电压转换为较低的直流电压，输出电流最高可达 1A。以下设计过程可用于为 TPS56124x 选择元件值。也可以用 WEBENCH® 软件完成全部设计。生成设计时，WEBENCH 软件采用一种迭代设计过程并访问综合元件数据库。本部分简要讨论了设计过程。

7.2 典型应用

图 7-1 中的 TPS56124x 应用原理图是为了满足表 7-1 中的要求而编制的。本节介绍了设计过程。

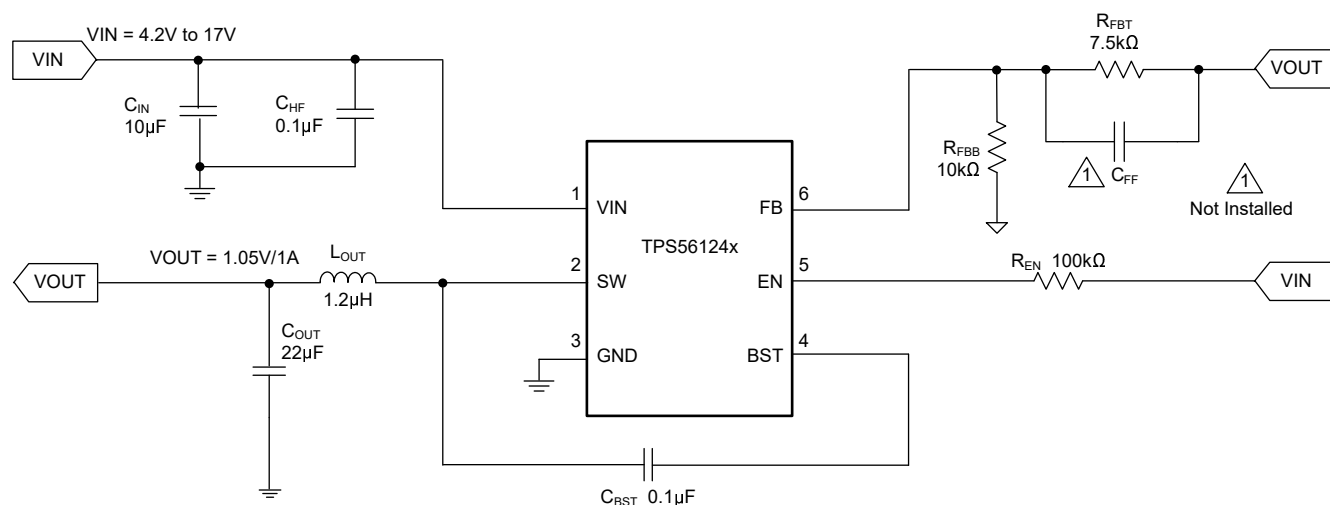


图 7-1. TPS56124x 1.05V/1A 参考设计

7.2.1 设计要求

表 7-1 给出了该应用的设计参数。

表 7-1. 设计参数

参数	条件	最小值	典型值	最大值	单位
V _{OUT}	输出电压		1.05		V
I _{OUT}	输出电流		1		A
ΔV _{OUT}	瞬态响应	0.1A - 0.9A 负载阶跃, 0.8A/μs 压摆率	±2% × V _{OUT}		V
V _{IN}	输入电压	4.2	12	17	V
V _{OUT(ripple)}	输出电压纹波	CCM 条件	8		mV
F _{SW}	开关频率		1.2		MHz
T _A	环境温度		25		°C

7.2.2 详细设计过程

7.2.2.1 使用 WEBENCH® 工具创建定制设计方案

点击[此处](#)，使用 TPS56124x 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

7.2.2.2 输出电压电阻器选型

输出电压可通过输出节点和 FB 引脚间的电阻分压器进行设置。TI 建议采用容差为 1% 或更优的分压电阻器。首先使用[方程式 3](#) 计算 V_{OUT}。

为了提高极轻负载时的效率，请考虑使用具有更大阻值的电阻。电阻过高可能导致电路更容易受到噪声的影响，FB 输入电流产生的电压误差也更明显。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{FBT}}{R_{FBB}}\right) \quad (3)$$

7.2.2.3 输出滤波器选型

用作输出滤波器的 LC 滤波器具有双极，如[方程式 4](#) 所示。在此公式中，C_{OUT} 必须使用降额后的有效值，而不是标称值。

$$Frequency_{doublepole} = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (4)$$

对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。在低频率下，整体环路增益由输出设定点电阻分压器网络和器件的内部增益设定。低频相位是 180°。在输出滤波器极点频率下，增益以每十倍频程 -40dB 的速率滚降，且相位具有 180 度下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频 -40dB 降低至 -20dB，并导致 90 度相位提升。内部纹波注入电路引入的高频零点约为 160kHz。TI 建议为所选电感器和电容器

引入的双极频率位于 40kHz 左右，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。对于高于 2V 的输出电压，TI 建议添加一个 C_{FF} 电容器以增加带宽和相位裕度。建议的 C_{FF} 范围为 10pF 至 100pF。整个系统的交叉频率通常必须低于开关频率的三分之一。

表 7-2. 建议的元件值

输出电压 (V)	L_{OUT} (uH)	C_{OUT} (uF)	C_{OUT} (uF) ⁽¹⁾ 范围	R_{FBT} (k Ω)	R_{FBB} (k Ω)	C_{FF} (pF)
0.6	1	22	22-88	0	10.0	-
1.05	1.2	22	22-44	7.5	10.0	-
2.5	2.2	22	22-44	95.0	30.0	33
3.3	3.3	22	22-44	135.0	30.0	33
5	4.7	22	22-44	220.0	30.0	47
7	4.7	22	22-66	320.0	30.0	47

(1) 该表中使用了陶瓷电容器。所有 C_{OUT} 值均是降额后的值。

电感器峰峰值纹波电流、峰值电流和 RMS 电流使用 [方程式 5](#)、[方程式 6](#) 和 [方程式 7](#) 计算。额定电感器饱和电流必须大于计算出的峰值电流，RMS 或额定加热电流必须大于计算出的 RMS 电流。

$$I_{P-P} = \frac{V_{OUT}}{V_{IN(Max)}} \times \frac{V_{IN(Max)} - V_{OUT}}{L_{OUT} \times f_{SW}} \quad (5)$$

$$I_{PEAK} = I_O + \frac{I_{P-P}}{2} \quad (6)$$

$$I_{LO(RMS)} = \sqrt{I_O^2 + \frac{1}{12} \times I_{P-P}^2} \quad (7)$$

对于本设计示例，计算出的峰值电流为 1.34A，计算出的 RMS 电流为 1.02A。使用的电感器是 WE 74438357012。

电容器值和 ESR 决定输出电压纹波量。TPS561243 旨在与陶瓷或其他低 ESR 电容器配合使用。TI 建议使用 $1 \times 22\mu F$ 输出电容。使用 [方程式 8](#) 确定输出电容器所需的额定 RMS 电流。

$$I_{CO(RMS)} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{\sqrt{12} \times V_{IN} \times L_{OUT} \times f_{SW}} \quad (8)$$

此设计中可以使用 1 个 MuRata GRM21BR61A226ME44L 22 μF 输出电容器。每个电容器的典型 ESR 为 2m Ω 。计算出的 RMS 电流为 0.2A，每个输出电容器的额定电流为 4A。

7.2.2.4 输入电容器选型

TPS561243 需要一个输入去耦电容器，并且根据应用需要一个大容量电容器。TI 建议使用超过 10 μF 的陶瓷电容器作为去耦电容器。从引脚 1 V_{IN} 到地的额外 0.1 μF 电容器 CHF 是可选的，可用于提供额外的高频滤波。额定电容器电压必须大于最大输入电压。

7.2.2.5 自举电容器选型

BST 和 SW 引脚之间必须连接一个 0.1 μF 陶瓷电容，用于确保正常运行。TI 建议使用陶瓷电容器。

7.2.3 应用曲线

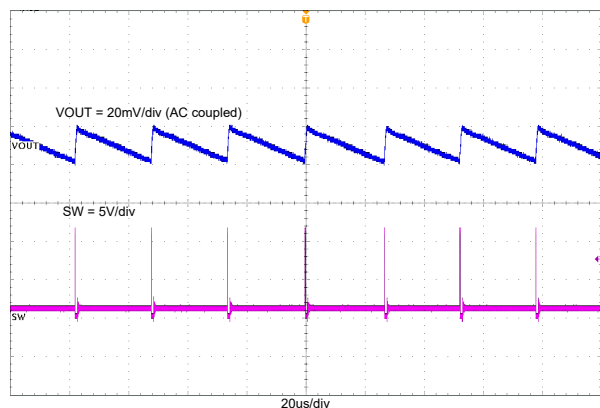


图 7-2. TPS561243 输出电压纹波 (0.01A 负载)

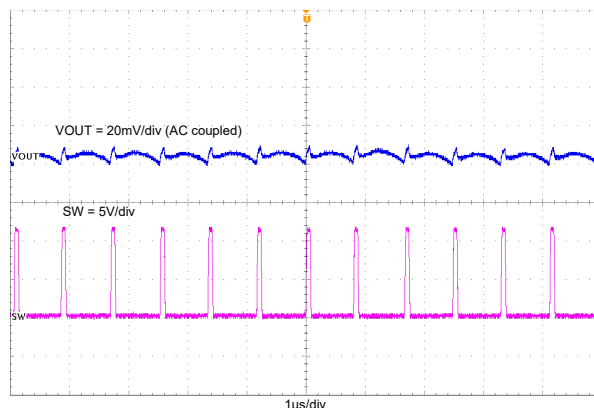


图 7-3. TPS561246 输出电压纹波 (0.01A 负载)

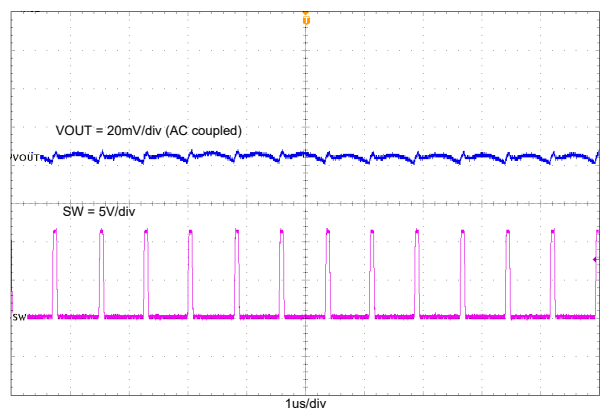


图 7-4. TPS561243 输出电压纹波 (1A 负载)

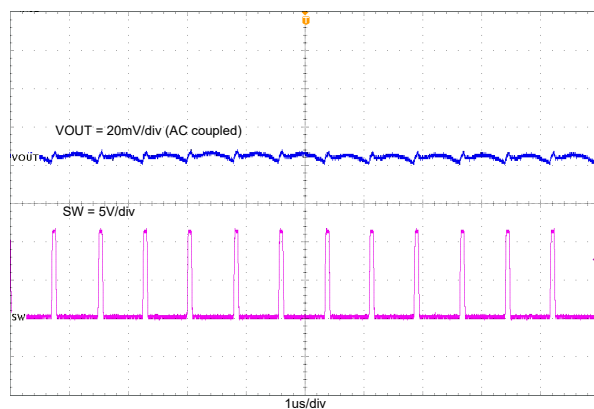


图 7-5. TPS561246 输出电压纹波 (1A 负载)

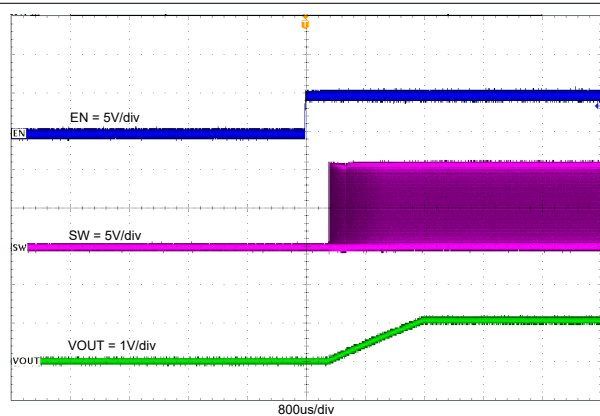


图 7-6. TPS561243 在负载电流为 1A 时使能开

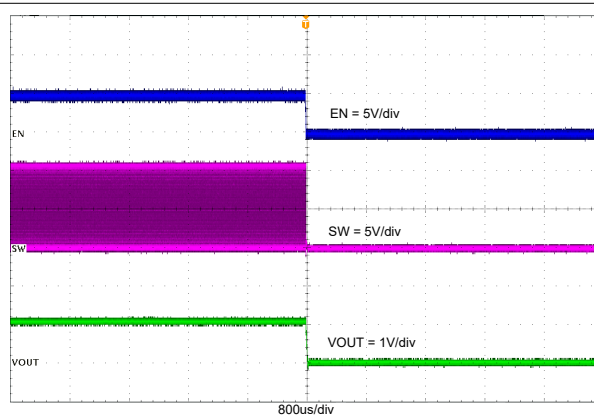


图 7-7. TPS561243 在负载电流为 1A 时使能关

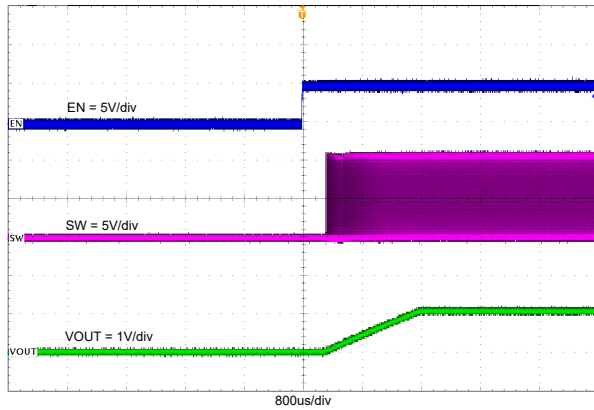


图 7-8. TPS561246 在负载电流为 1A 时使能开

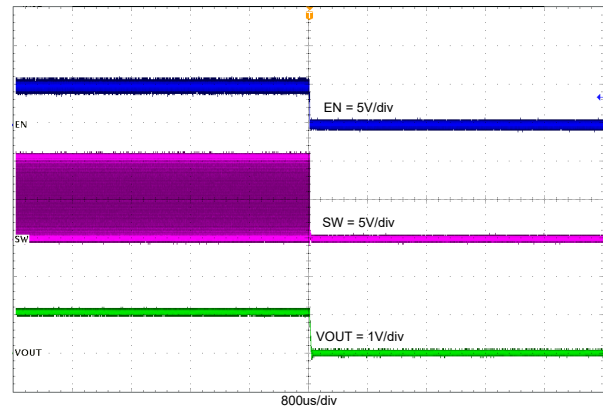


图 7-9. TPS561246 在负载电流为 1A 时使能关

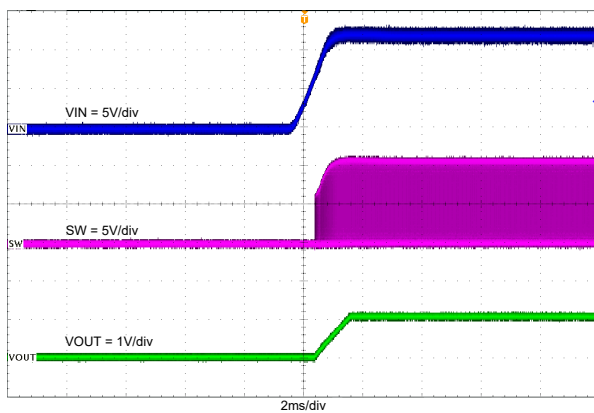


图 7-10. TPS561243 在负载电流为 1A 时上电

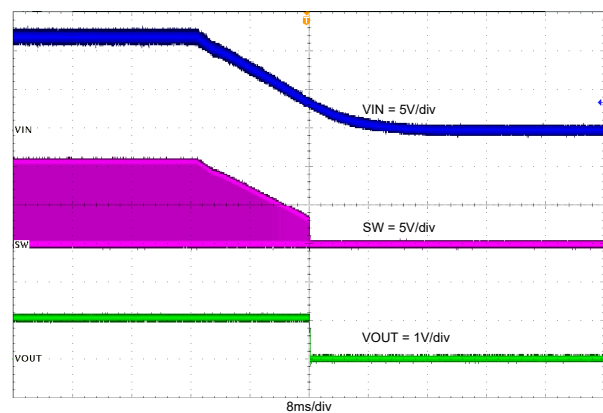


图 7-11. TPS561243 在负载电流为 1A 时断电

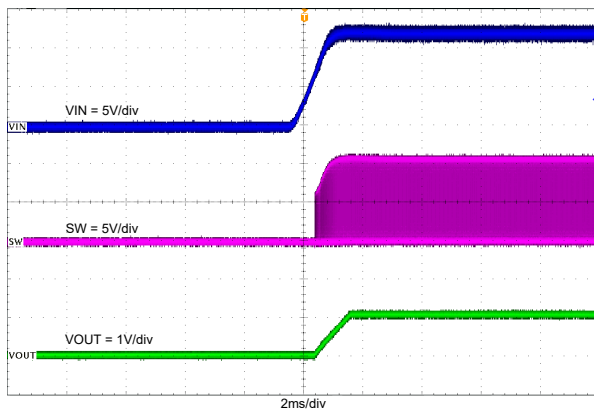


图 7-12. TPS561246 在负载电流为 1A 时上电

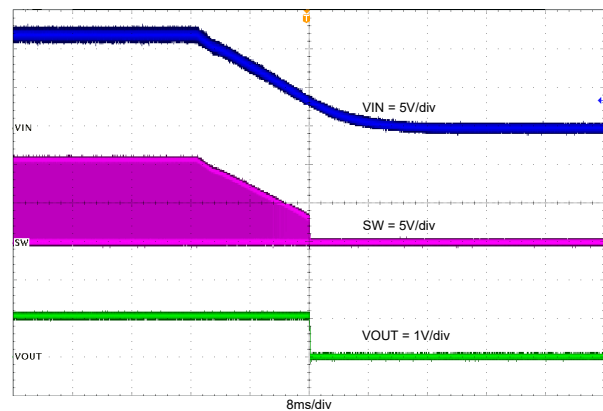


图 7-13. TPS561246 在负载电流为 1A 时断电

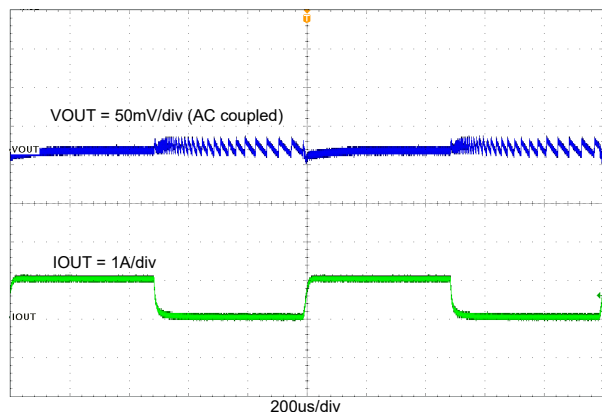


图 7-14. TPS561243 电流为 0A 至 1A 时的负载瞬态

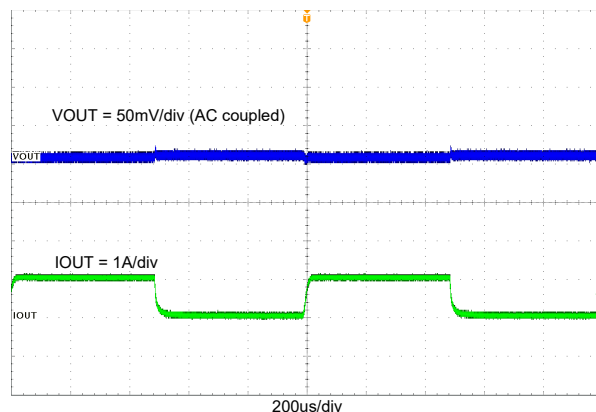


图 7-15. TPS561246 电流为 0A 至 1A 时的负载瞬态

7.3 电源相关建议

TPS56124x 设计为在 4.2V 至 17V 范围内的输入电源电压下运行。降压转换器要求输入电压高于输出电压才能正常工作。最大占空比为 95%。

7.4 布局

7.4.1 布局指南

1. 为减少布线阻抗， V_{IN} 和 GND 布线越宽越好。宽阔的区域也有利于散热。
2. 将输入电容器和输出电容器放置在尽可能靠近器件的位置，以尽可能减少布线阻抗。
3. 为输入电容器和输出电容器提供足够的通孔。
4. 从物理角度而言，SW 布线应尽可能短且宽，从而最大限度地减小辐射发射。
5. 不可使开关电流在器件下流过。
6. 将单独的 VOUT 路径连接到上部反馈电阻器。
7. 与反馈路径的 GND 引脚建立开尔文连接。
8. 使电压反馈环路远离高压开关布线的位置，并且最好具有接地屏蔽。
9. 为避免噪声耦合，FB 节点的布线应尽可能小。
10. 使输出电容器和 GND 引脚之间的 GND 布线尽可能宽，以尽可能减小布线阻抗。

7.4.2 布局示例

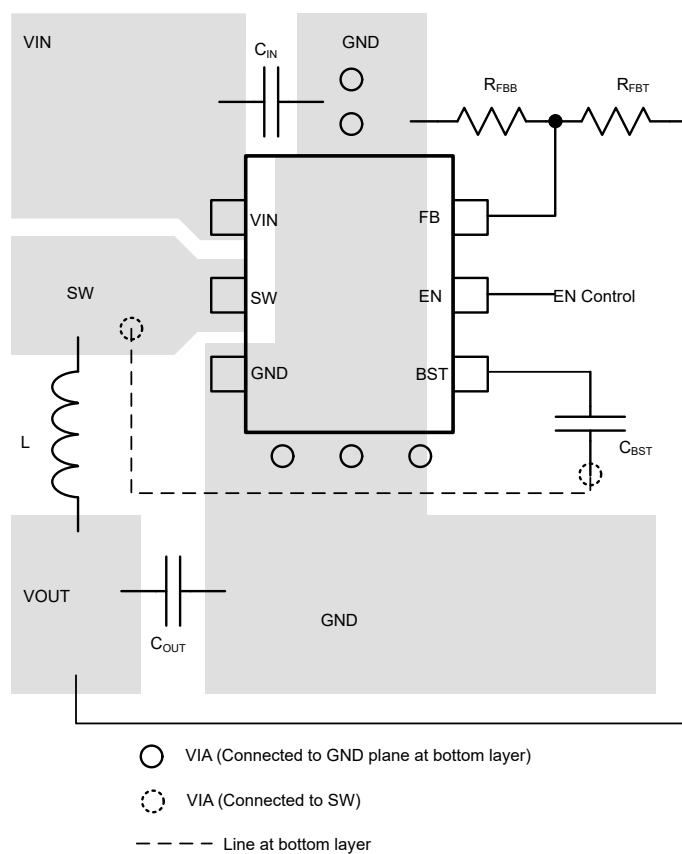


图 7-16. TPS56124x 布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 使用 WEBENCH® 工具创建定制设计方案

点击[此处](#)，使用 TPS56124x 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

有关 WEBENCH 工具的更多信息，请访问 www.ti.com/WEBENCH。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

D-CAP3™ and TI E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

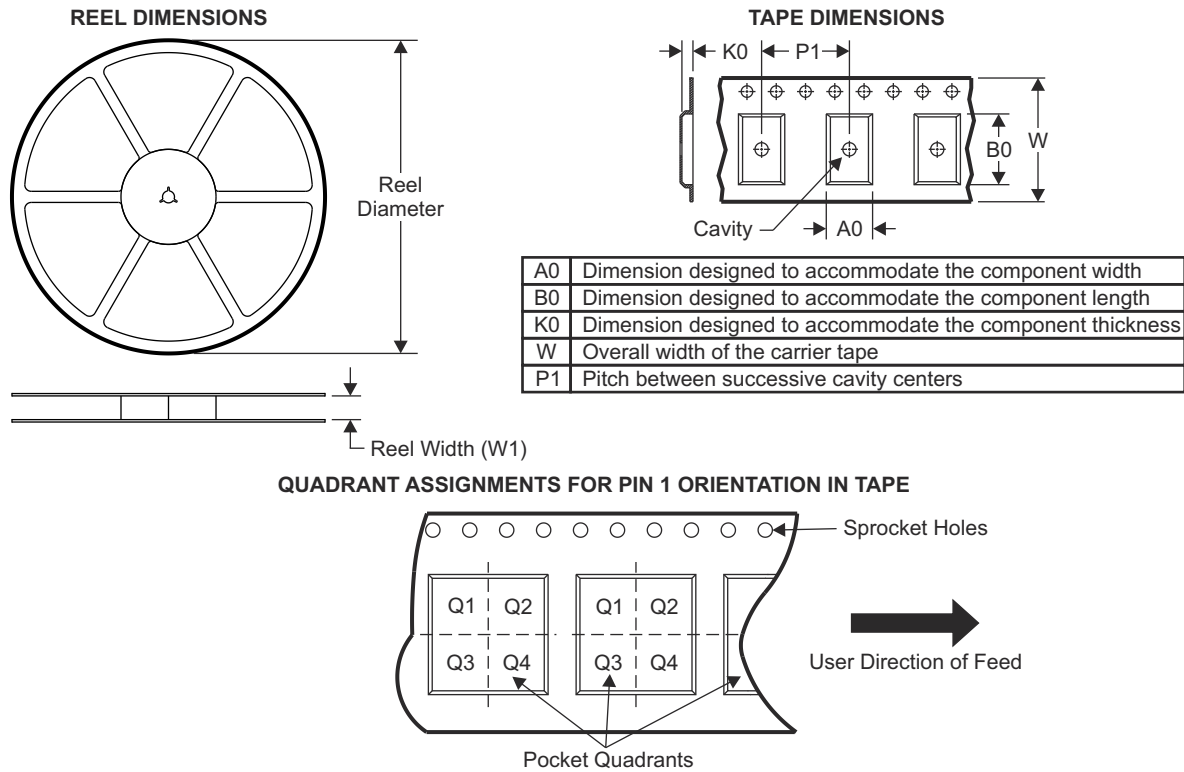
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
April 2024	*	初始发行版

10 机械、封装和可订购信息

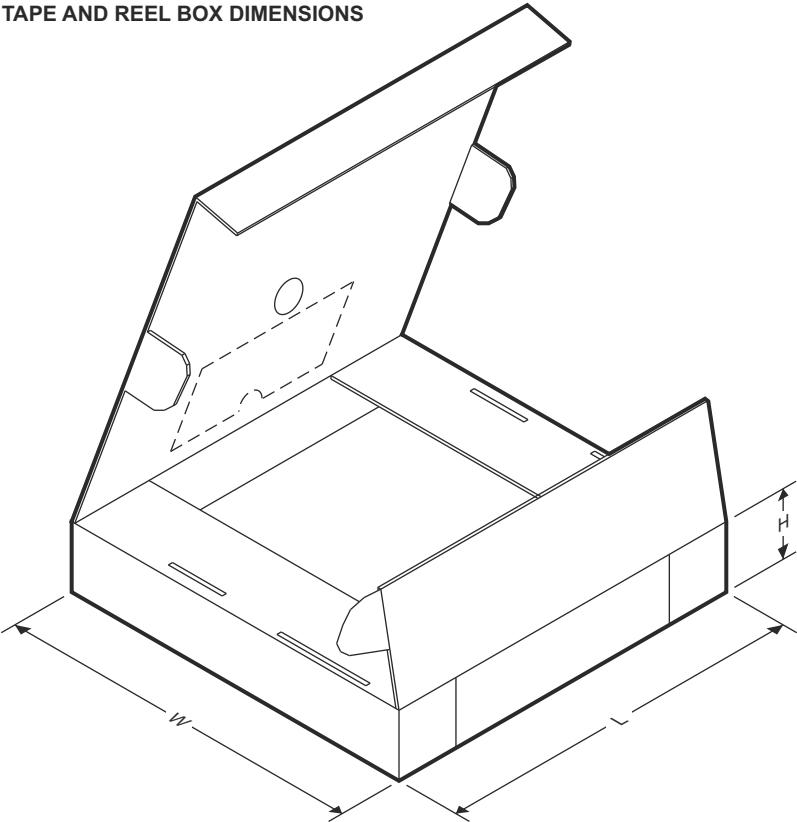
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 卷带包装信息



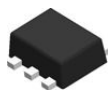
器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
TPS561243DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS561246DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TPS561243DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS561246DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0

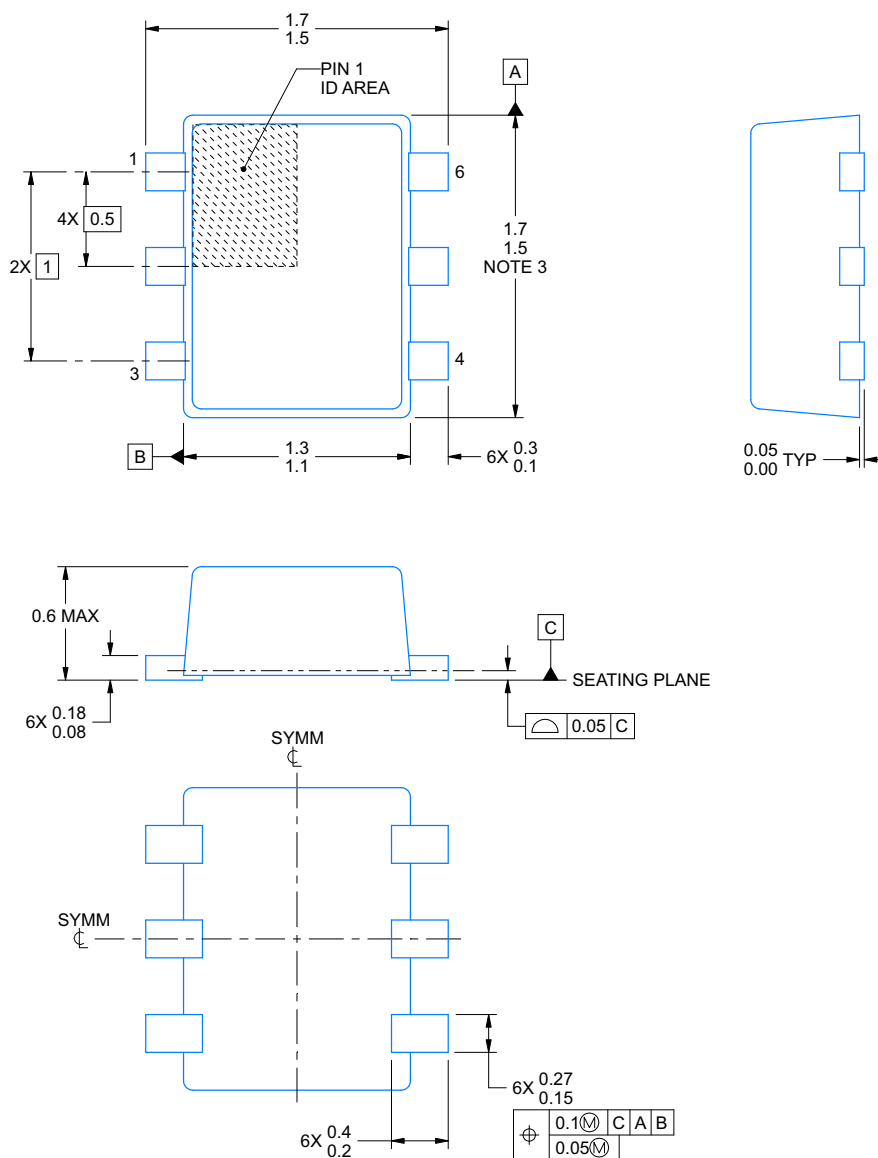
ADVANCE INFORMATION



SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE

DRL0006A



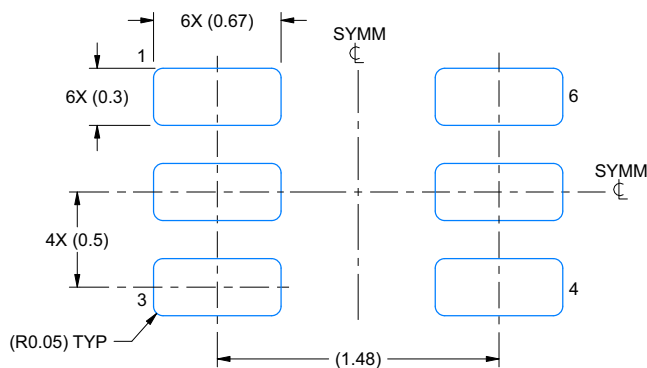
4223266/C 12/2021

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

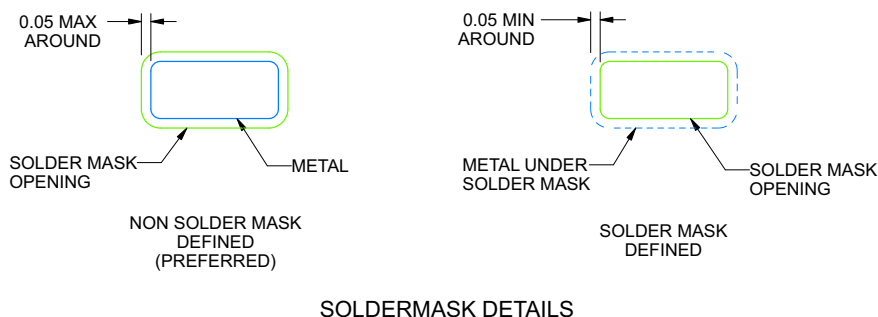


EXAMPLE BOARD LAYOUT**DRL0006A****SOT - 0.6 mm max height**

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/C 12/2021

NOTES: (continued)

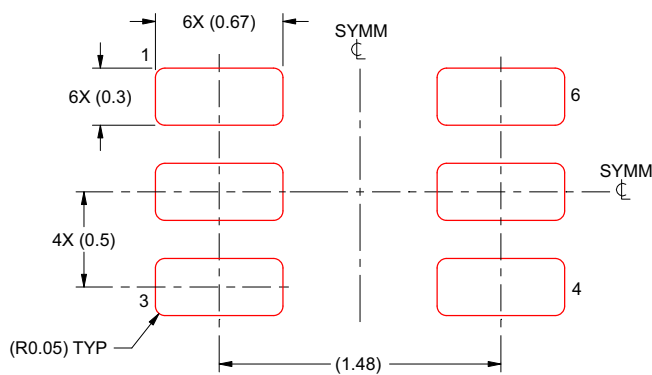
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/C 12/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS561243DRLR	ACTIVE	SOT-5X3	DRL	6	4000	RoHS & Green	Call TI SN	Level-1-260C-UNLIM	-40 to 125	1243	Samples
TPS561246DRLR	ACTIVE	SOT-5X3	DRL	6	4000	RoHS & Green	Call TI SN	Level-1-260C-UNLIM	-40 to 125	1246	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

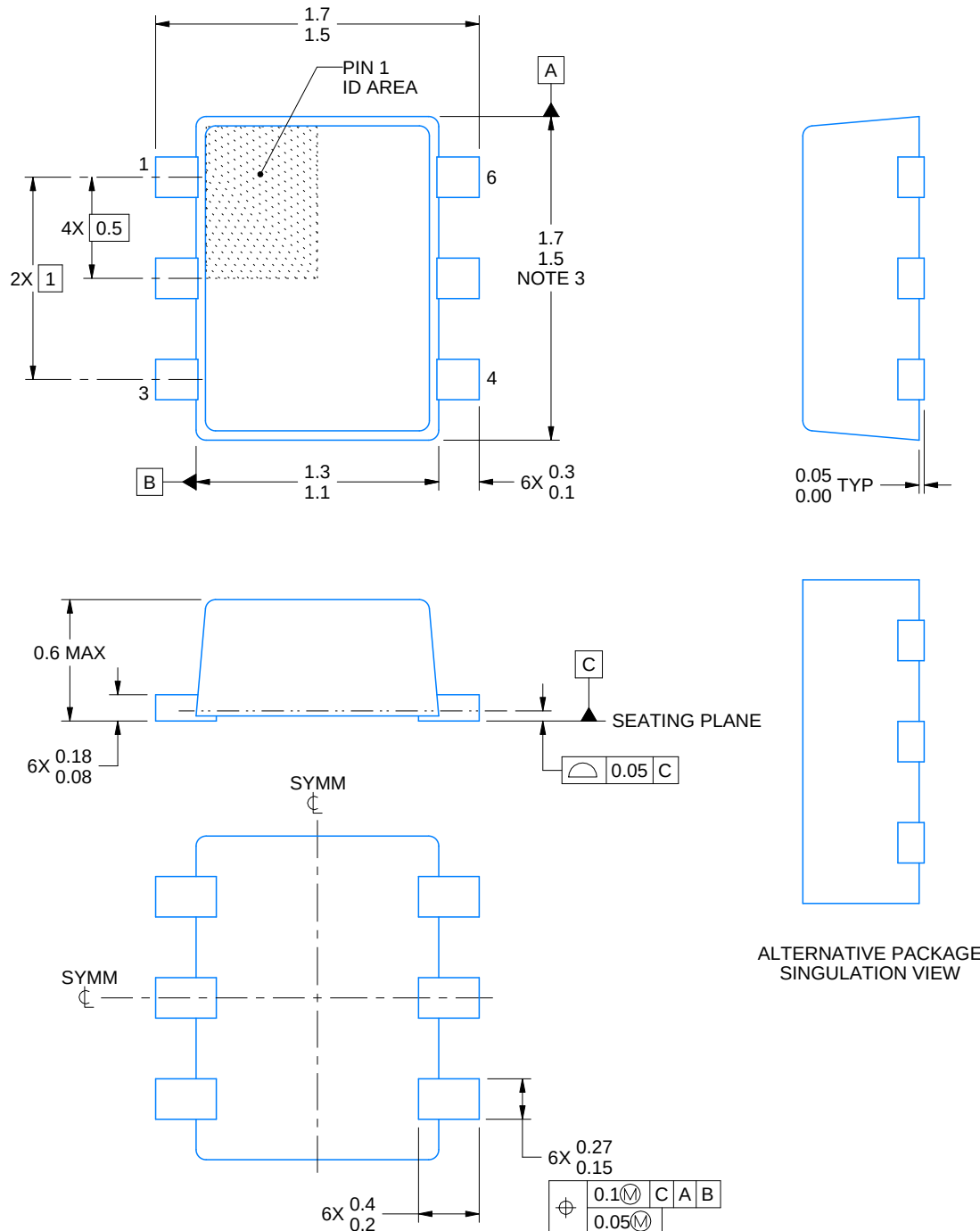
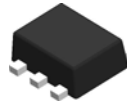
⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4223266/D 06/2024

NOTES:

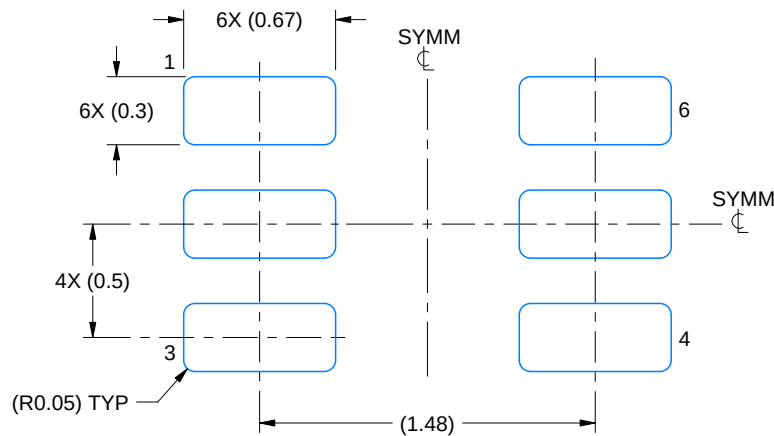
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

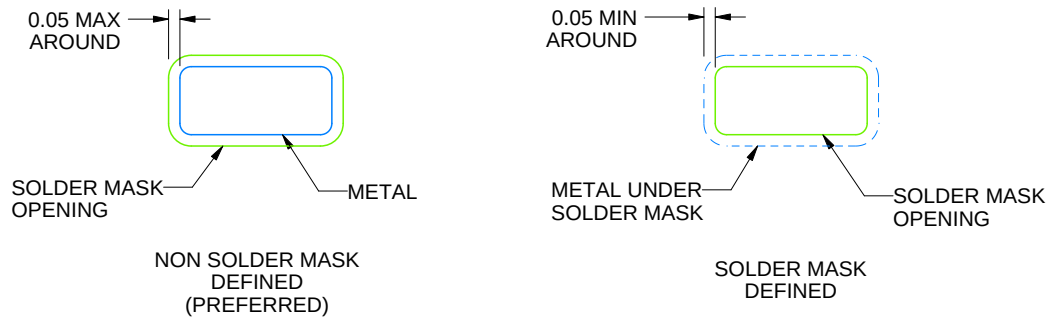
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/D 06/2024

NOTES: (continued)

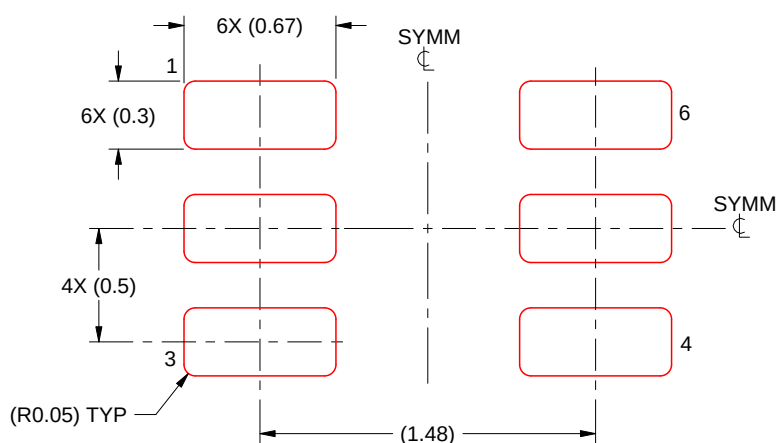
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/D 06/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司