TEXAS INSTRUMENTS
TPSM64404, TPSM64406, TPSM64406E
ZHCSU82A – DECEMBER 2023 – REVISED JUNE 2024

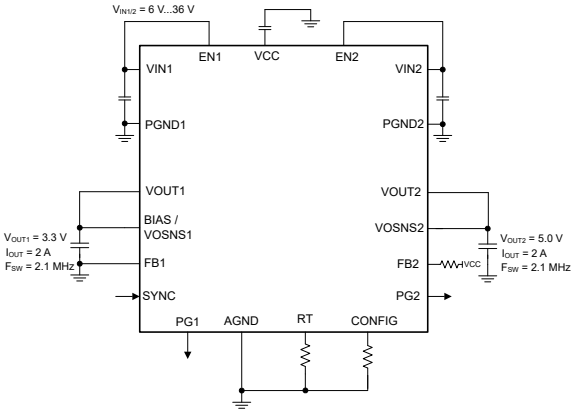
TPSM6440xx 针对功率密度和低 EMI 进行优化的 3V 至 36V、低 IQ、双路 2A/3A 模块

1 特性

- 多功能双路输出电压或多相单路输出同步降压模块
  - 集成 MOSFET、电感器和控制器
  - 3V 至 36V 的宽输入电压范围
  - 可调输出电压范围为 0.8V 至 16V
  - 6.5mm× 7.0mm× 2mm 超模压塑料封装
  - -40°C 至 125°C 的结温范围
  - 负输出电压能力
- 在整个负载范围内具有超高效率
  - 93.5%+ 峰值效率
  - 具有用于提升效率的外部偏置选项
  - 外露焊盘可实现低热阻抗。EVM θ_{JA} = 20°C/W。
  - 关断时的静态电流为 0.6µA（典型值）
- 超低的传导和辐射 EMI 签名
  - 具有双输入路径和集成电容器的低噪声封装可降低开关振铃
  - 符合 CISPR 11 和 32 B 类发射要求
- 设计用于可扩展电源
- 固有保护特性，可实现稳健设计
  - 精密使能输入和漏极开路 PGOOD 指示器（用于时序、控制和 V_{IN} UVLO）
  - 过流和热关断保护
- 使用 TPSM64406 并借助 WEBENCH® Power Designer 创建定制设计方案

2 应用

- 测试和测量以及航天和国防
- 工厂自动化和控制
- 降压和反相降压/升压电源



典型电路原理图

3 说明

TPSM6440xx 是一种高度集成的支持 36V 输入的直流/直流设计，它将多个功率 MOSFET、一个屏蔽式电感器和多个无源器件结合在增强型 HotRod™ QFN 封装中。该器件采用交错式、可堆叠的电流模式控制架构来支持双路输出或高电流单路输出，以实现简单环路补偿、快速瞬态响应、出色的负载调整率和线性调整率，以及准确的电流共享，输出时钟支持多达六相（电流高达 18A）。该模块的 VIN 和 VOUT 引脚位于封装的边角处，可优化输入和输出电容器的放置。模块下方具有一个大的散热焊盘，可在制造过程中实现简单布局和轻松处理。

TPSM6440xx 具有 1V 到 16V 的输出电压，旨在快速、轻松地实现小尺寸 PCB 的低 EMI 设计。总体设计仅需六个外部元件，并省去了设计流程中的磁性元件选型。

尽管针对空间受限型应用采用了简易的小尺寸设计，但 TPSM6440xx 模块还提供了许多特性来实现稳健的性能：具有迟滞功能的精密使能端可实现输入电压 UVLO 调节，而展频可改善 EMI。与集成式 VCC、自举和输入电容器一起使用，可提高可靠性和密度。该模块可配置为在满负载电流范围 (FPWM) 内保持恒定开关频率，也可配置为可变频率 (PFM) 以提高轻负载效率。包含 PGOOD 指示器，可实现时序控制、故障报告和输出电压监测功能。

器件信息

器件型号(3)	封装(1)	封装尺寸(2)
TPSM64406	RCH（QFN-FCMOD，28）	6.50mm × 7.0mm
TPSM64406E		
TPSM64404		

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 请参阅*器件比较表*。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 3
6 规格 7
6.1 绝对最大额定值 7
6.2 ESD Ratings 7
6.3 建议运行条件 7
6.4 热性能信息 8
6.5 电气特性 8
6.6 系统特性 10
6.7 典型特性 11
7 详细说明 12
7.1 概述 12
7.2 功能方框图 13
7.3 特性说明 14
7.4 器件功能模式 28
8 应用和实施 28
8.1 应用信息 28
8.2 典型应用 28
8.3 电源相关建议 39
8.4 布局 39
9 器件和文档支持 42
9.1 器件支持 42
9.2 文档支持 43
9.3 接收文档更新通知 43
9.4 支持资源 43
9.5 商标 43
9.6 静电放电警告 43
9.7 术语表 43
10 修订历史记录 44
11 机械、封装和可订购信息 44
11.1 机械数据 45

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

器件	可订购器件型号	额定输出电流	封装	结温范围
TPSM64404	TPSM64404RCHR	双路 2A/2A 或可堆叠 4A	RCH (28)	-40°C 至 125°C
TPSM64406	TPSM64406RCHR	双路 3A/3A 或可堆叠 6A	RCH (28)	-40°C 至 125°C
TPSM64406E	TPSM64406EXTRCHR	双路 3A/3A 或可堆叠 6A	RCH (28)	-55°C 至 125°C

5 引脚配置和功能

RCH 封装，具有可湿性侧面的 28 引脚 QFN

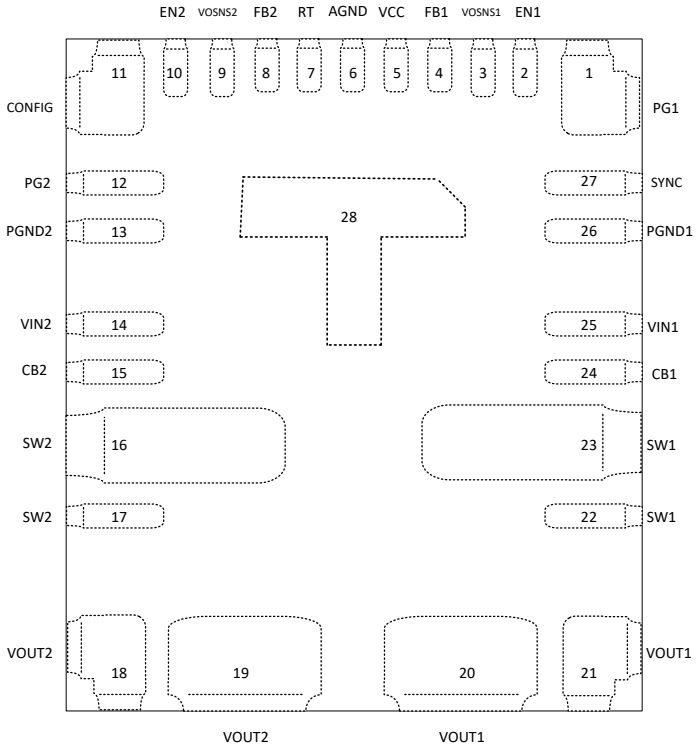


图 5-1. 双路输出（顶视图）

Copyright © 2024 Texas Instruments Incorporated

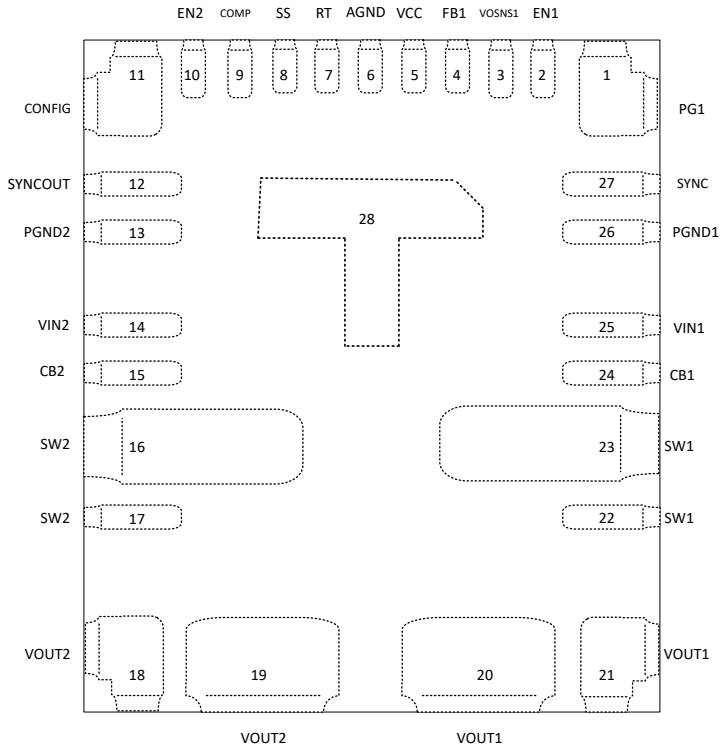


图 5-2. 单路输出初级（顶视图）

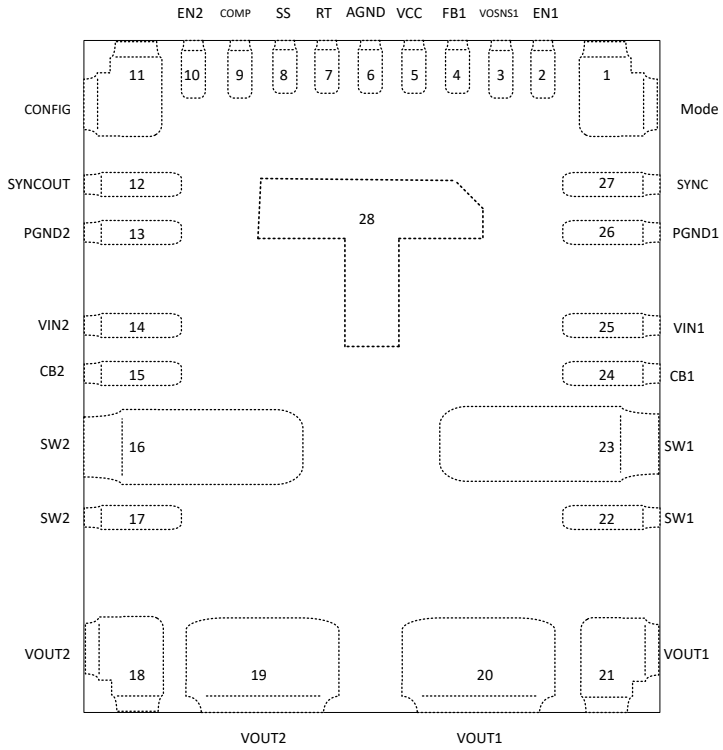


图 5-3. 单路输出次级（顶视图）

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚			类型(1)	说明
编号	名称			
	双路输出	单路输出		
14	VIN2	VIN2	I	到稳压器的输入电源。将优质旁路电容器从该引脚连接到 PGND。必须为 VIN1 提供低阻抗连接。
15	BOOT2	BOOT2	I/O	通道 2 高侧驱动器上部电源轨。连接到 SW2 和 BOOT2 之间的内部 100nF 电容器。当 SW2 为低电平时，内部二极管为电容器充电。机械连接，在设计中用作 NC。
16、17	SW2	SW2	P	通道 2 开关节点，在内部连接到高侧 NMOS 降压开关的源极和低侧 NMOS 同步整流器的漏极。机械连接，在设计中用作 NC。
22、23	SW1	SW1	P	通道 1 开关节点，在内部连接到高侧 NMOS 降压开关的源极和低侧 NMOS 同步整流器的漏极。机械连接，在设计中用作 NC。
24	BOOT1	BOOT1	I/O	通道 1 高侧驱动器上部电源轨。连接到 SW1 和 BOOT1 之间的内部 100nF。当 SW1 为低电平时，内部二极管为电容器充电。机械连接，在设计中用作 NC。
25	VIN1	VIN1	I	到稳压器的输入电源。将优质旁路电容器从该引脚连接到 PGND。必须为 VIN2 提供低阻抗连接。
27	SYNC	SYNC	I	多功能引脚。SYNC 选择强制脉宽调制 (FPWM) 或二极管仿真模式。将 SYNC 连接到 AGND 以启用二极管仿真模式。将 SYNC 连接到 VCC 会使 TPSM6440xx 在轻载条件下以持续导通在 FPWM 模式下运行。SYNC 还可以用作同步输入，以将内部振荡器同步到外部时钟。当在单路输出配置中用作次级器件时，SYNC 引脚连接到初级的 SYNC_OUT 用于时钟计时。
1	PG1	模式	O	双功能引脚。一个开漏输出，如果 VOSNS1 在双路输出和单路输出初级配置中超出指定的调节窗口，则转换为低电平。在单路输出次级模式配置中，该引脚充当模式引脚，用于在强制 PWM (FPWM) 模式和二极管仿真模式 (DEM) 之间进行选择。将单路输出次级的 MODE 连接到单路输出初级的 SYNC 引脚，将其置于相同的运行模式。对于 FPWM，通过 10kΩ 电阻器将 MODE 连接到 VCC。对于 DEM，请接地。
2	EN1	EN1	I	高电平有效输入 TPSM6440xx (V_{OH} > 1.375V) 在双路输出运行中启用输出 1。在单路输出运行中，高电平有效输入将启用系统中的所有相位。禁用时，TPSM6440xx 处于关断模式。EN1 绝不能保持悬空。
3	BIAS 和 VOSNS1	BIAS 和 VOSNS1	I	输出电压检测和内部稳压器的输入。连接到电感器的非开关侧。在该引脚和 AGND 之间连接一个可选的优质 0.1μF 电容器，以获得出色的性能。
4	FB1	FB1	I	在双路输出运行中向 TPSM6440xx 的通道 1 提供反馈输入，在单路输出运行中向所有通道提供反馈输入。通过 10kΩ 电阻器将 FB1 连接到 VCC 以获得 5V 输出，或者将 FB1 连接到 AGND 以获得 3.3V 输出。从电感器的非开关侧到 FB1 的电阻分压器将输出电压电平设置在 0.8V 和 20V 之间。FB1 的调节阈值为 0.8V。对于较低的输出电压，请至少将 10kΩ 用于电阻分压器的顶部。
5	VCC	VCC	O	内部稳压器输出。用作内部控制电路的电源。不要连接至任何外部负载。在该引脚和 AGND 之间连接一个 1μF 优质电容器。
6	AGND	AGND	G	模拟地连接。内部电压基准和模拟电路的接地回路。
7	RT	RT	I	频率编程引脚。在 RT 与 AGND 之间连接的一个电阻器会将振荡器频率设置在 100kHz 和 2.2MHz 之间。
8	FB2	SS	I	双功能引脚。当处于双路输出运行时，该引脚用作 FB2，即 TPSM6440xx 通道 2 的反馈输入。通过 10kΩ 电阻器将 FB2 连接到 VCC 以获得 5V 输出，或者将 FB2 连接到 AGND 以获得 3.3V 输出。从电感器的非开关侧到 FB2 的电阻分压器将输出电压电平设置在 0.8V 和 20V 之间。对于较低的输出电压，请至少将 10kΩ 用于电阻分压器的顶部。在单路输出模式下，此引脚用作 SS。必须在 SS 和 AGND 之间放置一个外部电容器，以实现输出的外部软启动。连接初级和次级的 SS 引脚，用于器件之间的故障通信。
9	VOSNS2	COMP	I	双功能引脚。在双路输出运行中，该引脚在固定 3.3V 和 5V 以及可调输出条件下用作 VOSNS2。在单路输出运行中，该引脚是内部误差放大器的输出端。
10	EN2	EN2	I	高电平有效输入 (V_{OH} > 1.375V) 在双路输出运行中启用输出 2。在单路输出模式下，所有 TPSM6440xx 的 EN2 必须连接在一起。高电平有效输入启用系统中的所有次级相位。禁用后，初级 TPSM6440xx 中只有一个通道处于活动状态，而所有其余相均处于关断模式。EN2 绝不能保持悬空。
11	CONFIG	CONFIG	I	单路或双路输出选择。将特定电阻值连接到引脚（请参阅表 7-1）以选择相位数、初级和次级以及抖动选项。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚			类型(1)	说明
编号	名称			
	双路输出	单路输出		
12	PG2	SYNC_OUT	O	双功能引脚。在双路输出运行中，该引脚充当 PG2，这是一个开漏输出，如果 VOSNS2 超出指定的调节窗口，则它将转换为低电平。在单路输出模式下，该引脚用作 SYNC_OUT，并提供从初级到次级的时钟信息。
18、19	VOUT2	VOUT	O	模块的输出。将优质旁路电容器从该引脚连接到 PGND。
20、21	VOUT1	VOUT	O	模块的输出。将优质旁路电容器从该引脚连接到 PGND。
13. 26	PGND	PGND	G	内部低侧 MOSFET 的电源地。连接到系统地。必须为 PGND1、PGND3 和 PGND4 提供低阻抗连接。将优质旁路电容器从该引脚连接到 VIN2。
28	PGND	PGND	G	电源地和散热器连接。直接焊接到系统接地层。必须为其他 PGND 引脚提供低阻抗连接。

(1) I = 输入，O = 输出，P = 电源，G = 接地

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1)

		最小值	最大值	单位
引脚电压	VIN1、VIN2（瞬态值）	-0.3	42	V
引脚电压	SW1、SW2（小于 10ns 瞬态值）	-6	42	V
引脚电压	SW1、SW2（瞬态值）	-0.3	42	V
引脚电压	BOOT1 - SW1，BOOT2 - SW2	-0.3	5.5	V
引脚电压	EN1、EN2	-0.3	42	V
引脚电压	PG1、SYNC_OUT/PG2	-0.3	20	V
引脚电压	SYNC/MODE、FB1、FB2/SS、CONFIG	-0.3	5.5	V
引脚电压	BIAS/VOSNS1、COMP/VOSNS2	-0.3	22	V
引脚电压	RT、VCC	-0.3	5.5	V
引脚电压	PGND1/2/3/4 电压差分	-1	2	V
灌电流	PG1、PG2		10	mA
T_J	工作结温 TPSM64406E	-55	150	°C
T_J	工作结温 TPSM64406/TPSM64404	-40	150	°C
T_{stg}	贮存温度	-55	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD Ratings

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作结温范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
$V_{VOSNS1/2}$	输出电压范围		0.8		16	V
$V_{IN1/2}$	输入电源电压范围	VIN1、VIN2	3		36	V
	引脚电压	SW1、SW2	0		36	V
	引脚电压	BOOT1、BOOT2	0		VIN + 3.3	V
	引脚电压	BOOT1 – SW1，BOOT2 – SW2	0		3.3	V
	引脚电压	VCC	0		3.3	V
F_{SW}	频率	开关频率范围	300		2200	kHz
$I_{OUT1/2}$	输出电流范围		0		3	A
T_A	环境温度 TPSM64406E	工作环境温度	-55		125	°C
T_A	环境温度 TPSM64404/TPSM64406	工作环境温度	-40		125	°C
T_J	工作结温		-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		TPSM6440X RCH 28 引脚	单位
$R_{\theta JA}$	结至环境热阻 (TPSM64406 EVM)	20	°C/W
Ψ_{JB}	结至电路板特征参数	5.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

6.5 电气特性

T_J = –40°C 至 125°C。典型值在 T_J = 25°C 和 V_{IN} = 13.5V 条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
$I_{Q(VIN-ST5p0)}$	VIN 静态电流，单路输出模式	非开关，V_{EN} = 2V，V_{BIAS} = V_{VOSNS1} = 5V + 10%，T_J = 125℃		25	45	μA
$I_{Q(VIN-ST3p3)}$	VIN 静态电流，单路输出模式	非开关，V_{EN} = 2V，V_{BIAS} = V_{VOSNS1} = 3.3V + 10%，T_J = 125℃		15	35	μA
$I_{Q(VIN-DT3p3)}$	VIN 静态电流，双路输出模式，BIAS = 3.3V	非开关，V_{EN} = 2V，V_{BIAS} = V_{VOSNS1} = 3.3V + 10%，V_{VOSNS2} = 5V + 10%，T_J = 125℃		9	18	μA
$I_{SD(VIN)}$	VIN 关断电源电流	V_{EN} = 0V		1	8	μA
UVLO						
$VIN_{UVLO(R)}$	VIN UVLO 上升阈值	V_{IN} 上升		3.5	3.80	V
$VIN_{UVLO(F)}$	VIN UVLO 下降阈值	V_{IN} 下降		2.55	3	V
$VIN_{UVLO(H)}$	VIN UVLO 迟滞		0.735	0.95	1.25	V
ENABLE						
$V_{EN(R)}$	EN1/2 电压上升阈值	EN1/2 上升，启用开关	1.125	1.25	1.375	V
$V_{EN(F)}$	EN1/2 电压下降阈值	EN1/2 下降，禁用开关	0.8	0.9	1.0	V
$V_{EN(H)}$	EN1/2 电压迟滞		0.25	0.325	0.55	V
$V_{EN(W)}$	EN1/2 电压唤醒阈值		0.4			V
I_{EN}	EN1/2 引脚拉电流后 EN 上升阈值	$V_{EN1/2}$ = V_{IN} = 13.5V		0.6	400	nA
内部 LDO						
V_{VCC}	内部 LDO 输出电压	V_{BIAS} ≥ 3.4V，I_{VCC} ≤ 100mA	2.7	3.1	3.7	V
I_{VCC}	内部 LDO 短路电流限制	V_{IN} = 13.5V	100	377	880	mA
$V_{VCC(UVLO-R)}$	启动时的 VCC UVLO 上升阈值		3.3	3.5	3.75	V
$V_{VCC(UVLO-F)}$	关断时的 VCC UVLO 下降阈值		2.3	2.5	2.7	V
基准电压						
$V_{FB1/2}$	可调输出配置中的双路输出反馈电压		788	800	812	mV
V_{FB1_so}	可调输出配置中的单路输出模式 FB 电压		788	800	812	mV
$I_{FB1/2(LKG)}$	双路输出配置中的 FB 输入漏电流	$V_{FB1/2}$ = 0.8V		10	250	nA
$I_{FB1_so(LKG)}$	单路输出配置中的 FB 输入漏电流	V_{FB} = 0.8V		2	250	nA
$FB_{Sel-5v0}$	固定 5.0V 设置的电压阈值		VCC-0.5			V
$FB_{Sel-3v0}$	用于固定 3.3V 设置的电阻器				300	Ω
$FB_{Sel-ext}$	用于选择可调输出电压的外部 FB 分压器选项的最小戴维南等效电阻。		4			kΩ
误差放大器						
g_{m-S1}	EA 跨导 - 单路输出模式	V_{FB1} = V_{COMP}	625	888	1300	μS
$I_{COMP(src)}$	EA 拉电流 - 单路输出模式	V_{COMP} = 1V，V_{FB1} = 0.4V	92.5	200	400	μA
$I_{COMP(sink)}$	EA 灌电流 - 单路输出模式	V_{COMP} = 1V，V_{FB1} = 1.2V	94.5	200	500	μA
开关频率						
$f_{SW1(FCCM)}$	开关频率，FCCM 运行	R_{RT} = 7.15kΩ 至 AGND	1.9	2.1	2.3	MHz

Copyright © 2024 Texas Instruments Incorporated

T_J = –40°C 至 125°C。典型值在 T_J = 25°C 和 V_{IN} = 13.5V 条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$f_{SW2(FCCM)}$	开关频率，FCCM 运行	R_{RT} = 39.2kΩ 至 AGND	360	400	450	kHz
$f_{ADJ(FCCM)}$	可调开关频率范围	R_{RT} 电阻器，从 6.81kΩ 至 158kΩ 至 AGND	0.1		2.2	MHz
$f_{SS(int)}$	展频开关频率范围	R_{RT} = 7.15kΩ，R_{CONFIG}= 73.2kΩ		10%		
同步						
$V_{IH(sync)}$	SYNCIN 高电平阈值			1.35	1.6	V
$V_{IL(sync)}$	SYNCIN 低电平阈值		0.65	0.95		V
$V_{OH(sync)}$	同步输出高电压最小值	10mA 负载	1.6	2.6		V
$V_{OL(sync)}$	同步输出低电压最大值	10mA 负载		0.34	0.68	V
$f_{SYNC-2p1}$	频率同步范围约为 2.1MHz	R_{RT} = 7.15kΩ 至 AGND	1.7	2.1	2.4	MHz
$f_{SYNC-0p4}$	频率同步范围约为 400kHz	R_{RT} = 39.2kΩ 至 AGND	320	400	480	kHz
$t_{SYNC(min)}$	外部同步信号的最小脉冲宽度高于 $V_{IH(sync)}$		100			ns
$t_{SYNC(max)}$	低外部同步信号的最小宽度低于 $V_{IL(sync)}$		100			ns
$t_{SYNC-SW(delay)}$	从 SYNC 上升沿到 SW 上升沿的延迟 - 单路输出模式 - 次级			90	130	ns
启动						
$t_{SS(R)}$	内部固定软启动时间 - 双路输出模式	从 $V_{VOSNS1/2}$= 0%（第一个 SW 脉冲）到 $V_{VOSNS1/2}$ = 90%	2.7	4.5	7	ms
$t_{SS_Lockout(R)}$	如果输出未处于稳压状态，则从第一个 SW1/2 脉冲到启用 FPWM 模式的时间 - 双路输出模式		7	13	32	ms
$I_{SS(R)}$	软启动充电电流 - 单路输出模式	V_{SS} = 0V	15	20	25	μA
$R_{SS(F)}$	软启动放电电阻 - 单路输出模式			10	27	Ω
t_{EN}	EN1（单路输出模式）或 EN1/EN2（以双路输出模式中先发生者为准）高电平至开关延迟开始			687	900	μs
功率级						
$R_{DSON(HS)}$	高侧 MOSFET 导通电阻	$V_{BOOT-SW}$ = 3.3V，I_{OUT} = 1A		37	75	mΩ
$R_{DSON(LS)}$	低侧 MOSFET 导通电阻	V_{VCC} = 3.3V，I_{OUT} = 1A		23.9	50	mΩ
$t_{ON(min)}$	最小 ON 脉冲宽度	V_{IN} = 20V，I_{OUT} = 2A		40	62	ns
$t_{ON(max)}$	最大 ON 脉冲宽度（双路输出，单路输出初级）	R_{RT} = 7.15kΩ	5	8	12	μs
$t_{ON(max)}$	最大 ON 脉冲宽度（单路输出次级）	R_{RT} = 7.15kΩ		16	25	μs
$t_{OFF(min)}$	最小 OFF 脉冲宽度	V_{IN} = 4V		70	110	ns
过流保护						
$I_{HS(OC1)}$	高侧峰值电流限值 TPSM64404	占空比接近 0% 时 HS FET 上的峰值电流限值		4.76		A
$I_{HS(OC2)}$	高侧峰值电流限值 TPSM64406	占空比接近 0% 时 HS FET 上的峰值电流限值	4.6	5.5	6.8	A
$I_{LS(OC1)}$	低侧谷值电流限值 TPSM64404	LS FET 上的谷值电流限值		3.2		A
$I_{LS(OC2)}$	低侧谷值电流限值 TPSM64406	LS FET 上的谷值电流限值	2.8	3.7	4.5	A
$I_{LS2(NOC)}$	低侧负电流限值 TPSM64406	LS FET 上的灌电流限值	2	2.8	3.6	A
$IL_{PEAK1(min-0)}$	最小占空比下的最小峰值电感器电流 TPSM64404	V_{VCC} = 3.3V，t_{pulse} ≤ 100ns		0.71		A
$IL_{PEAK1(min-100)}$	最大占空比下的最小峰值电感器电流 TPSM64404	V_{VCC} = 3.3V，t_{pulse} ≥ 1μs		0.19		A
$IL_{PEAK2(min-0)}$	最小占空比下的最小峰值电感器电流 TPSM64406	V_{VCC} = 3.3V，t_{pulse} ≤ 100ns	0.5	0.79	1.1	A
$IL_{PEAK2(min-100)}$	最大占空比下的最小峰值电感器电流 TPSM64406	V_{VCC} = 3.3V，t_{pulse} ≥ 1μs	0.25	0.3	0.35	A
$V_{Hiccup-FB}$	引脚上的断续阈值 - 双路输出模式，可调输出选项	HS FET 导通时间 > 165ns	0.25	0.3	0.35	V

Copyright © 2024 Texas Instruments Incorporated

T_J = –40°C 至 125°C。典型值在 T_J = 25°C 和 V_{IN} = 13.5V 条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{Hiccup-1}$	进入断续前的等待时间 - 单路和双路输出模式		126	128	130	电流限制周期
$t_{Hiccup-2}$	重启之前的断续时间		50	88		ms
电源正常						
V_{PGTH-1}	电源正常阈值 (PG1/2)	PGOOD 低电平，$V_{VOSNS1/2}$ 上升	93%	95%	97%	
V_{PGTH-2}	电源正常阈值 (PG1/2)	PGOOD 高电平，$V_{VOSNS1/2}$ 下降	92%	94%	96%	
V_{PGTH-3}	电源正常阈值 (PG1/2)	PGOOD 高电平，$V_{VOSNS1/2}$ 上升	105%	107%	110%	
V_{PGTH-4}	电源正常阈值 (PG1/2)	PGOOD 低电平，$V_{VOSNS1/2}$ 下降	104%	106%	109%	
$t_{PGOOD(R)}$	启动期间 PG1/2 从 $V_{VOSNS1/2}$ 有效到 PGOOD 高电平的延迟	$V_{VOSNS1/2}$ = 3.3V	1.5	2.1	3	ms
$t_{PGOOD(F)}$	从 $V_{VOSNS1/2}$ 无效到 PGOOD 低电平的 PG1/2 延迟	$V_{VOSNS1/2}$ = 3.3V	25	40	70	µs
$I_{PG(LKG)}$	开漏输出为高电平时的 PG1/2 引脚漏电流	V_{PG} = 3.3V			0.075	µA
$V_{PG-D(LOW)}$	两个通道的 PG 引脚输出低电平电压	I_{PG} = 1mA，V_{EN} = 0V。			400	mV
R_{PG-1}	下拉 MOSFET 电阻	I_{PG} = 1mA，V_{EN} = 3.3V。		30	90	Ω
$V_{IN(PG_VALID)}$	有效 PG 输出的最小 VIN	PG 上的上拉电阻 - R_{PG} = 10kΩ，PG 上的电压上拉 - V_{PULLUP_PG}= 3V，$V_{PG-D\ (LOW)}$= 0.4V	0.45		1.2	V
热关断						
$T_{J(SD)}$	热关断阈值 (1)	温度上升	160	170	180	°C
$T_{J(HYS)}$	热关断迟滞 (1)			10		°C

(1) 根据设计确定。

6.6 系统特性

以下规格仅适用于具有标称元件值的典型应用电路。典型值列中的规格仅适用于 T_J = 25°C 的情况。最小值和最大值列中的规格适用于典型元件在 T_J = –40°C 至 125°C 温度范围内的情况。上述规格不通过生产测试保证。

参数		测试条件	最小值	典型值	最大值	单位
输出电压						
	VOUT1 (3.3V) 上的负载和线路调节 - 单路和双路输出模式	$V_{BIAS/VOSNS1}$ = 3.3V，V_{VOSNS2} = 5V（双路输出模式），V_{IN} = 3.8V 至 36V，I_{OUT} = 0A 至满载，FPWM 模式		5		mV
	VOUT1 (5V) 上的负载和线路调节 - 单路和双路输出模式	$V_{BIAS/VOSNS1}$ = 5V，V_{VOSNS2} = 3.3V（双路输出模式），V_{IN} = 6V 至 36V，I_{OUT} = 0A 至满载，FPWM 模式		5		mV
	VOUT1 (3.3V) 上的负载和线路调节 - 单路和双路输出模式	$V_{BIAS/VOSNS1}$ = 3.3V，V_{VOSNS2} = 5V（双路输出模式），V_{IN} = 3.8V 至 36V，I_{OUT} = 0A 至满载，PFM 模式		60		mV
	VOUT1 (5V) 上的负载和线路调节 - 单路和双路输出模式	$V_{BIAS/VOSNS1}$ = 5V，V_{VOSNS2} = 3.3V（双路输出模式），V_{IN} = 6V 至 36V，I_{OUT} = 0A 至满载，PFM 模式		70		mV
$D_{MAX(ffb)}$	最大开关占空比	V_{IN} = 3.3V，V_{VOSNS1} = 3.3V，I_{OUT} = 2A，频率折返		99%		
D_{MAX}	最大开关占空比	V_{IN} = 6V，V_{VOSNS1} = 5V，I_{OUT} = 2A，f_{sw} = 1MHz		88%		
效率						
	VOUT1 (5V) 上的效率 - 双路输出模式	$V_{BIAS/VOSNS1}$ = 5V，V_{VOSNS2} = 3.3V，V_{IN} = 12V，I_{OUT} = 3A，f_{sw} = 1MHz		91.5%		
	VOUT2 (3.3V) 上的效率 - 双路输出模式	$V_{BIAS/VOSNS1}$ = 5V，V_{VOSNS2} = 3.3V，V_{IN} = 12V，I_{OUT} = 3A，f_{sw} = 1MHz		88%		
	效率 - 单路输出模式	$V_{BIAS/VOSNS1}$ = 5V，V_{IN} = 12V，I_{OUT} = 6A，f_{sw} = 2.1MHz		91%		

Copyright © 2024 Texas Instruments Incorporated

6.7 典型特性

除非另有说明，否则 V_{IN} = 13.5V。

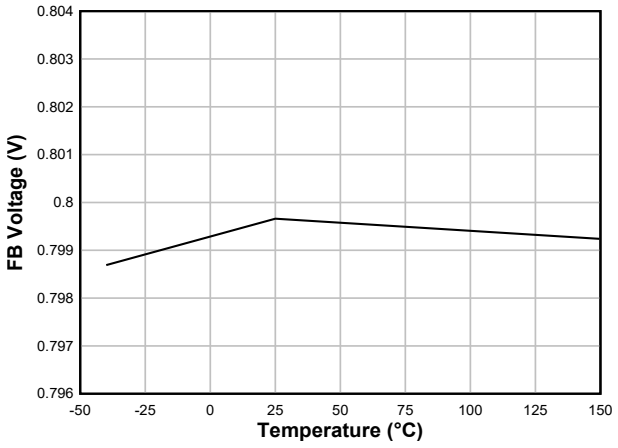


图 6-1. 反馈电压

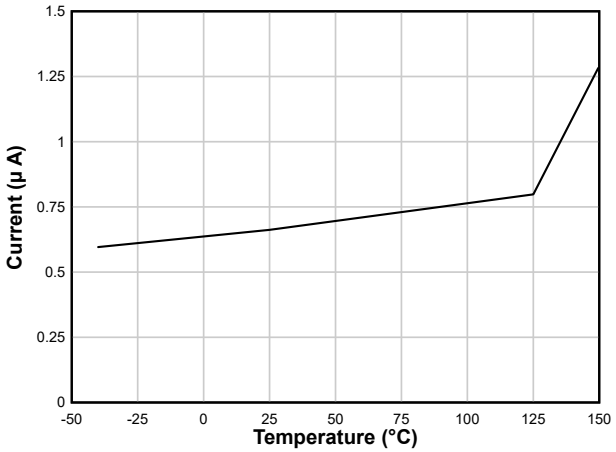


图 6-2. 关断电源电流

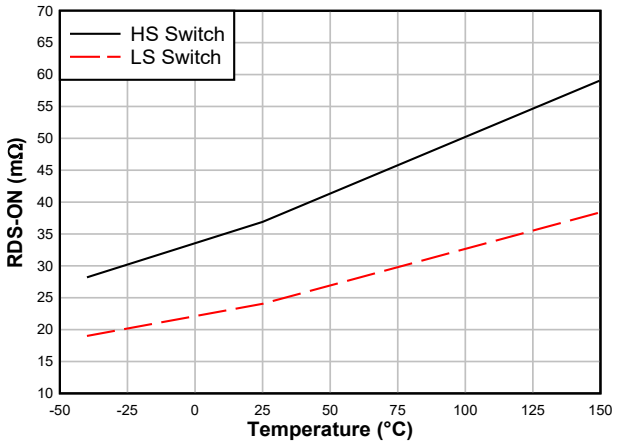


图 6-3. 高侧和低侧开关 R_{DS_ON}

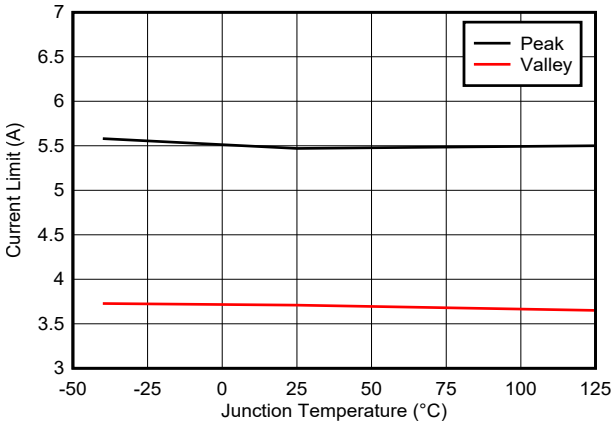


图 6-4. 高侧和低侧电流限值 TPSM64406

7 详细说明

7.1 概述

TPSM64406 是一款易于使用的同步直流/直流降压电源模块，专为注重可靠性、小巧设计尺寸和低 EMI 特性的各种应用而设计。TPSM64406 具有集成功率 MOSFET、降压电感器和 PWM 控制器，可在 3V 至 36V 的输入电压范围内工作，瞬态电压高达 42V。该模块以极小的尺寸，提供高达每相 3A 的直流负载电流，并具有高转换效率和超低输入静态电流。双路输出配置不需要控制环路补偿，因此可减少设计时间和多个输出电压所需的外部元件数量。

由于使用 RT 引脚实现 300kHz 至 2.2MHz 的可编程开关频率，因此，即使使用固定电感器，TPSM64406 也具有非常宽的可调节输出电压范围。

该模块包含多项降低 EMI 的特性。

- 集成的高频电容器布局可更大限度地减少寄生电感、开关电压振铃和辐射场耦合
- 双随机展频 (DRSS) 调制可降低峰值发射
- 时钟同步和 FPWM 模式可在整个负载电流范围内提供恒定的开关频率
- 具有增强型栅极驱动控制的集成功率 MOSFET 可实现低噪声 PWM 开关

这些特性共同显著降低了 EMI 滤波要求，同时有助于满足传导和辐射发射的 CISPR 11 和 CISPR 32 B 类 EMI 限制。

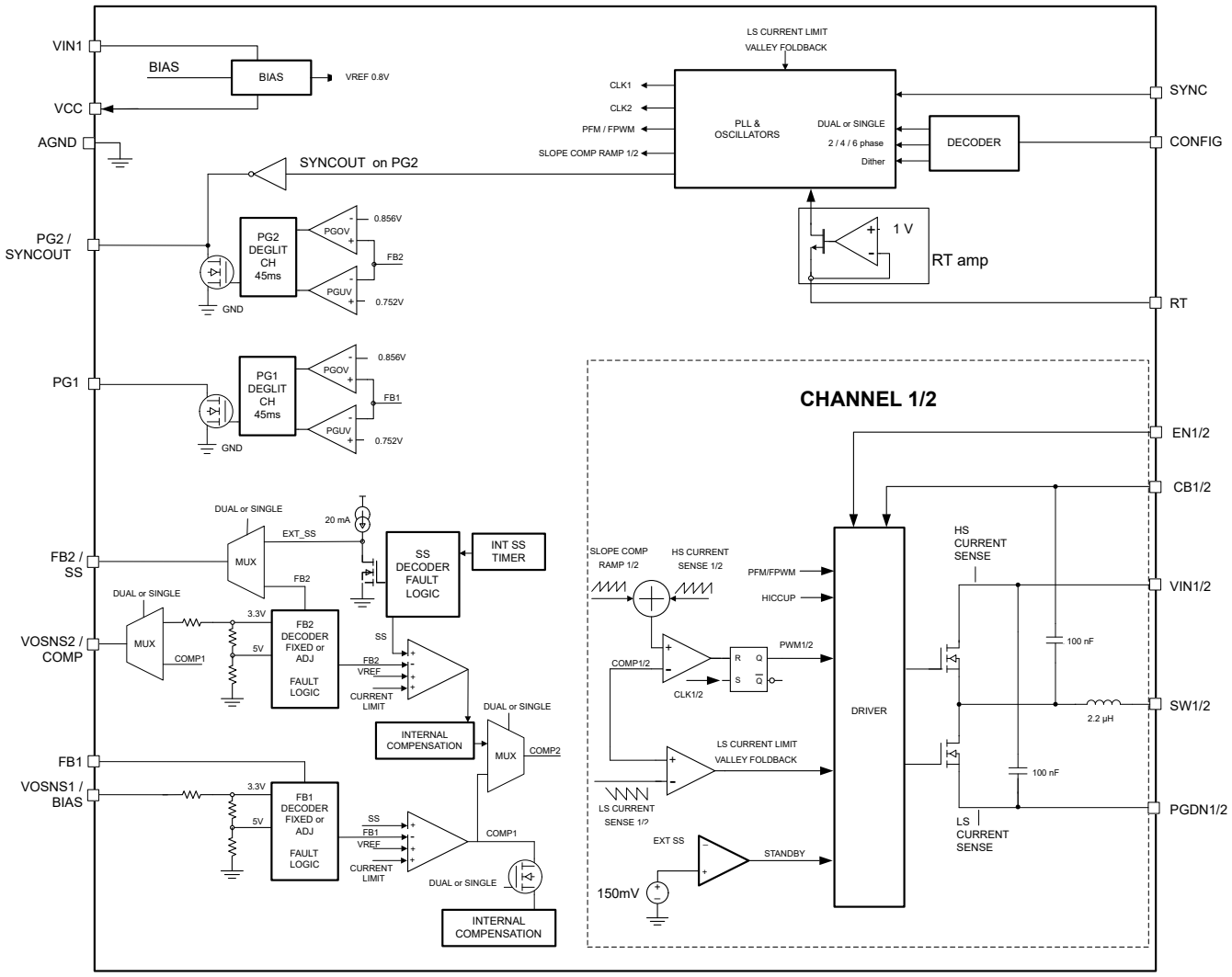
TPSM64406 模块还包括固有保护功能，可满足稳健的系统要求：

- 用于电源轨时序控制和故障报告的开漏 PGOOD 指示器
- 具有迟滞功能的精密使能输入，可提供
  - 可编程线路欠压锁定 (UVLO)
  - 远程开关功能
- 内部固定输出电压软启动，可在双路输出模式下单调启动至预偏置负载
- 外部可调软启动，可在单路输出模式下单调启动至预偏置负载
- 具有逐周期峰值和谷值电流限制的断续过流保护
- 具有自动恢复功能的热关断

TPSM64406 采用专为简单布局而设计的引脚排列，仅需很少的外部元件，最高结温为 125°C。请参阅典型热性能估算在给定环境中的适用情况。

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图


VIN1
BIAS
VCC
AGND
PG2 / SYNCOUT
PG1
FB2 / SS
VOSNS2 / COMP
FB1
VOSNS1 / BIAS
BIAS
VREF 0.8V
SYNCOUT on PG2
LS CURRENT LIMIT
VALLEY FOLDBACK
CLK1
CLK2
PFM / FPWM
SLOPE COMP RAMP 1/2
PLL & OSCILLATORS
DUAL or SINGLE
2 / 4 / 6 phase
Dither
DECODER
SYNC
CONFIG
RT
1 V
RT amp
PG2 DEGLIT CH 45ms
PG1 DEGLIT CH 45ms
PGOV
PGUV
0.856V
0.752V
FB2
FB1
GND
CHANNEL 1/2
EN1/2
CB1/2
VIN1/2
SW1/2
PGDN1/2
DUAL or SINGLE
20 mA
EXT_SS
MUX
SS DECODER FAULT LOGIC
INT SS TIMER
3.3V
5V
COMP1
FB2 DECODER FIXED or ADJ
FAULT LOGIC
SS
VREF
CURRENT LIMIT
INTERNAL COMPENSATION
COMP2
FB1 DECODER FIXED or ADJ
SLOPE COMP RAMP 1/2
HS CURRENT SENSE 1/2
PFM/FPWM
HICCUP
COMP1/2
CLK1/2
PWM1/2
R
S
Q
DRIVER
HS CURRENT SENSE
100 nF
2.2 µH
LS CURRENT LIMIT
VALLEY FOLDBACK
LS CURRENT SENSE 1/2
EXT SS
STANDBY
150mV
LS CURRENT SENSE

7.3 特性说明

7.3.1 输入电压范围（VIN1、VIN2）

TPSM64406 模块的稳态输入电压范围为 3V 至 36V，适用于典型 12V、24V 和 28V 输入电源轨中的降压转换。图 7-1 中的原理图电路展示了实现基于 TPSM64406 且采用单输入电源的降压稳压器所需的所有元件。

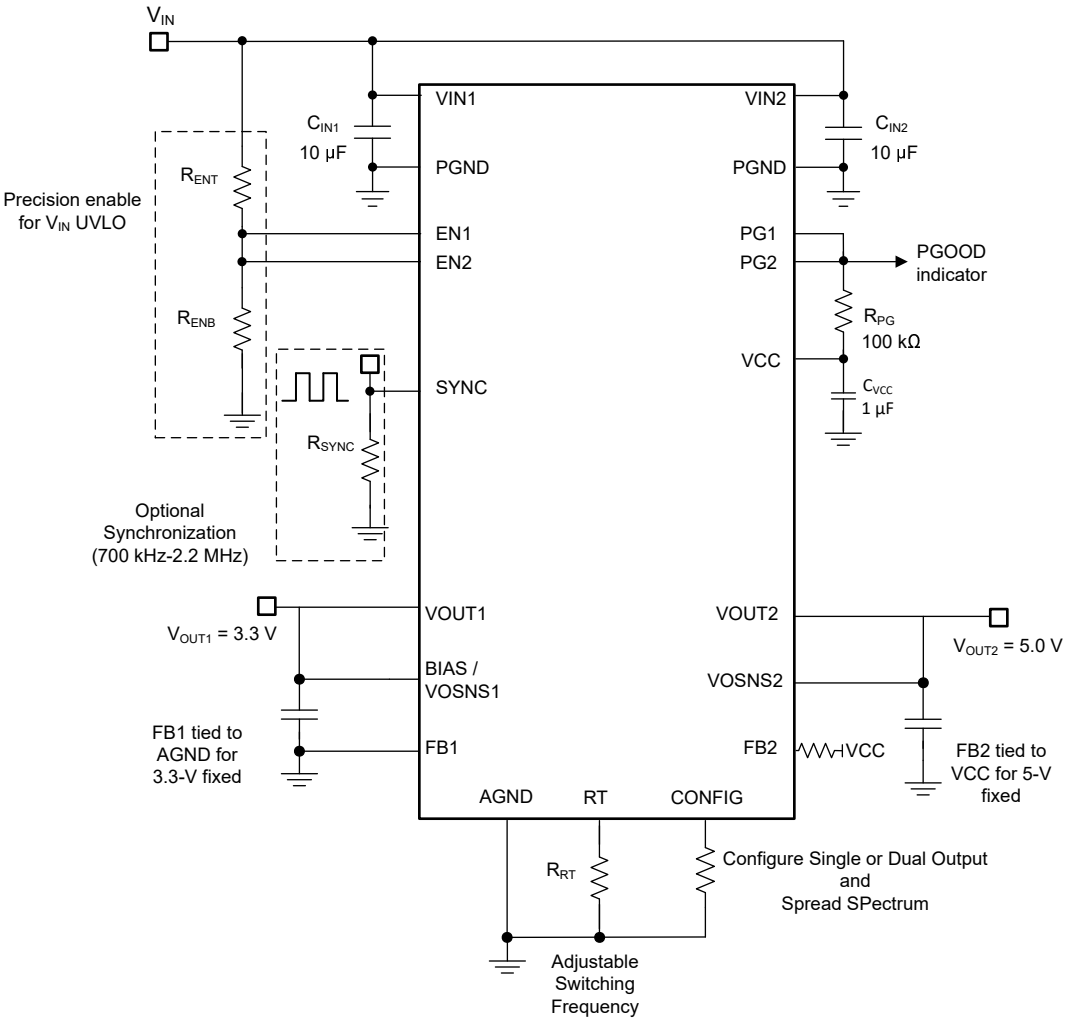


图 7-1. 输入工作电压范围为 3V 至 36V 的 TPSM64406 原理图

启动所需的最小输入电压为 3.7V。请格外小心，确保模块 VIN 引脚（VIN1 和 VIN2）上的电压在线路或负载瞬态事件期间不超过 42V 的绝对最大额定电压。如果 VIN 引脚上的电压振铃超过绝对最大额定值，则可能会损坏 IC。

7.3.2 使能 (EN) 引脚并用作 V_{IN} UVLO

向 EN1 引脚施加小于 0.25V 的电压，以将 TPSM6440X 置于关断模式。在关断模式下，静态电流降至 0.5µA（典型值）。高于该电压但低于 EN 阈值下限时，VCC 处于活动状态，但 SW1 和 SW2 上的开关保持非活动状态。当 EN1 高于 V_{EN} 后，SW1 变为活动状态。EN2 控制第二个输出 SW2 的开关。在双路输出配置中，EN2 可用于独立关断第二个输出电压，但不控制器件何时进入关断模式。在单路输出多相配置中，初级和次级上的 EN1 必须连接在一起。在单路输出配置中，EN1 不得用于禁用次级器件进行切相。初级和次级的 EN2 必须连接在一起，并且

Copyright © 2024 Texas Instruments Incorporated

可用于关断次级相位。器件在 PFM 工作模式下的效率非常高，因此在大多数设计中不再需要进行切相，因为即使在 PFM 工作模式下，也可以控制次级的相位。

EN 端子不能悬空。启用运行的最简单方法是将 EN 引脚连接至 VIN。当 VIN 将内部 VCC 驱动至高于 UVLO 电平时，此操作允许器件自启动。但是，许多应用受益于采用使能分压器串，而使能分压器串可建立精密输入欠压锁定 (UVLO)。精密 UVLO 可用于实现以下功能：

- 定序
- 使用长输入电缆时防止器件重新触发
- 减少电池电源深度放电的发生

请注意，EN 阈值是准确的。上升使能阈值有 10% 的容差。迟滞足以防止负载关断时重新触发（大概 38%）。另一个 IC 的外部逻辑输出也可用于驱动 EN 端子，从而实现系统电源时序。

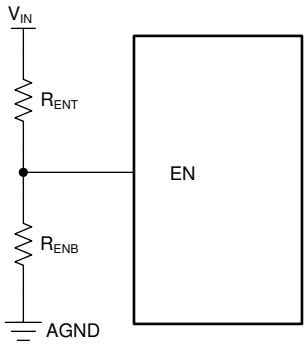


图 7-2. 使用 EN 引脚时的 VIN UVLO

可以使用以下公式计算电阻值。

$$R_{ENB} = R_{ENT} \times \left(\frac{V_{EN(R)}}{V_{IN(on)} - V_{EN(R)}} \right) \quad (1)$$

$$V_{OFF} = V_{IN(on)} \times \left(1 - V_{EN(H)}\right) \quad (2)$$

其中

- $V_{ON} = V_{IN}$ 导通电压
- $V_{OFF} = V_{IN}$ 关断电压

7.3.3 CONFIG 器件配置引脚

包括几项特性，以轻松满足 CISPR 25 和汽车 EMI 要求。为了减小输入电容器纹波电流和 EMI 滤波器尺寸，可以将该器件配置为在两相、四相或六相运行，并根据相位数进行相应的相移交错运行。例如，在四相设置中，90° 异相时钟输出设置非常适合级联、多通道或多相功率级。高达 2.2MHz 的可通过电阻器调节的开关频率可同步至外部时钟源，以消除噪声敏感应用中的拍频。可选扩频频率调制，可进一步改善 EMI 签名。

CONFIG 端子用于设置器件以进行双路输出或单路输出多相运行。也可以使用不同的电阻值来开启和关闭展频。

Copyright © 2024 Texas Instruments Incorporated

表 7-1. R_{CONFIG} 电阻器选择

R_{CONFIG} (kΩ)	模式	展频
0	双路输出	否
9.53	两相初级	否
19.1	四相初级	否
29.4	六相初级	否
41.2	次级	不适用
56.2	两相初级	是
73.2	四相初级	是
93.1	六相初级	是
121	双路输出	是

当配置为单路输出多相运行时，VOSNS2 引脚成为误差放大器 (COMP) 的输出端，并且该引脚需要一个电阻器和电容器来补偿控制环路。R_C = 11kΩ、C_C = 2.2nF 可用于许多设计的初始评估。增大电阻会导致环路增益增大，并且往往需要成比例更大的输出电容器。减小电容会增加器件的环路响应，从而导致更快的瞬态，但可能降低交叉频率处的相位裕度，并且可能需要调整输出电容。表 7-2 提供了不同输出配置的多种设置。

表 7-2. 典型物料清单

模式	V_{OUT1}	V_{OUT2}	频率	每相位的 C_{OUT}	每相位的 C_{IN} + C_{HF}	R_C	C_C
双路	3.3V	5V	500kHz	47 + 22µF	2 × 10µF + 1 × 100nF	内部	内部
双路	3.3V	5V	2100kHz	2 × 22µF	1 × 10µF + 1 × 100nF	内部	内部
SINGLE	3.3V	3.3V	500kHz	47 + 22µF	2 × 10µF + 1 × 100nF	11kΩ	2.2nF
SINGLE	5V	5V	2100kHz	2 × 22µF	1 × 10µF + 1 × 100nF	11kΩ	2.2nF

Copyright © 2024 Texas Instruments Incorporated

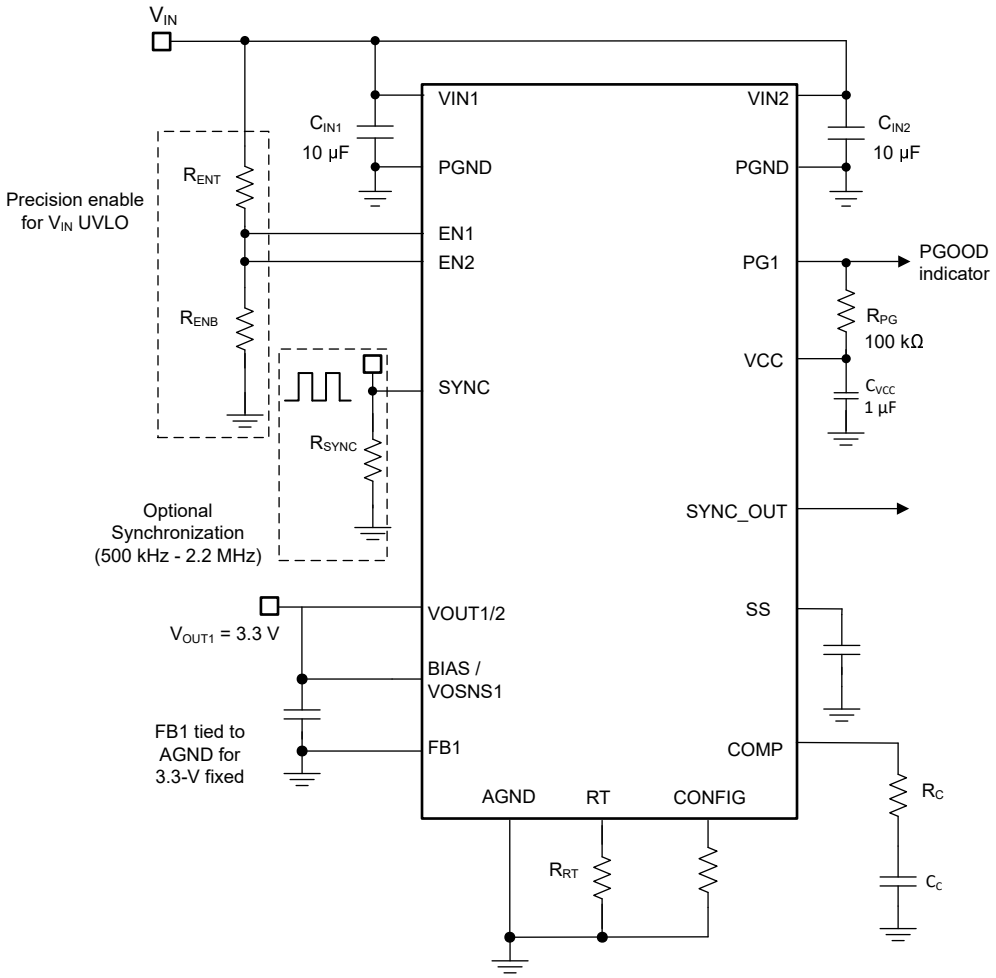


图 7-3. 高效率、单路输出两相降压转换器

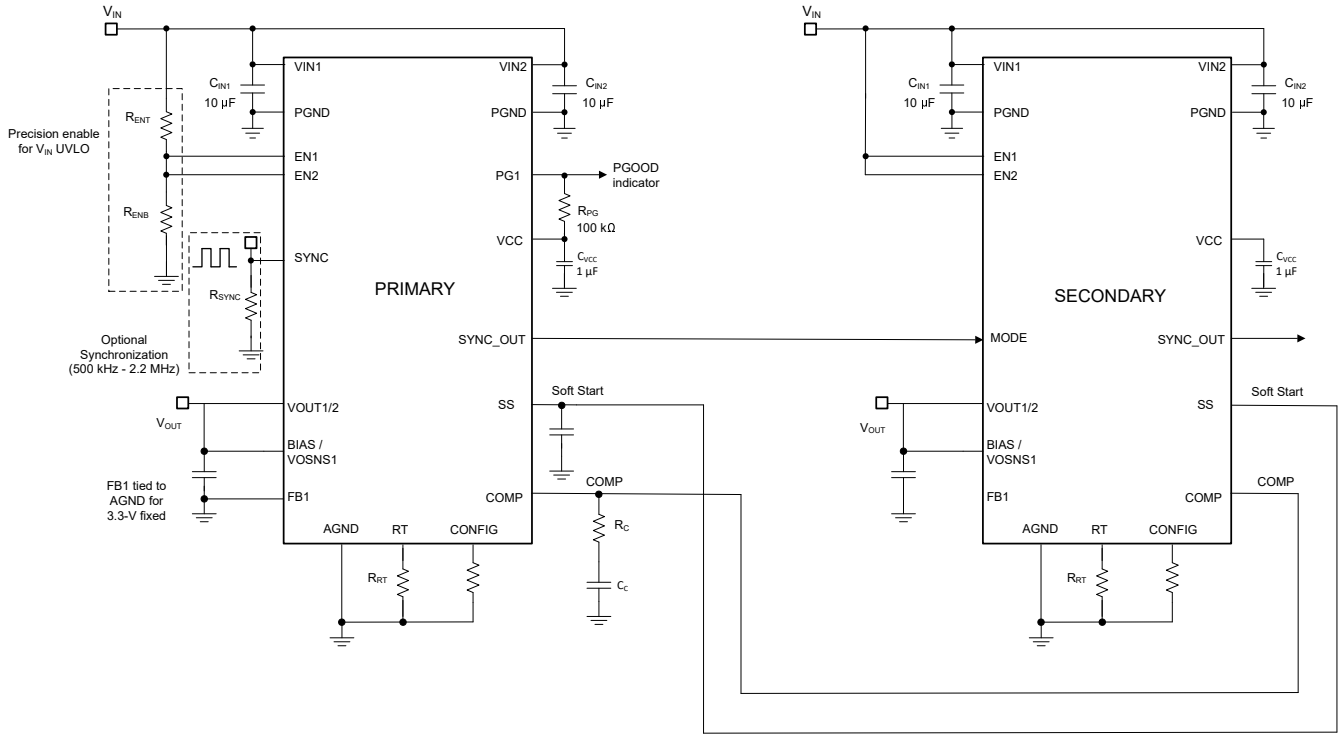


图 7-4. 高效率、单路输出四相降压转换器

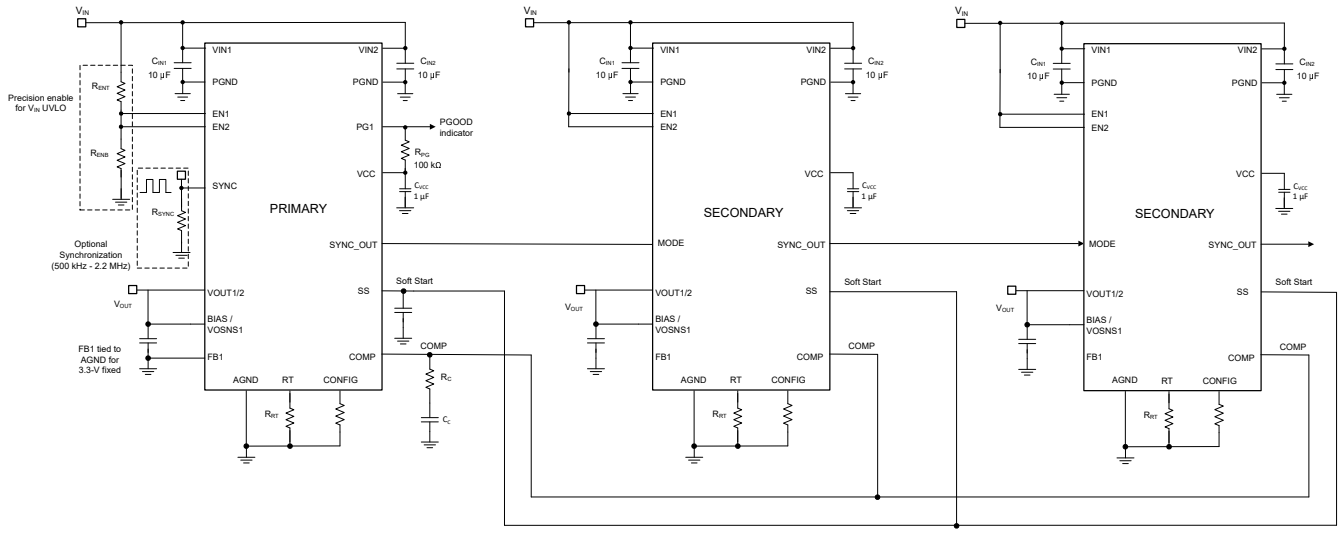


图 7-5. 高效率、单路输出六相降压转换器

Copyright © 2024 Texas Instruments Incorporated

7.3.4 可调开关频率

使用 RT 引脚上的电阻器设置频率。可使用连接到 AGND 的电阻器来设置可调工作频率。请参阅下文了解电阻值。超出建议范围的电阻值可能会导致器件停止开关。请勿向该引脚施加脉冲信号以强制同步。如果需要同步，请参阅 SYNC 引脚。

$$R_T[k\Omega] = \left(\frac{16.4}{F_{SW}[MHz]} - 0.633\right) \quad (3)$$

例如，对于 f_{SW} = 400kHz，R_T = (16.4/0.4) - 0.633 = 40.37，因此选择 40.2kΩ 电阻器作为最接近的选项。

表 7-3. 典型 R_T 值

R_T (kΩ)	频率 (kHz)
6.81	2206
7.15	2106
15.4	1005
31.6	497.4
39.2	402
158	101

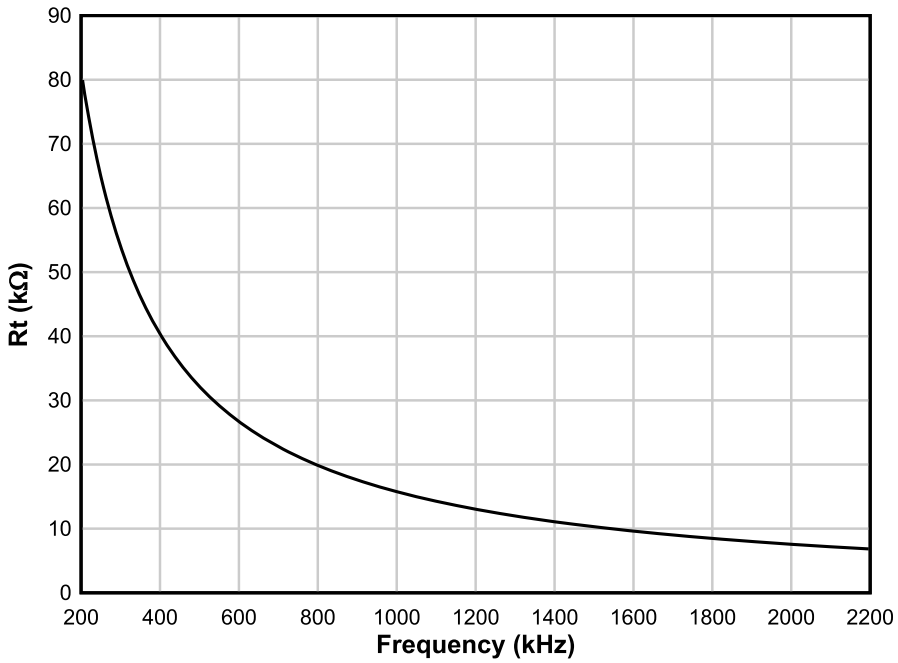


图 7-6. 设置时钟频率

7.3.5 展频

可使用 CONFIG 引脚配置展频。展频旨在通过在比具有固定频率运行的器件更宽的频率范围内分散特定频率下的峰值发射来消除这些峰值发射。TPSM6440X 实现了一种调制模式，旨在减少开关频率前几个谐波的低频传导发射。这种模式还有助于减少更难滤除且可能落在 FM 频带中的更高谐波。这些谐波通常通过开关节点和电感器周围的电场耦合到环境中。TPSM6440X 使用 ±10%（典型值）的频率展频，该展频在 FM 和 TV 频带中平滑传播能量。该器件实现了双随机展频 (DRSS)。DRSS 是三角展频模式与假随机跳频的组合。这种组合可使展频非常有效地在以下位置传播能量：

- 具有慢三角模式的基波开关谐波
- 在开关频率下具有额外假随机跳变的高频谐波

Copyright © 2024 Texas Instruments Incorporated

DRSS 的优势在于在高频下的等效谐波衰减具有较小的基频偏差。此特性可减少在调制频率下引入的输入电流和输出电压纹波量。

展频仅在 TPSM6440X 的时钟以其固有频率自由运行时才可用。以下任何条件都会覆盖时钟并可能干扰展频：

- 由于在低输入电压下运行，时钟速度会变慢。这是压降运行。
- 在自动模式下，时钟在轻负载时变慢。请注意，如果器件在 FPWM 模式下运行，即使没有负载，展频也可以激活。
- 由于输入与输出电压比很高，时钟速度变慢。如果导通时间达到最短导通时间，则应该会出现这种运行模式。请参阅 *节 6.5*。
- 该时钟与外部时钟同步。

7.3.6 可调输出电压 (FB)

TPSM64406 的可调输出电压范围为 0.8V 至最高 16V 或略低于 V_{IN}（以较低者为准）。设置输出电压需要两个反馈电阻器，在图 7-1 中指定为 R_{FBT} 和 R_{FBB}。反馈 (FB) 引脚上的基准电压设置为 0.8V，整个结温范围内的反馈系统精度为 ±1%。该器件的结温范围为 –40°C 至 125°C。

可以使用下面的方程式 4，根据 R_{FBT} 的建议值 100kΩ 来计算 R_{FBB} 的阻值。

$$R_{FBB}(k\Omega) = \frac{R_{FBT}(k\Omega)}{\frac{V_{OUT}}{0.8} - 1} \quad (4)$$

表 7-4 列出了多个输出电压的标准电阻器值，以及保持合理峰峰值电感器纹波电流的建议开关频率范围。该表还包括每个输出电压设置保持稳定性所需的最小输出电容。列出的电容代表直流偏置电压和温度下陶瓷电容降额的*有效*值。此外，当输出电容接近最小建议值时，应将前馈电容 C_{FF} 与 R_{FBT} 并联，以增加相位裕度。

表 7-4. 标准 R_{FBT} 值、建议的 F_{SW} 范围和最小 C_{OUT}

V_{OUT} (V)	R_{FBT} (kΩ) (1)	R_{FBB} (kΩ) (1)	建议的 F_{SW} 范围 (kHz)	$C_{OUT(min)}$ (µF)，每相（有效）	BOM(2)	C_{FF} (pF)
0.8	10	开路	300 至 700	470	1 × 47 µF (6.3V)，1 × 470 µF (2.5V)	—
1.8	12.4	10	300 至 1000	125	3 × 47 µF (6.3V)，1 × 22 µF (6.3V)	330
3.3	31.2	10	500 至 1300	64	4 × 22 µF (10V)	内部
5	52.3	10	700 至 2100	64	4 × 22 µF (10V)	内部
9	105	10	1200 至 2100	40	3 × 22 µF (16V)	4.7
12	140	10	1700 至 2100	30	1 × 22 µF (25V)，1 × 50 µF (25V)	10
16	190	10	1900 至 2100	20	1 × 22 µF (25V)，1 × 50 µF (25V)	—

(1) R_{FBT} = 100kΩ。
(2) 有关输出电容器列表，请参阅表 7-6。

请注意，反馈电阻越高，消耗的直流电流越小。但是，如果上 R_{FBT} 电阻值大于 1MΩ，则反馈路径更容易受到噪声的影响。反馈电阻越大，通常需要更仔细地考虑反馈路径布局。确保将反馈电阻器放置在靠近 FB 和 AGND 引脚的位置，使反馈走线尽可能短（并远离 PCB 的噪声区域）。有关更多详细信息，请参阅*布局示例*指南。

Copyright © 2024 Texas Instruments Incorporated

7.3.7 输入电容器

需要输入电容器来限制该模块中因开关频率交流电流而导致的输入纹波电压。TI 推荐使用陶瓷电容器来在宽温度范围内提供低阻抗和高 RMS 电流等级。方程式 5 给出了输入电容器 RMS 电流。最大输入电容器 RMS 电流会出现在 D = 0.5 时，这时电容器的 RMS 电流等级必须大于输出电流的一半。

$$I_{CIN,rms} = \sqrt{D \times \left({I_{OUT}}^2 \times (1 - D) + \frac{{\Delta i_L}^2}{12} \right)} \quad (5)$$

其中

- $D = V_{OUT}/V_{IN}$ 是模块占空比。

理想情况下，降压级输入电流的直流和交流分量分别由输入电压源和输入电容器提供。在忽略电感器纹波电流的情况下，输入电容器会在 D 间隔期间拉出幅值为 (I_{OUT} – I_{IN}) 的电流，并在 1 – D 期间灌入幅值为 I_{IN} 的电流。因此，输入电容器会传导峰峰值幅度等于输出电流的方波电流。因此，交流纹波电压的相应容性分量为三角波形。通过与 ESR 相关纹波分量相结合，方程式 6 可以给出峰峰值纹波电压幅值：

$$\Delta V_{IN} = \left(\frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \right) \quad (6)$$

方程式 7 给出了特定负载电流所需的输入电容：

$$C_{IN} \geq \left(\frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times (\Delta V_{IN} - I_{OUT} \times R_{ESR})} \right) \quad (7)$$

其中

- ΔV_{IN} 是输入纹波电压规格。

TPSM64406 需要至少两个 10µF 陶瓷输入电容器，最好使用 X7R 或 X7S 电介质并采用 1206 或 1210 尺寸。为了满足传导 EMI 规格，例如 CISPR 11 或 CISPR 32，应用可能需要额外的电容。

表 7-5 包含按供应商分类的首选电容器列表。为了更大限度地减小开关环路中的寄生电感，请将陶瓷输入电容器放置在靠近 VIN1 和 VIN2 引脚的对称布局中，并使用模块下方的铜接地平面将电容器返回端子连接到 PGND 引脚。

表 7-5. 推荐的陶瓷输入电容器

供应商(1)	电介质	器件型号	外壳尺寸	电容 (µF)(2)	额定电压 (V)
TDK	X7R	C3216X7R1H106K160AC	1206	10	50
Murata	X7S	GCM32EC71H106KA03K	1210	10	50
AVX	X7R	12105C106MAT2A	1210	10	50
Murata	X7R	GRM32ER71H106KA12L	1210	10	50

(1) 有关供应情况、材料成分、RoHS 和无铅状态以及本表中所列电容器的制造工艺要求，请咨询电容器供应商。请参阅*第三方产品免责声明*。
(2) 铭牌电容值（根据施加的直流电压和温度，有效值较小）。

如*电源相关建议*中所述，大容量电解电容（68µF 至 100µF）提供低频滤波和并联阻尼，以减轻与低 ESR、高 Q 陶瓷输入电容器共振的输入寄生电感影响。

7.3.8 输出电容器

表 7-4 列出了 TPSM64406 所需的最小输出电容值。使用陶瓷电容时，必须考虑直流偏置和温度变化的影响。特别是对于陶瓷电容器，封装尺寸、额定电压和电介质材料会导致标准额定值与电容的实际有效值之间存在差异。

当包含高于 $C_{OUT(min)}$ 的附加电容时，电容可以是陶瓷型、低 ESR 聚合物型或两者的组合。有关按供应商分类的优选输出电容器列表，请参阅表 7-6。

Copyright © 2024 Texas Instruments Incorporated

表 7-6. 推荐的陶瓷输出电容器

供应商(1)	电介质	器件型号	外壳尺寸	电容 (µF)(2)	电压 (V)
Murata	X7R	GRM31CZ71C226ME15L	1206	22	16
TDK	X7R	C3225X7R1C226M250AC	1210	22	16
Murata	X7R	GRM32ER71C226KEA8K	1210	22	16
TDK	X6S	C3216X6S1E226M160AC	1206	22	25
AVX	X7R	12103C226KAT4A	1210	22	25
Murata	X7R	GRM32ER71E226ME15L	1210	22	25
AVX	X7R	1210ZC476MAT2A	1210	47	10
Murata	X7R	GRM32ER71A476ME15L	1210	47	10
Murata	X6S	GRM32EC81C476ME15L	1210	47	16
TDK	X6S	C3216X6S0G107M160AC	1206	100	4
Murata	X6T	GRM31CD80J107MEA8L	1206	100	6.3
Murata	X7S	GRM32EC70J107ME15L	1210	100	6.3

(1) 有关表中所列任何电容器的供应情况、材料成分、RoHS 和无铅状态以及制造工艺要求，请咨询电容器供应商。请参阅*第三方产品免责声明*。
(2) 铭牌电容值（根据施加的直流电压和温度，有效值较小）。

7.3.9 SYNC 允许时钟同步和模式选择

SYNC 引脚可用于选择强制脉宽调制 (FPWM) 或脉冲频率调制 (PFM)。在 FPWM 下，开关频率在较轻的输出电流下保持恒定。在 PFM 下，当电感器电流变为负值时，低侧 FET 关断，并且频率降低以提高轻负载条件下的效率。将 SYNC 连接到 AGND 可启用 PFM。将 SYNC 连接到 VCC 会使 TPSM6440X 在轻载条件下以持续导通在 FPWM 模式下运行。

SYNC 引脚还可用于将内部振荡器与外部时钟进行同步。当与外部时钟同步时，TPSM6440X 在 FPWM 下运行。内部振荡器可以同步到 SYNC 引脚的正边沿。SYNC 引脚上的耦合边沿电压必须超过 SYNC 振幅阈值 V_{SYNCDH}，才能触发内部同步脉冲检测器。最小 SYNC 上升脉冲和下降脉冲持续时间必须分别长于 t_{PULSE_H} 和 t_{PULSE_L}。TPSM6440X 开关操作可同步至频率为 200kHz 至 2.2MHz 的外部时钟。当与外部时钟同步时，必须使用 R_T 引脚将内部频率设置为与外部时钟频率接近的值。此操作可防止同步丢失时出现较大的频率变化。此操作还用于设置次级器件的斜率补偿。

在单路输出两相运行中，由于时钟信息在内部共享，因此初级的 PG2/SYNC-OUT 端子可以保持悬空。

在单路输出四相运行中，初级的 PG2/SYNC-OUT 端子必须连接到次级的 SYNC 引脚，以便对所有四个相位进行 90 度异相计时。

在单路输出六相运行中，初级的 PG2/SYNC-OUT 端子必须连接到次级器件的 SYNC 引脚。次级的 PG2/SYNC-OUT 端子必须连接到三级器件的 SYNC 引脚。这样，器件就能以 60 度异相运行所有六个相位。

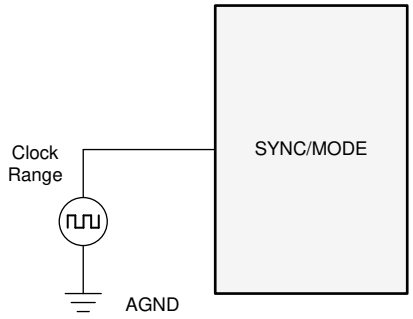
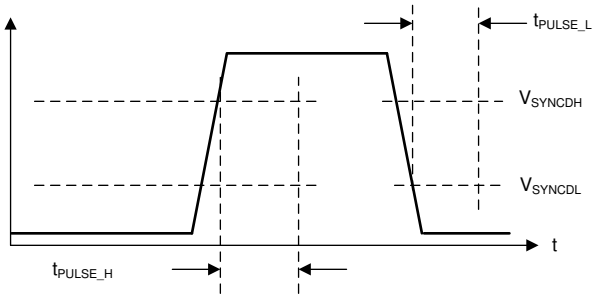


图 7-7. 允许使用 SYNC/MODE 引脚实现同步的典型实现方案

Copyright © 2024 Texas Instruments Incorporated



该图显示了检测同步信号所需的条件。

图 7-8. 典型 SYNC/MODE 波形

7.3.10 电源正常输出电压监控

虽然 TPSM6440X 的 PG1/PG2 类似于标准电源正常功能，但该功能旨在替代分立式复位 IC，从而降低 BOM 成本。在大多数稳压器中，PG 功能与普通的电源正常功能之间存在三个主要区别：

- 为释放复位添加了延迟。请参阅表 7-7。
- 当此器件被禁用时，PG 输出发出故障信号（将输出拉至接地）。
- PG 可在低至 1.2V 的输入电压下继续运行。低于此输入电压时，PG 输出可能为高阻抗。

对于双路输出配置（R_{CONFIG} = 0 或 121kΩ），PG1 是一个开漏极，必须通过电阻器连接到外部电压，如果 FB1 或 VOSNS1 上的监视器跳闸，则 PG1 会拉至低电平。PG2 标志的配置方式与 PG1 相同，并监控 FB2 或 VOSNS2 的第二个输出。

对于单路输出多相运行 (9.53kΩ < R_{CONFIG} < 93.1kΩ)，PG2 会重新配置为 SYNC-OUT，以向次级器件提供相移时钟。在该配置中，初级器件的 PG2/SYNC-OUT 端子可以保持悬空以实现双相运行，也可以连接到次级器件的 SYNC 引脚以实现四相以上的相位。对于六相运行，次级器件的 PG2/SYNC-OUT 引脚连接到三级器件的 SYNC 引脚。

Copyright © 2024 Texas Instruments Incorporated

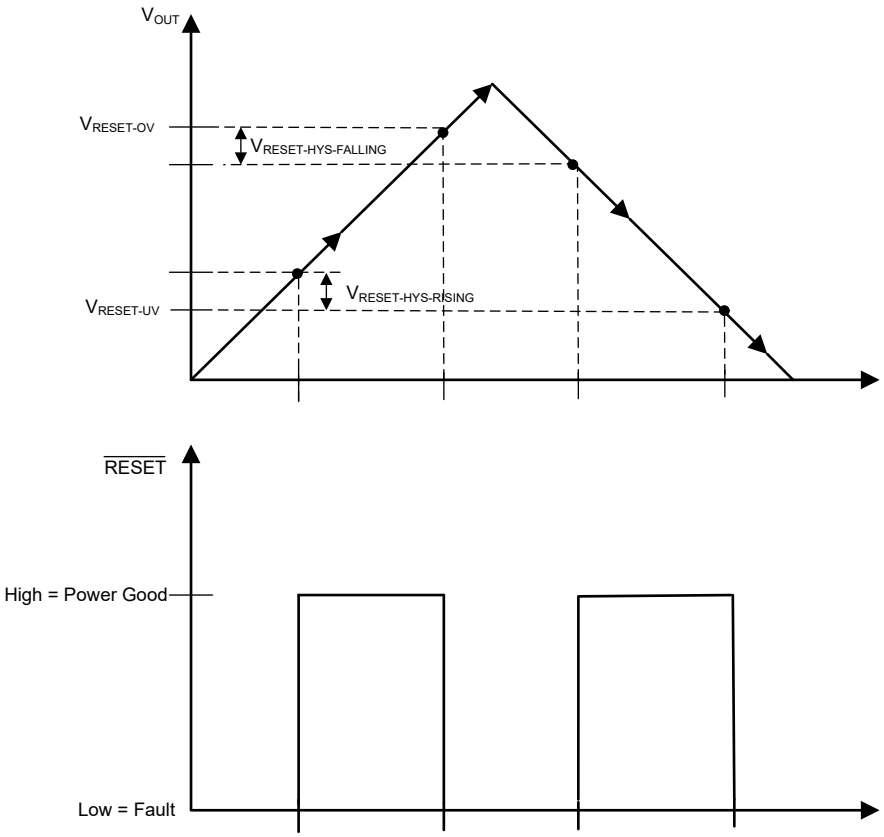


图 7-9. PG 静态电压阈值

Copyright © 2024 Texas Instruments Incorporated

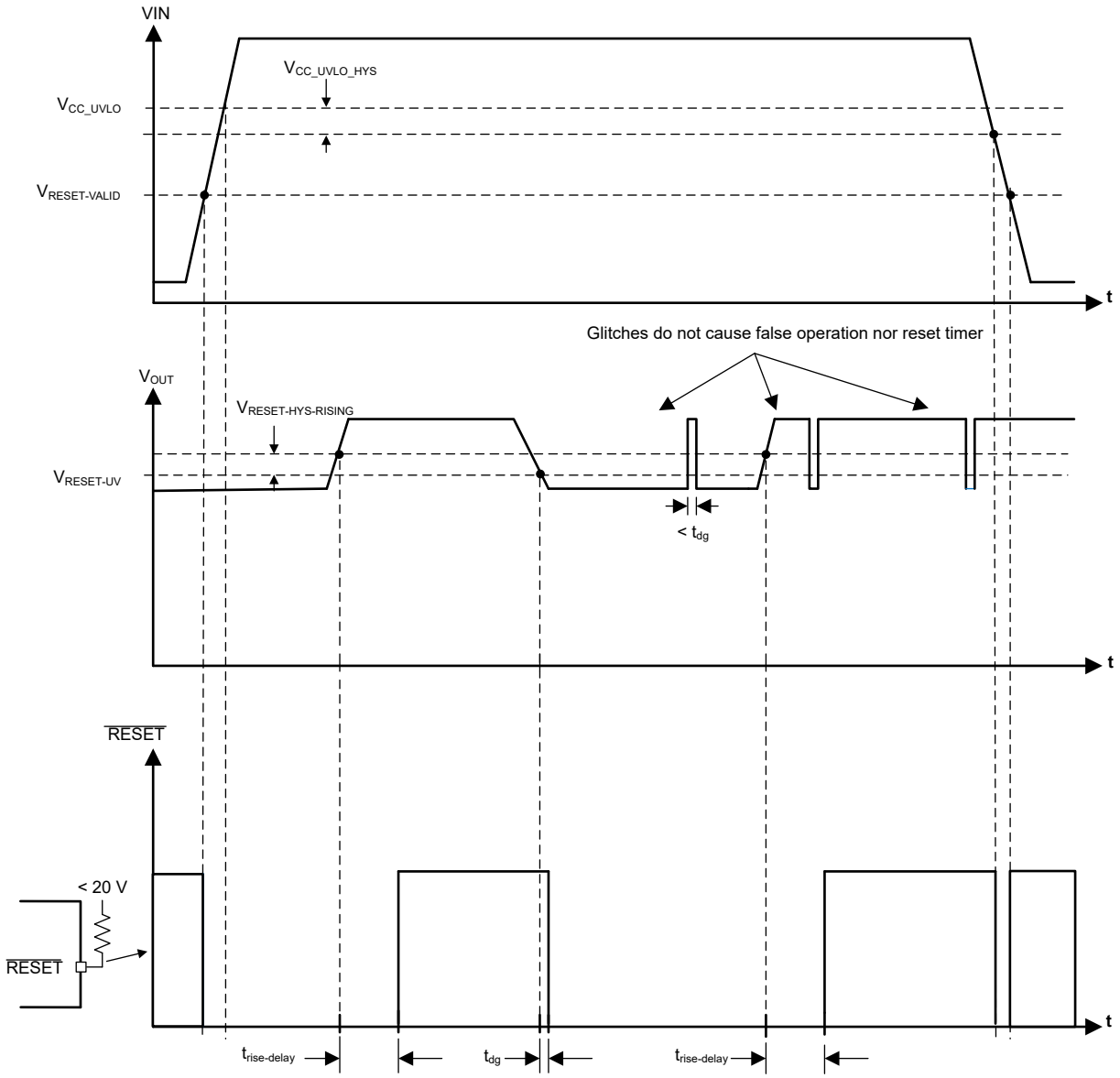


图 7-10. PG 时序图（不包括 OV 事件）

表 7-7. 导致 PG 发出故障信号（拉至低电平）的条件

故障条件启动	故障条件结束（在此之后，必须经过 t_{RESET_ACT} 才能释放复位输出）
FB 低于 V_{RESET_UV} 的持续时间超过 t_{RESET_FILTER}	FB 高于 V_{RESET_UV} + V_{RESET_HYST} 的持续时间超过 t_{RESET_FILTER}
FB 高于 V_{RESET_OV} 的持续时间超过 t_{RESET_FILTER}	FB 低于 V_{RESET_OV} – V_{RESET_HYST} 的持续时间超过 t_{RESET_FILTER}
结温超过 T_{SD_R}	结温降至 T_{SD_F} (1) 以下
EN 低电平	在 EN 变为高电平后经过 t_{EN} (1)
VIN 下降到足够低，使得 VCC 降至低于 V_{CC_UVLO} - $V_{CC_UVLO_HYST}$。此值称为 $V_{IN_OPERATE}$。	VIN 上的电压足够高，使得 VCC 引脚超过 V_{CC_UVLO} (1)

(1) 作为额外的运行检查，PG 在软启动期间保持低电平。软启动定义为直到达到完整输出电压或者自启动以来经过 t_{SS2}（以较小者为准）。即使满足此表中的所有其他条件并且已经过 t_{RESET_ACT}，此定义也是正确的。软启动期间的锁定不需要经过 t_{RESET_ACT}，即可释放 PG。

指定 PG 功能的阈值电压是为了充分利用 PG 电路的内部反馈阈值的可用性。这样，就可以同时指定所选输出电压的 96.5% 的最大阈值和实际工作点的 96%。最终结果是在扩大系统瞬态响应裕度的同时，实现了更准确的复位功能。请参阅图 7-11 中的输出电压误差堆叠比较。

除了在检测到过压时发出故障信号（FB 高于 V_{RESET_OV}）之外，开关节点也会关断，并向 SW 施加大概 1mA 的小下拉电流。

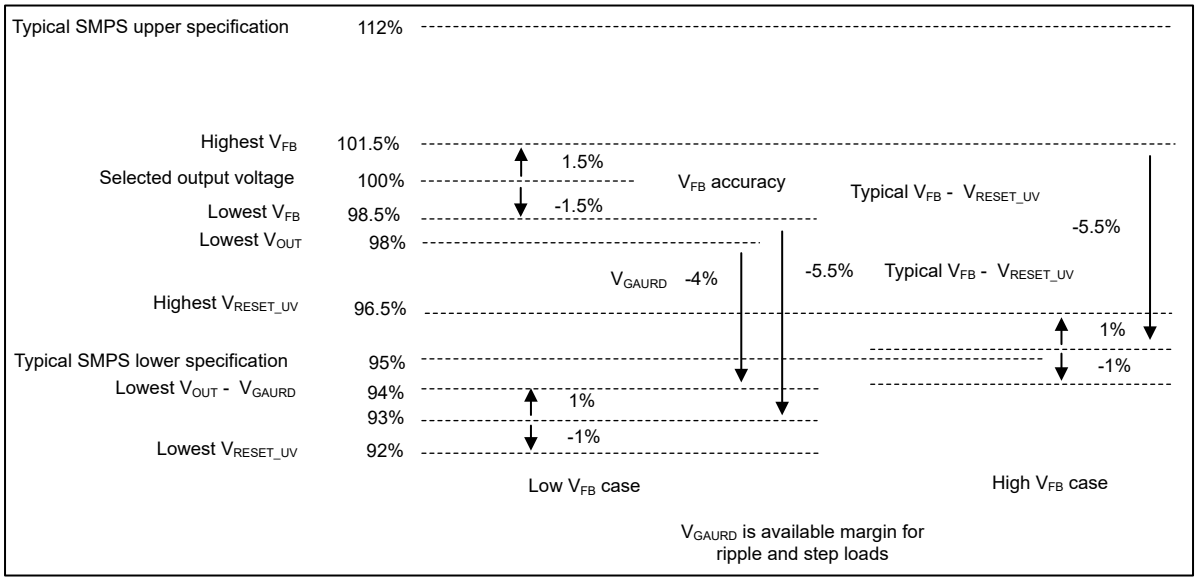


图 7-11. 复位阈值电压堆叠

Copyright © 2024 Texas Instruments Incorporated

PG 信号可用于对下游稳压器进行启动时序控制（如下图所示）或进行故障保护和输出监控。

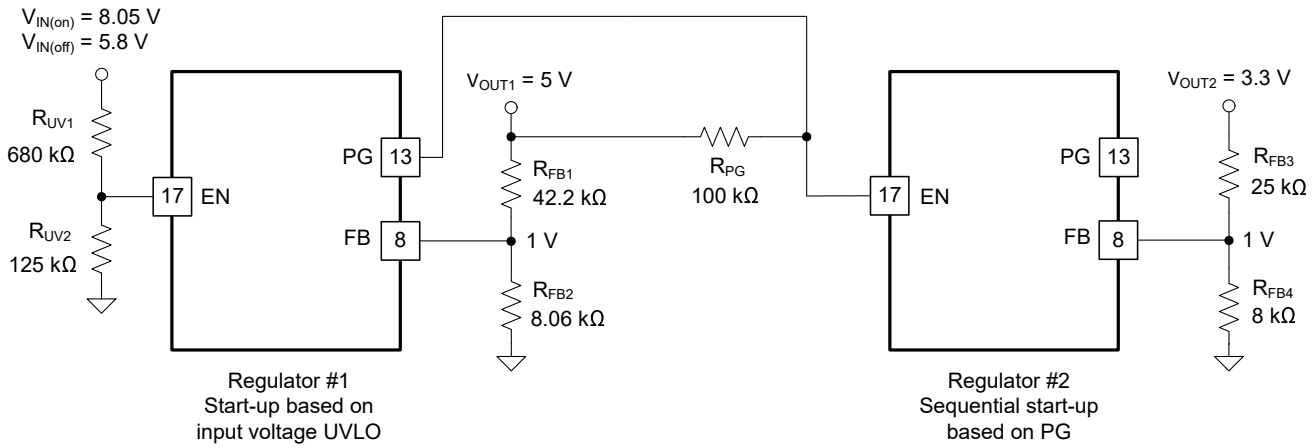


图 7-12. 使用 PG 和 EN 的 TPSM64406 时序控制实现

7.3.11 辅助电源稳压器（VCC、VOSNS）

VCC 是内部 LDO 子稳压器的输出，用于为 TPSM64406 的控制电路供电。标称 VCC 电压为 3.3V。VOSNS 引脚是内部 LDO 的输入端。该输入端可连接到 V_{OUT} 以提供尽可能低的输入电源电流。如果 VOSNS 电压低于 3.1V，则 VIN1 和 VIN2 直接为内部 LDO 供电。

为了防止不安全运行，VCC 具有 UVLO 保护，可在内部电压过低时防止进行开关操作。请参阅 *节 6.5* 中的 V_{CC_UVLO} 和 $V_{CC_UVLO_HYS}$。

VCC 不得用于为外部电路供电。请勿加载 VCC 或将 VCC 短接至地。VOSNS 是内部 LDO 的可选输入。将一个可选的优质 0.1μF 至 1μF 电容器从 VOSNS 连接到 AGND，以提高抗噪性。

LDO 通过以下两个输入之一提供 VCC 电压：V_{IN} 或 VOSNS。当 VOSNS 接地或低于 3.1V 时，LDO 从 V_{IN} 获取电源。当 VOSNS 连接到高于 3.1V 的电压时，LDO 输入变为 VOSNS。VOSNS 电压不得超过 V_{IN} 和 12V。

方程式 8 将 LDO 降低的功率损耗指定为：

$$P_{LDO-LOSS} = I_{LDO} \times (V_{VOSNS} - V_{VCC}) \quad (8)$$

VOSNS 输入提供了一个选项，可为 LDO 提供低于 V_{IN} 的电压，从而更大程度地降低 LDO 输入电压（相对于 VCC）并降低功率损耗。例如，如果 LDO 电流在 1MHz、V_{IN} = 24V 且 V_{OUT} = 5V 时为 10mA，则 VOSNS 接地时的 LDO 功率损耗为 10mA × (24V – 3.3V) = 207mW，而当 VOSNS 连接至 V_{OUT} 时，功率损耗等于 10mA × (5V – 3.3V) = 17mW，减少了 190mW。

7.3.12 过流保护 (OCP)

TPSM64406 使用峰值电感电流的逐周期电流限制保护来防止出现过流情况。每个开关周期都会将电流与电流限制阈值进行比较。在过流情况下，输出电压会降低。

TPSM64406 会在发生极端过载时采用断续过流保护。在断续模式下，TPSM64406 模块会关断并保持关断 40ms（典型值），然后会尝试重新启动。如果过流或短路故障情况仍然存在，则断续模式会重复，直到故障情况消失。断续模式会降低严重过流条件下的功耗，从而防止器件过热和受到潜在的损害。故障排除后，该模块会自动恢复正常运行。

Copyright © 2024 Texas Instruments Incorporated

7.3.13 热关断

热关断是一种集成式自保护功能，用于限制结温并防止因过热而造成损坏。当结温超过 168°C（典型值）时，热关断功能会关断器件，以防止进一步的功率耗散和温升。关断后，结温会降低，当结温降至 159°C（典型值）时，TPSM64406 会尝试重新启动。

7.4 器件功能模式

7.4.1 关断模式

EN 引脚为 TPSM64406 提供开关控制功能。当 V_{EN} 低于约 0.4V 时，该器件处于关断模式。内部 LDO 和开关稳压器均关闭。关断模式下的静态电流降至 0.6 µA（典型值）。TPSM64406 还采用内部欠压保护。如果输入电压低于 UV 阈值，则稳压器将保持关闭状态。

7.4.2 待机模式

VCC 辅助电源的内部 LDO 具有比稳压器更低的使能阈值。当 V_{EN} 高于 1.1V（最大值）并且低于 1.263V（典型值）的精密使能阈值时，内部 LDO 将导通并进行调节。内部 V_{CC} 高于 UVLO 阈值后，精密使能电路会导通。在 V_{EN} 升至高于精密使能阈值之前，不会启用开关操作和电压调节。

7.4.3 工作模式

当 V_{VCC} 和 V_{EN} 高于相关阈值且不存在故障条件时，TPSM64406 处于运行模式。使之运行的最简单方法是将 EN 连接到 V_{IN}，这样可以在施加的输入电压超过最小启动电压时实现自启动。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPSM64406 同步降压模块仅需几个外部元件，即可从宽范围的电源电压转换为输出电压，每个单相输出的输出电流高达 3A，而两相输出的输出电流高达 6A。为了加快和简化基于 TPSM64406 的稳压器的设计过程，可下载全面的 TPSM64406 快速入门计算器工具，以帮助系统设计人员为给定应用选择合适的元件。

8.2 典型应用

有关 TPSM64406 相关实现的电路原理图、物料清单、PCB 布局文件和测试结果，请参阅 TPSM64406EVM 双路输出参考设计。

Copyright © 2024 Texas Instruments Incorporated

8.2.1 设计 1 – 高效率双路输出 5V/3A、3.3V/3A 同步降压稳压器

图 8-1 显示了开关频率为 1MHz 的双路输出 5V/3A 和 3.3V/3A 降压稳压器的原理图。在本例中，根据在 6.3V 到 36V 范围内的 12V 标称输入电压，目标效率在满负载时为 91.5%。15.4kΩ 的电阻器 R_{RT} 将自由运行的开关频率设置为 1MHz。必须使用 RT 电阻将可选的 SYNC 输入限制在设定频率的 ±20%。

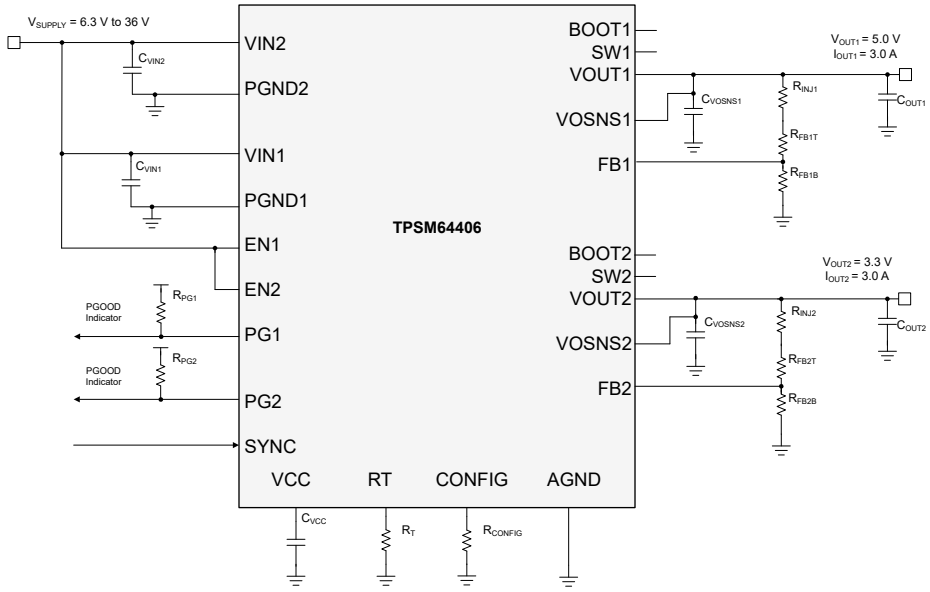


图 8-1. 电路原理图

8.2.1.1 设计要求

表 8-1 展示了此应用设计示例的预期输入、输出和性能参数。

表 8-1. 设计参数

设计参数	值
输入电压范围	6.3V 至 36V
输入电压 UVLO 导通/关断	6V、4.3V
输出电压 1	5V
输出电压 2	3.3V
满负载电流 1	3A
满负载电流 2	3A
开关频率	1MHz
输出电压调节	±1%

表 8-2 提供了所选降压模块功率级元件以及多个供应商处的供货情况。此设计使用全陶瓷输出电容器实现。

表 8-2. 应用电路 1 的物料清单

参考位号	数量	规格	制造商(1)	器件型号
C_{IN1}、C_{IN2}	4	10µF，50V，X5R，0805，陶瓷	Murata	GRM21BR61H106ME43L
C_{INBULK}	1	100µF，50V 电解	Panasonic	EEE-FK1H101P
C_{OUT1}、C_{OUT2}	4	22µF，25V，X7R，1210，陶瓷	Murata	GRM32ER71E226KE15L
	2	1µF，25V，X7R，0603，陶瓷	Murata	GCM188R71E105KA64D
U_1	1	TPSM64406 36V、6A 同步降压模块	德州仪器 (TI)	TPSM64406RDLR

(1) 请参阅*第三方产品免责声明*。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 详细设计过程

8.2.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处来通过 WEBENCH® Power Designer 使用 TPSM64406 器件创建定制设计。

1. 首先键入输入电压（V_{IN}）、输出电压（V_{OUT}）和输出电流（I_{OUT}）要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能。
- 运行热性能仿真，了解电路板热性能。
- 将定制原理图和布局方案以常用 CAD 格式导出。
- 打印设计方案的 PDF 报告并与同事共享。

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

8.2.1.2.2 输出电压设定点

反馈电阻分压器公式可用于计算这两个输出的输出电压设定点。R_{FB1T} 和 R_{FB2T} 的建议值为 100kΩ，与 1MΩ 相比可提高抗噪性能，与较低电阻值相比可降低电流消耗。使用以下公式计算 R_{FB1B} 和 R_{FB2B}：

$$R_{FBB} = \frac{R_{FBT} \times V_{REF}}{V_{OUT} - V_{REF}} \quad (9)$$

为 R_{FB1B} 选择最接近的标准值 19kΩ，该值与 5V 的 V_{OUT1} 相关。此外，为 R_{FB2B} 选择最接近的标准值 32kΩ，该值与 3.3V 的 V_{OUT2} 相关。

8.2.1.2.3 开关频率选择

在 RT 和 AGND 之间连接一个 15.4kΩ 电阻器，以便为每个输出设置 1MHz 的开关频率。

8.2.1.2.4 输入电容器选型

TPSM64406 需要至少 4 个 10µF 陶瓷输入电容，最好使用 X7R 电介质。输入电容器的电压等级必须大于最大输入电压。对于此设计，请选择四个 10µF、X7R、50V、0805 外壳尺寸陶瓷电容器，从 VIN1 和 VIN2 连接到 PGND 并尽可能靠近模块。有关推荐的布局放置，请参阅图 8-24。

8.2.1.2.5 输出电容器选型

根据表 7-4，TPSM64406 需要最小 24µF 的有效输出电容，才能在 1MHz、5V 的输出电压条件下正常运行；并且需要最小 37µF 的有效输出电容，才能在 1MHz、3.3V 的输出电压条件下正确运行。使用具有足够额定电压和温度的高品质陶瓷型电容器。如果需要，连接额外的输出电容以降低纹波电压或用于具有特定负载瞬态要求的应用。

对于此设计示例，请在靠近模块的位置使用两个额定电压为 25V 的 22µF、X7R、1210 陶瓷电容器从 VOUT1 连接到 PGND，并使用两个额定电压为 25V 的 22µF、X7R、1210 陶瓷电容器从 VOUT2 引脚连接到 PGND。使用电容器数据表中的降额曲线来测量由温度和直流偏置产生的有效电容。

8.2.1.2.6 其他注意事项

当使用接近表 7-4 中最小值的输出电容时，要增加相位裕度，可以在上部反馈电阻器上放置一个指定为 C_{FF} 的前馈电容器。将 C_{FF} 和 R_{FBT} 创建的零点置于开关值的五分之一以上以提升相位，但不会显著增加交叉频率。由于此 C_{FF} 电容器可以将电路输出端的噪声直接传导至 IC 的 FB 节点，因此必须将一个 4.99kΩ 电阻器 R_{FF} 与 C_{FF} 串联。如果输出电容器的 ESR 零值低于 200kHz，则不要使用 CFF。

Copyright © 2024 Texas Instruments Incorporated

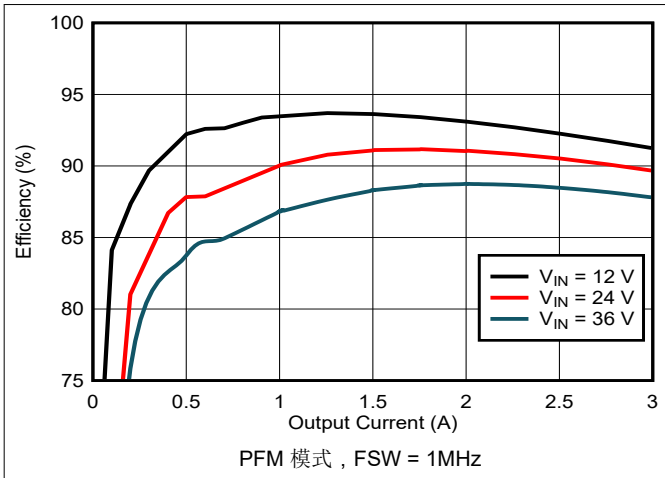
此外，对于 VOUT1 为 5V、VOUT2 为 3.3V 的双路输出电压输出，可以使用固定频率配置。通过 10kΩ 电阻器将 FB 连接到 VCC 以获得 5V 输出，或者将 FB 连接到 AGND 以获得 3.3V 输出。通过使用内部固定反馈电阻器，可以观察到更高的效率。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.3 应用曲线

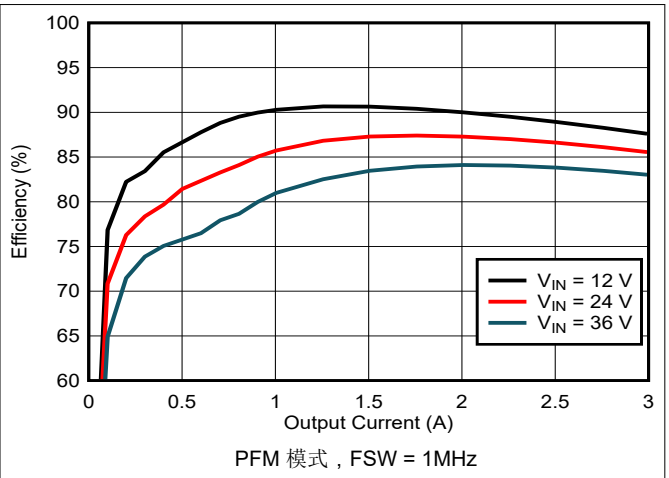
效率和负载调节性能

除非另有说明，否则 VIN = 12V，VOUT1 = 5V，VOUT2 = 3.3V，IOUT1 = 3A，IOUT2 = 3A 且 f_{SW} = 1MHz。



PFM 模式，FSW = 1MHz

图 8-2. 效率，VOUT = 5V



PFM 模式，FSW = 1MHz

图 8-3. 效率，VOUT = 3.3V

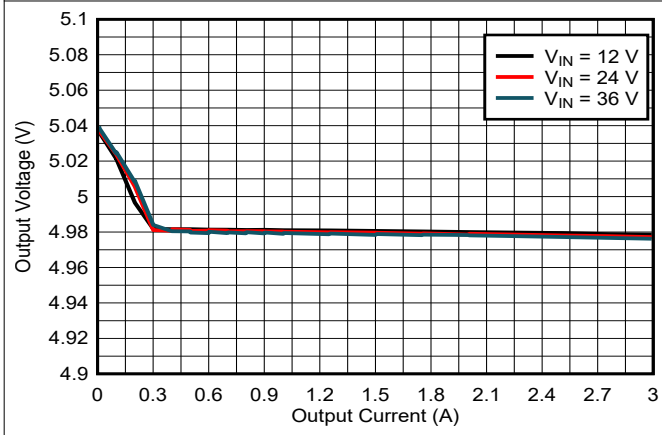


图 8-4. 负载调节，VOUT = 5V，PFM 模式

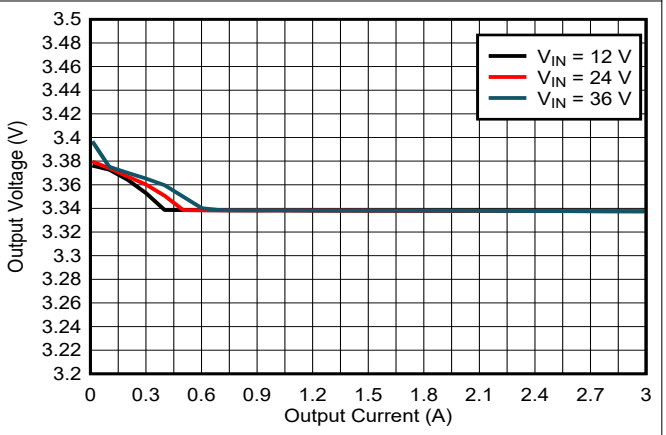


图 8-5. 负载调节，VOUT = 3.3V，PFM 模式

Copyright © 2024 Texas Instruments Incorporated

波形和图

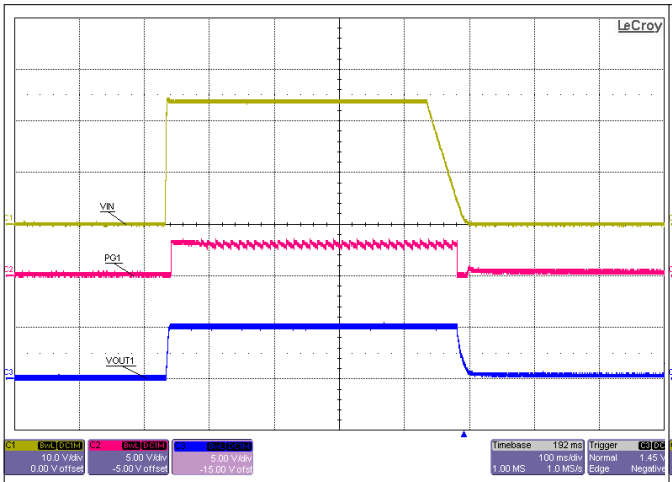


图 8-6. 启动和关断，VOUT1 = 5V

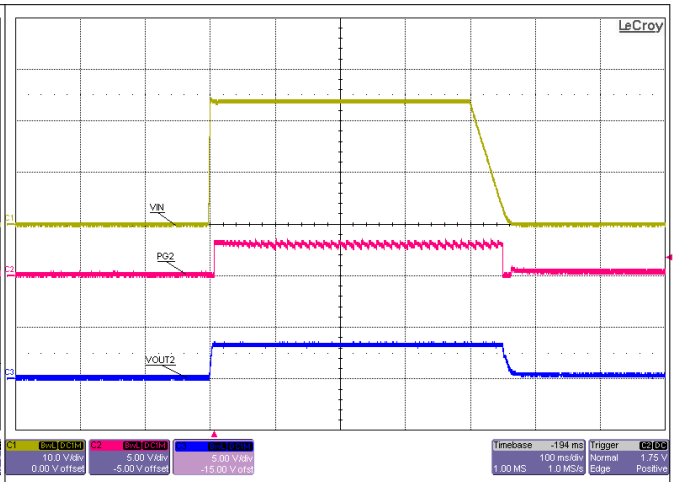
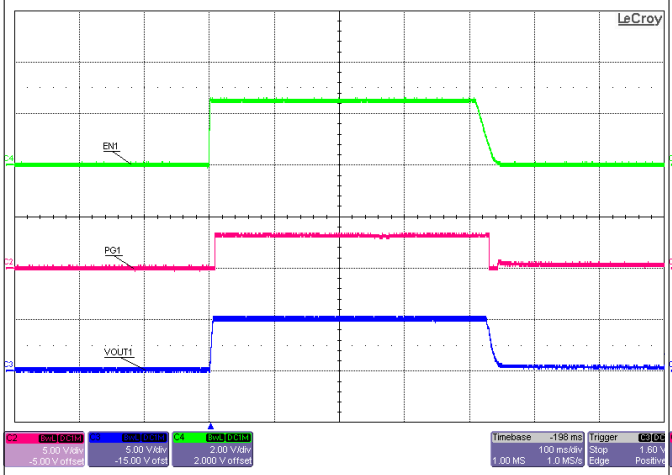
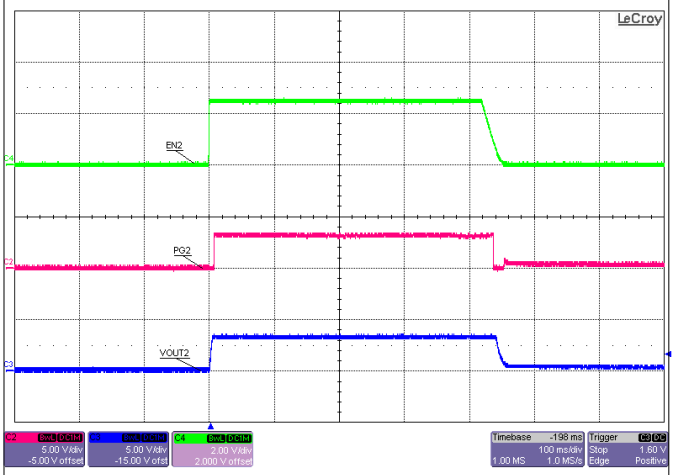


图 8-7. 启动和关断，VOUT2 = 3.3V



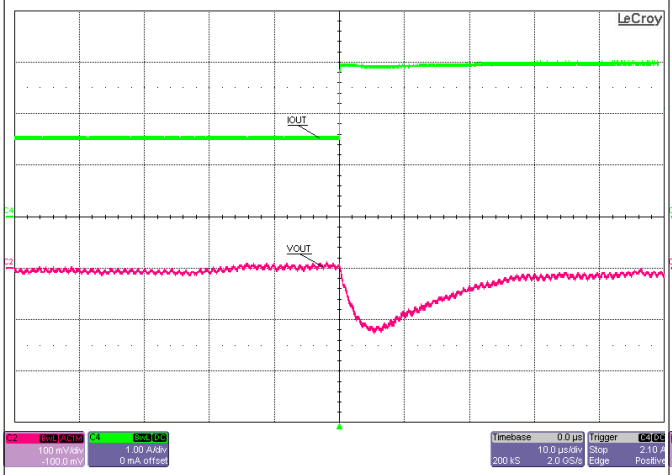
VIN = 24V

图 8-8. 使能开/关，VOUT1 = 5V



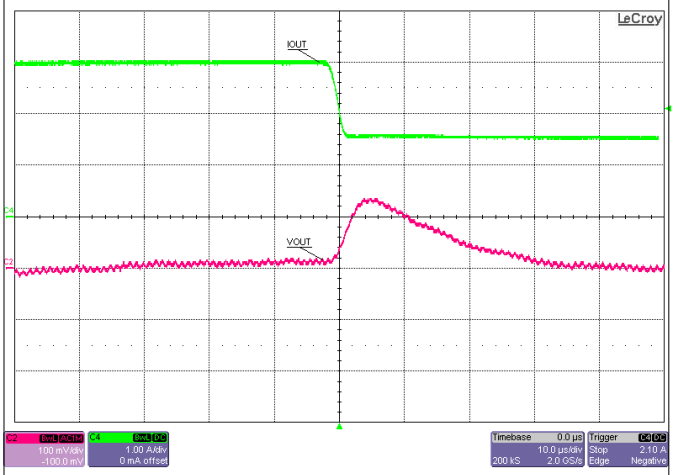
VIN = 24V

图 8-9. 使能开/关，VOUT2 = 3.3V



VOUT1 = 5V，IOUT1 = 1.5A 至 3A（1A/µs 时）

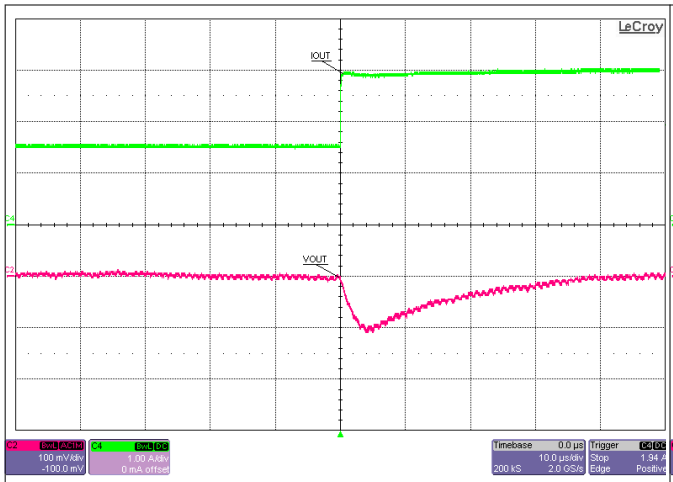
图 8-10. 负载瞬态上升 (CH1)



VOUT1 = 5V，IOUT1 = 3A 至 1.5A（1A/µs 时）

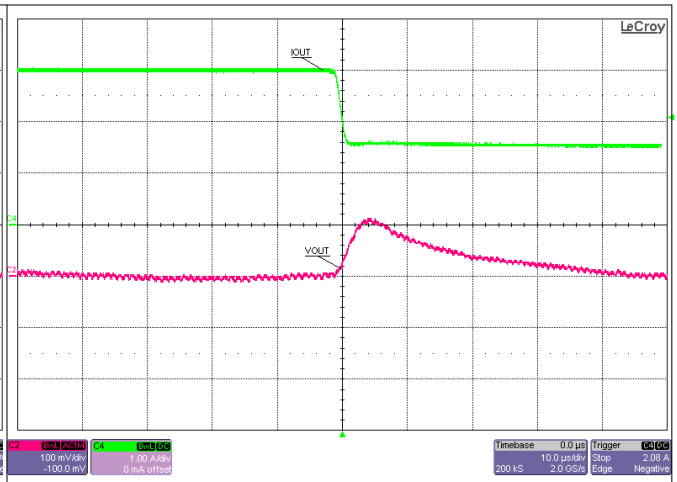
图 8-11. 负载瞬态下降 (CH1)

Copyright © 2024 Texas Instruments Incorporated



VOUT2 = 3.3V，IOUT2 = 3A 至 6A（1A/μs 时）

图 8-12. 负载瞬态上升 (CH2)



VOUT2 = 3.3V，IOUT2 = 6A 至 3A（1A/μs 时）

图 8-13. 负载瞬态下降 (CH2)

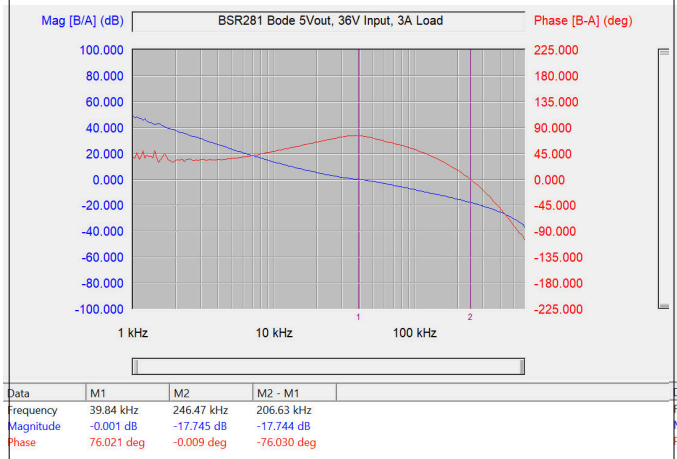


图 8-14. 波特图 (CH1)

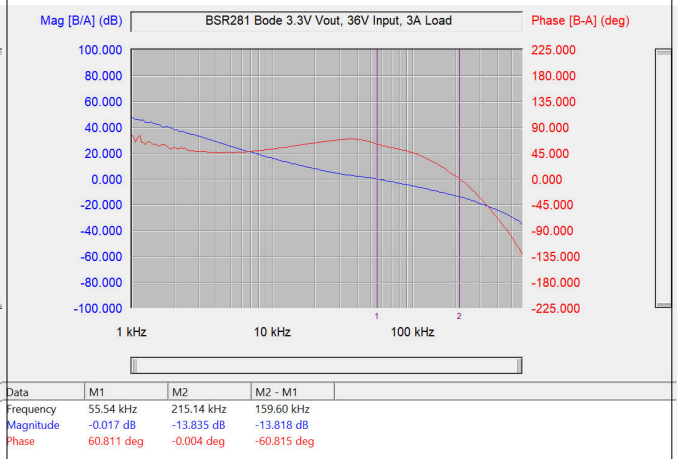
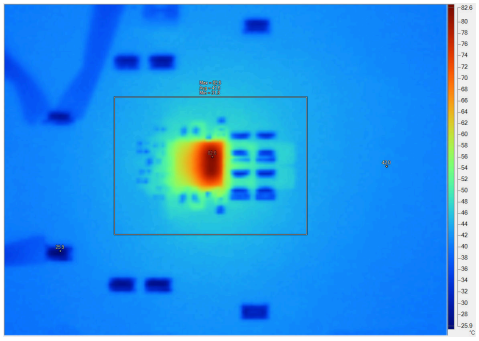


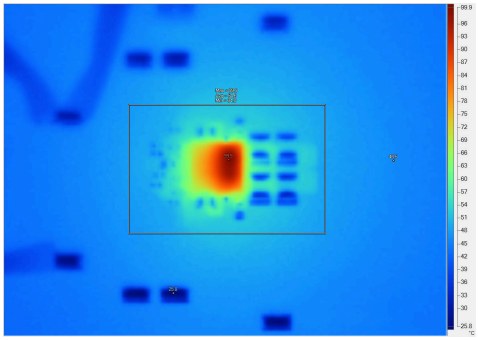
图 8-15. 波特图 (CH2)

热性能



V_{OUT1} = 5V，V_{OUT2} = 3.3V，IOUT1 = 3A，IOUT2 = 3A，FSW = 1MHz

图 8-16. 红外线热感图像：VIN = 12V

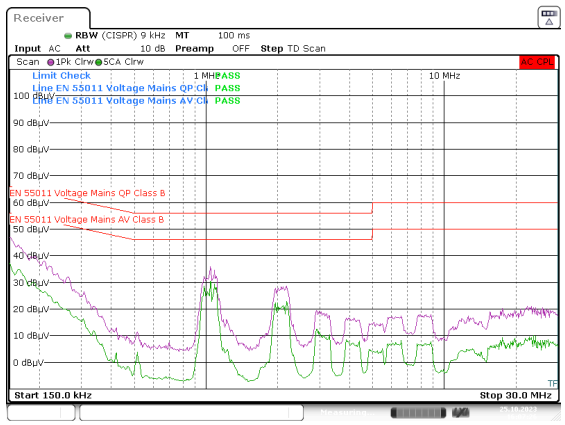


V_{OUT1} = 5V，V_{OUT2} = 3.3V，IOUT1 = 3A，IOUT2 = 3A，FSW = 1MHz

图 8-17. 红外线热感图像：VIN = 36V

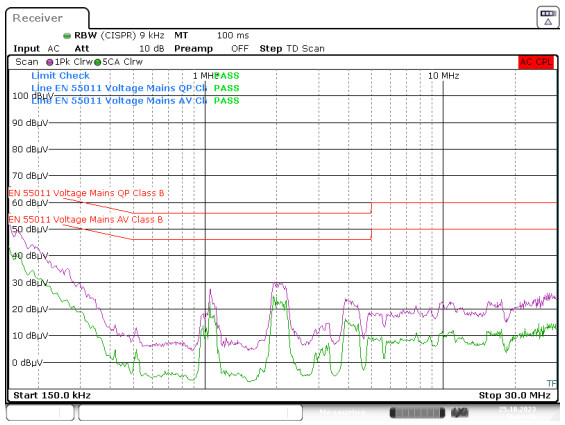
Copyright © 2024 Texas Instruments Incorporated

EMI 性能



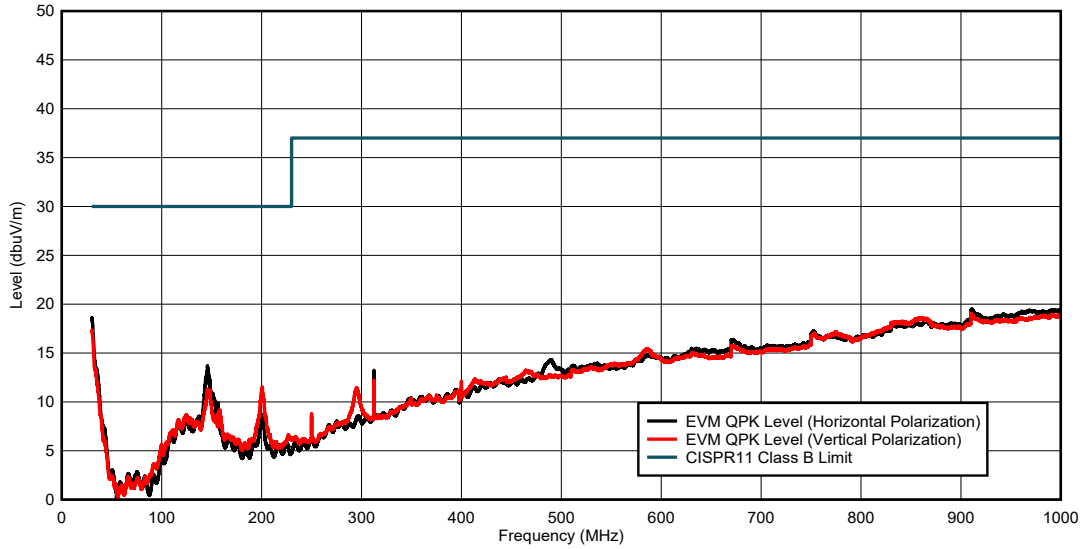
V_{OUT1} = 5V，V_{OUT2} = 3.3V，I_{OUT1} = 3A，I_{OUT2} = 3A，F_{SW} = 1MHz

图 8-18. CISPR 11/32 B 类传导发射：V_{IN} = 12V



V_{OUT} = 5V，V_{OUT2} = 3.3V，I_{OUT1} = 3A，I_{OUT2} = 3A，F_{SW} = 1MHz

图 8-19. CISPR 11/32 B 类传导发射：V_{IN} = 24V



V_{OUT} = 5V，V_{OUT2} = 3.3V，I_{OUT1} = 3A，I_{OUT2} = 3A，F_{SW} = 1MHz

图 8-20. 符合 CISPR 11/32 B 类辐射发射限制：V_{IN} = 24V

8.2.2 设计 1 – 用于工业应用的高效 8A（峰值 10A）同步降压稳压器

下图显示了开关频率为 1MHz 的 5V、8A 降压稳压器的原理图。在本例中，根据 9V 至 36V 范围内的 24V 标称输入电压，半负载和满负载时的目标效率分别为 93.4% 和 91.5%。15.8kΩ 的电阻器 R_{RT} 将自由运行开关频率设定为 1MHz。一个可选的 SYNC 输入信号支持针对这个特定应用在 500kHz 至 1.4MHz 范围内调整开关频率。

Copyright © 2024 Texas Instruments Incorporated

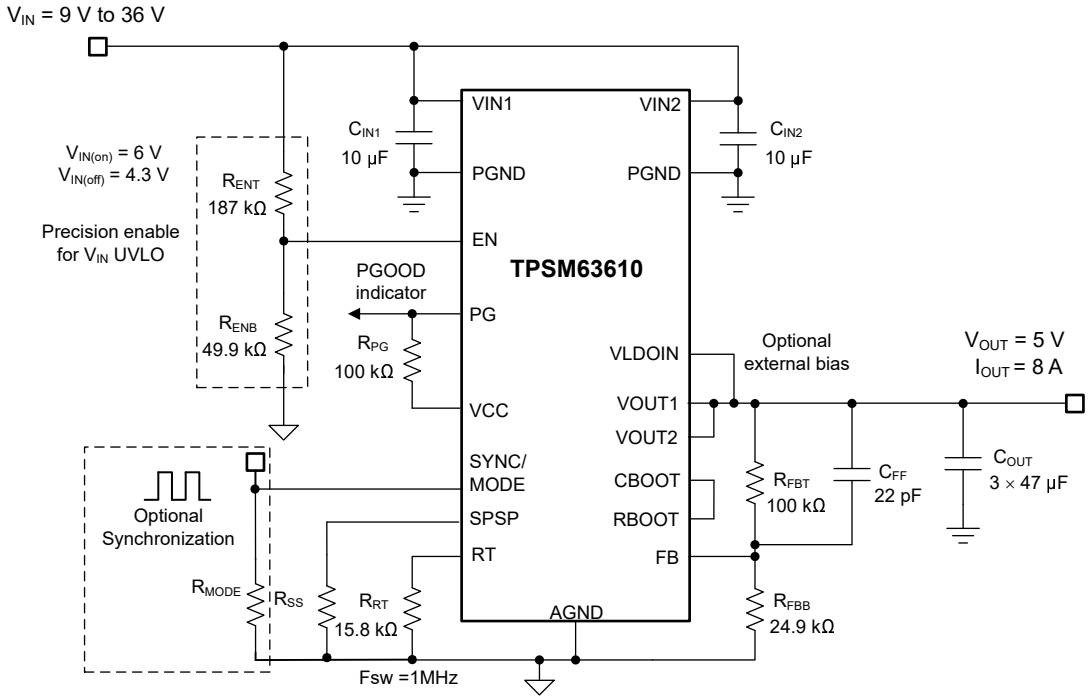


图 8-21. 电路原理图

8.2.2.1 设计要求

下表展示了此应用示例的预期输入、输出和性能参数。请注意，如果输入电压降至低于大概 7V，则稳压器会在压降下运行且输出电压低于 5V 设定点。

表 8-3. 设计参数

设计参数	值
输入电压范围	7V 至 36V
输入电压 UVLO 导通/关断	6V、4.3V
输出电压	5V
最大输出电流	6A
开关频率	2.1MHz
输出电压调节	±1%
模块关断电流	< 1µA

表 8-4 提供了所选降压模块功率级元件以及多个供应商处的供货情况。此设计使用全陶瓷输出电容器实现。

表 8-4. 应用电路 2 的物料清单

参考标识符	数量	规格	制造商(1)	器件型号
C_{IN1}、C_{IN2}	4	2.2µF，50V，X7R，0805，陶瓷	TDK	C2012X7R1H225K125AC
C_{INBULK}	1	100µF，50V 电解	Panasonic	EEE-FK1H101P
C_{OUT1}、C_{OUT2}	5	10µF，25V，X7R，1210，陶瓷	TDK	C3225X7R1E106K250AC
	1	22µF，25V，X7R，1210，陶瓷	TDK	CNA6P1X7R1E226M250AE
U_1	1	TPSM64406 36V、6A 同步降压模块	德州仪器 (TI)	TPSM64406RDLR

(1) 请参阅*第三方产品免责声明*。

Copyright © 2024 Texas Instruments Incorporated

更笼统地说，TPSM64406 模块旨在于各种外部元件和系统参数下正常运行。但是，集成环路补偿针对一定范围的输出电容进行了优化。

8.2.2.2 详细设计过程

8.2.2.2.1 输出电压设定点

TPSM64406 模块的输出电压可以通过一个电阻分压器从外部调节。R_{FBT} 的建议值为 100kΩ，与 1MΩ 相比可提高抗噪性能，与较低电阻值相比可降低电流消耗。应使用以下公式计算 R_{FBB}：

$$R_{FBB} = \frac{R_{FBT} \times V_{REF}}{V_{OUT} - V_{REF}} \quad (10)$$

为 R_{FBB} 选择最接近的标准值 19kΩ，该值与 5V 的 V_{OUT} 相关。

8.2.2.2.2 开关频率选择

将一个 6.9kΩ 电阻器从 RT 连接到 AGND，以设置每相 2.1MHz 的开关频率，该开关频率专为 5V 输出而设计，因为器件在 12V 的标称输入电压下建立了一个电感器峰峰值纹波电流，其范围为 6A 额定输出电流的 20% 至 40%。

8.2.2.2.3 输入电容器选型

TPSM64406 需要至少 4 个 10µF 陶瓷输入电容，优选使用 X7R 电介质。输入电容器的电压等级必须大于最大输入电压。对于此设计，请选择四个 10µF、X7R、50V、0805 外壳尺寸陶瓷电容器，从 VIN1 和 VIN2 连接到 PGND 并尽可能靠近模块。有关推荐的布局放置，请参阅图 8-24。

8.2.2.2.4 输出电容器选型

从快速入门计算器可以看到，TPSM64406 需要最低 15µF 的有效输出电容，才能在 2.1MHz、5V 输出电压条件下正常运行。使用具有足够额定电压和温度的高品质陶瓷型电容器。如果需要，连接额外的输出电容以降低纹波电压或用于具有特定负载瞬态要求的应用。

对于此设计示例，请在靠近模块的位置使用五个 10µF、25V、X7R、1210 陶瓷电容器和一个 47µF、16V、X5R、1210 陶瓷电容器从 VOUT1 和 VOUT2 引脚连接到 PGND。使用电容器数据表中的降额曲线来测量由温度和直流偏置产生的有效电容。

8.2.2.2.5 其他连接

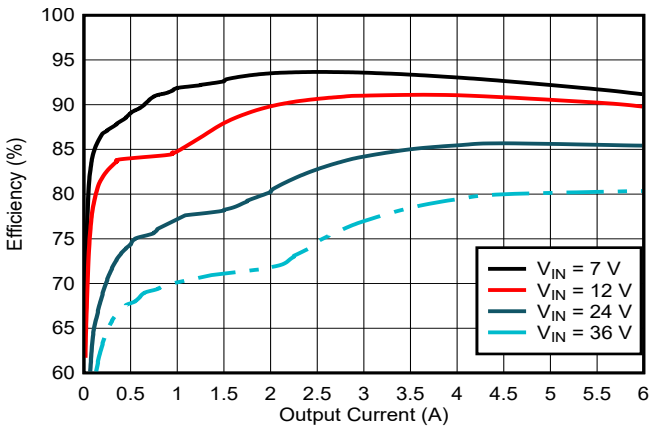
当使用接近表 7-4 中最小值的输出电容时，要增加相位裕度，可以在上部反馈电阻器上放置一个指定为 C_{FF} 的前馈电容器。将 C_{FF} 和 R_{FBT} 创建的零点置于开关值的五分之一以上以提升相位，但不会显著增加交叉频率。由于此 C_{FF} 电容器可以将电路输出端的噪声直接传导至 IC 的 FB 节点，因此必须将一个 4.99kΩ 电阻器 R_{FF} 与 C_{FF} 串联。如果输出电容器的 ESR 零值低于 200kHz，则不要使用 CFF。

此外，对于 5V 或 3.3V 的输出电压输出，可以使用固定频率配置。通过 10kΩ 电阻器将 FB 连接到 VCC 以获得 5V 输出，或者将 FB 连接到 AGND 以获得 3.3V 输出。通过使用内部固定反馈电阻器，可以观察到更高的效率。

Copyright © 2024 Texas Instruments Incorporated

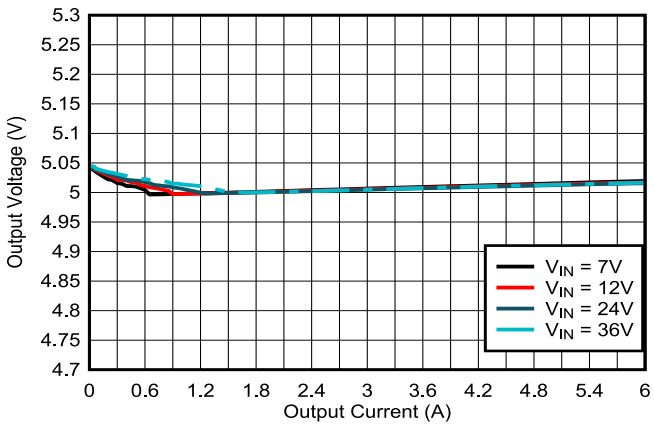
8.2.2.3 应用曲线

效率性能



VOUT = 5V，FPWM 模式，FSW = 2.1MHz

图 8-22. 效率



VOUT = 5V，FPWM 模式，FSW = 2.1MHz

图 8-23. 负载调整率

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

TPSM64406 降压模块设计为可在 3V 至 36V 的宽输入电压范围内工作。输入电源的特性必须符合本数据表中的*节 6.1* 和*节 6.3*。此外，输入电源必须能够向负载稳压器电路提供所需的输入电流。可以使用方程式 11 来估算平均输入电流。

$$I_{IN} = \left(\frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \right) \quad (11)$$

其中

- η 为效率。

如果该模块通过长导线或具有大阻抗的 PCB 迹线连接到输入电源，则需要特别谨慎才能实现稳定的性能。输入电缆的寄生电感和电阻可能会对该模块的运行造成不良影响。更具体地说，寄生电感与低 ESR 陶瓷输入电容器组合形成一个欠阻尼谐振电路，这有可能在每次输入电源打开和关闭时导致不稳定或电压瞬态。寄生电阻会在负载瞬变期间导致输入电压下降。如果该模块的工作电压接近最小输入电压，此下降可能导致错误的 UVLO 故障触发和系统复位。

要解决此类问题，更好的方法是缩短输入电源与该模块之间的距离，并将电解输入电容器与陶瓷电容器并联使用。电解电容器的中等 ESR 有助于抑制输入谐振电路，并减少输入端的任何过冲或下冲。47µF 至 100µF 范围内的电容通常足以提供输入并联阻尼，并有助于在大负载瞬态期间保持输入电压稳定。0.1Ω 至 0.4Ω 的典型 ESR 可为大多数输入电路配置提供足够的阻尼。

8.4 布局

在高电流、快速开关模块电路（具有高内部电压和电流转换率）中，适当的 PCB 设计和布局对于实现可靠的器件运行和设计稳健性非常重要，这主要影响器件在电路板上的 EMI 性能和热耗散。

8.4.1 布局指南

以下列表总结了用于优化直流/直流模块性能（包括热特性和 EMI 签名）的 PCB 布局和元件放置基本指南。图 8-24 展示了 TPSM64406 的推荐 PCB 布局，并优化了功率级和小信号元件的布局和布线。

- *将输入电容器尽可能靠近 VIN 引脚放置。*请注意，输入电容器基于模块封装每一侧的 VIN1 和 VIN2 引脚的双对称排列。高频电流分为两个部分并有效地反向流动，使相关磁场相互抵消，从而提高 EMI 性能。
  - 使用具有 X7R 或 X7S 电介质的低 ESR 1206 或 1210 陶瓷电容器。该模块集成了两个 0402 输入电容器，用于高频旁路。
  - 输入电容器的接地返回路径必须包含连接到模块下方 PGND 焊盘的局部顶层平面。
  - 即使 VIN 引脚在内部连接，也要在较低的 PCB 层上使用宽多边形平面将这些引脚连接在一起并连接到输入电源。
- *将输出电容器尽可能靠近 VOUT 引脚放置。*输出电容器采用类似的双路对称布置，可消除磁场并降低 EMI。
  - 输出电容器的接地返回路径必须包含连接到模块下方 PGND 焊盘的局部顶层平面。
  - 即使 VOUT 引脚在内部连接，也要在较低的 PCB 层上使用宽多边形平面将这些引脚连接在一起并连接到负载，从而减少传导损耗和热应力。
- *通过将反馈电阻器靠近 FB 引脚放置，使 FB 走线尽可能短。*通过将电阻分压器靠近 FB 引脚而不是靠近负载放置，降低输出电压反馈路径的噪声敏感度。FB 是电压环路误差放大器的输入，并代表对噪声敏感的高阻抗节点。将上部反馈电阻器布线到所需的输出电压调节点。
- *在模块顶层正下方的 PCB 层上使用实心接地层。*该平面可以充当噪声屏蔽层，尽可能地减小与开关环路中的电流相关的磁场。将 AGND 引脚 6 和 11 直接连接到模块下方的 PGND 引脚 19。
- *提供足够大的 PCB 面积，以实现适当的散热。*使用足够的覆铜区实现与最大负载电流和环境温度条件相称的低热阻抗。为 TPSM64406 提供足够的散热，以将结温保持在 150°C 以下。对于满额定负载运行，顶部接地层是一个重要的散热区域。使用矩阵式散热过孔将封装的外露焊盘 (PGND) 连接到 PCB 接地层。如果 PCB 具有多个铜层，请将这些散热过孔连接到内层接地层。最好使用 2 盎司（不少于 1 盎司）的铜制作 PCB 顶层和底层。

Copyright © 2024 Texas Instruments Incorporated

8.4.1.1 热设计和布局

为了使直流/直流模块在特定的温度范围内发挥作用，封装必须允许有效地散发所产生的热量，同时使结温保持在额定限值以内。TPSM64406 模块采用小型 6.5mm × 7.55mm 28 引脚 QFN 封装，可满足一系列应用要求。*节 6.4* 表总结了此封装的热指标，其中相关详情可在*半导体和 IC 封装热指标* 应用手册中找到。

28 引脚 QFN 封装提供了一种通过封装底部外露散热焊盘实现散热的方式。该设计可以显著改善散热效果。设计具有导热焊盘、散热过孔和一个或多个接地层的 PCB 对于完成散热子系统至关重要。TPSM64406 的外露焊盘焊接在器件封装正下方 PCB 的接地铜层上，从而将热阻降至一个很小的值。

最好所有层都使用 2oz 铜厚的四层电路板，以提供低阻抗、适当的屏蔽和更低的热阻。导热焊盘与内部和焊接面接地层之间连接着多个直径为 0.3mm 的过孔，这些过孔有助于热传递非常重要。在多层 PCB 堆叠中，通常会在功率级元件下方的 PCB 层上放置一个实心接地层。这种设计不仅为功率级电流提供了一个平面，而且还为发热器件提供了一个热传导路径。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

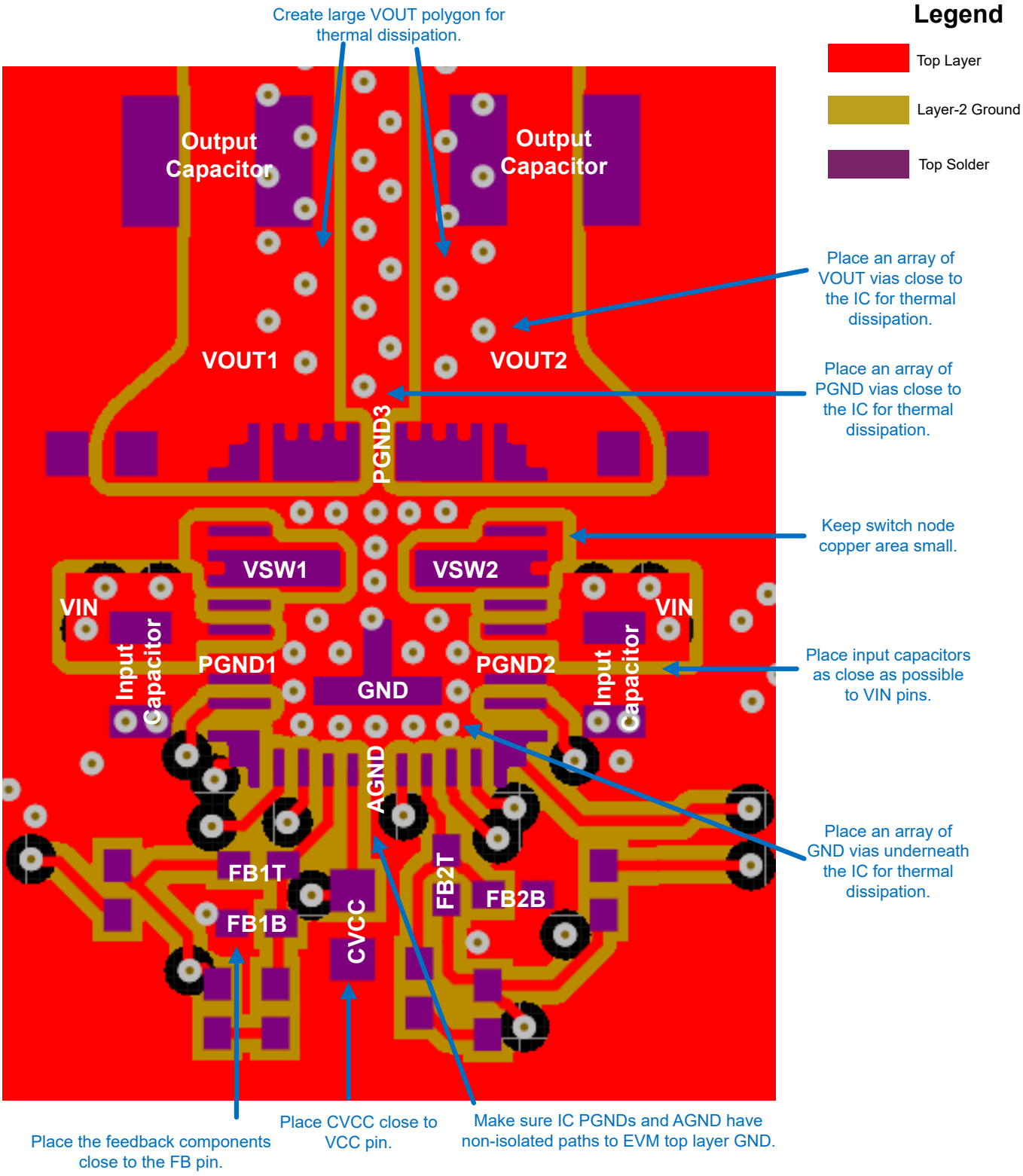


图 8-24. 典型顶层设计

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.1.2 开发支持

TPSM64406 同步降压电源模块系列具有 3V 至 36V 的输入工作电压和高达 6A 的额定输出电流，可为各种应用提供灵活性、可扩展性和优化的解决方案尺寸。这些模块可实现具有高密度、低 EMI 和更高灵活性的直流/直流设计方案。可用的 EMI 缓解特性包括双随机展频 (DRSS) 和集成式输入旁路电容器。

表 9-1. 同步降压直流/直流电源模块系列

直流/直流模块	额定值 I_{OUT}	封装	尺寸	特性	降低 EMI
TPSM64404	4A	B3QFN (28)	6.5 mm × 7.0 mm × 4 mm	RT 可调 F_{SW}，外部同步，模式可调 (PFM/FPWM)	DRSS，集成式输入和 BOOT 电容器
TPSM64406	6A				

相关开发支持请参阅以下资源：

- 有关 TI 的参考设计库，请访问 *TI 参考设计库*。
- 有关 TI WEBENCH 设计环境，请访问 *WEBENCH® 设计中心*。
- 要设计低 EMI 电源，请查看 TI 全面的 *EMI 培训系列*。
- 要设计反相降压/升压 (IBB) 稳压器，请访问*直流/直流反相降压/升压模块*。
- TI 参考设计：
  - *适用于 Kintex 7 应用的多输出电源解决方案*
  - *Arria V 电源参考设计*
  - *Altera Cyclone V SoC 电源参考设计*
  - *具有超低 BOM 数量的空间优化型直流/直流反相电源模块参考设计*
  - *适用于小型低噪声系统的 3V 至 11.5V V_{IN}、 –5V V_{OUT}、1.5A 反相电源模块参考设计*
- 技术文章：
  - *使用直流/直流降压转换器为医学成像应用供电*
  - *如何构建可编程输出反相降压/升压稳压器*
- 要查看本产品的相关器件，请参阅 *LMQ644A2 36V、双路 6A 同步降压转换器*。

9.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处来通过 WEBENCH® Power Designer 使用 TPSM64406 器件创建定制设计。

1. 首先键入输入电压 (V_{IN}) 、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能。
- 运行热性能仿真，了解电路板热性能。
- 将定制原理图和布局方案以常用 CAD 格式导出。
- 打印设计方案的 PDF 报告并与同事共享。

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

Copyright © 2024 Texas Instruments Incorporated

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TI 降压开关直流/直流快速参考指南应用手册* 应用手册汇编
- 德州仪器 (TI)，*创新型直流/直流电源模块* 选择指南
- 德州仪器 (TI)，*使用增强型 HotRod™ QFN 封装技术实现具有出色热性能的小型低噪电源模块* 白皮书
- 德州仪器 (TI)，*各种电源模块封装选项的优缺点* 白皮书
- 德州仪器 (TI)，*借助电源模块简化低 EMI 设计* 白皮书
- 德州仪器 (TI)，*适用于实验室仪表的电源模块* 白皮书
- 德州仪器 (TI)，*有关直流/直流稳压器 EMI 的工程师指南* 电子书
- 德州仪器 (TI)，*电源模块的焊接注意事项* 应用手册
- 德州仪器 (TI)，*采用直流/直流电源模块的实用性热设计* 应用手册
- 德州仪器 (TI)，*使用新的热指标* 应用手册
- 德州仪器 (TI)，*AN-2020 热设计：学会洞察先机，不做事后诸葛* 应用手册
- 德州仪器 (TI)，*采用 TPSM53602/3/4 实现负输出反相降压/升压应用* 应用手册

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

HotRod™ and TI E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2023) to Revision A (June 2024)	Page
• 添加了 TPSM64406E 和 TPSM64404 的新发布器件信息	3
• 更新了 ESD 测试的说明	7
• 向热性能表添加了封装参考	8
• 更新了电流限制典型曲线以匹配 TPSM64406	11
• 删除了*功能方框图* 中的颜色	13

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

11.1 机械数据

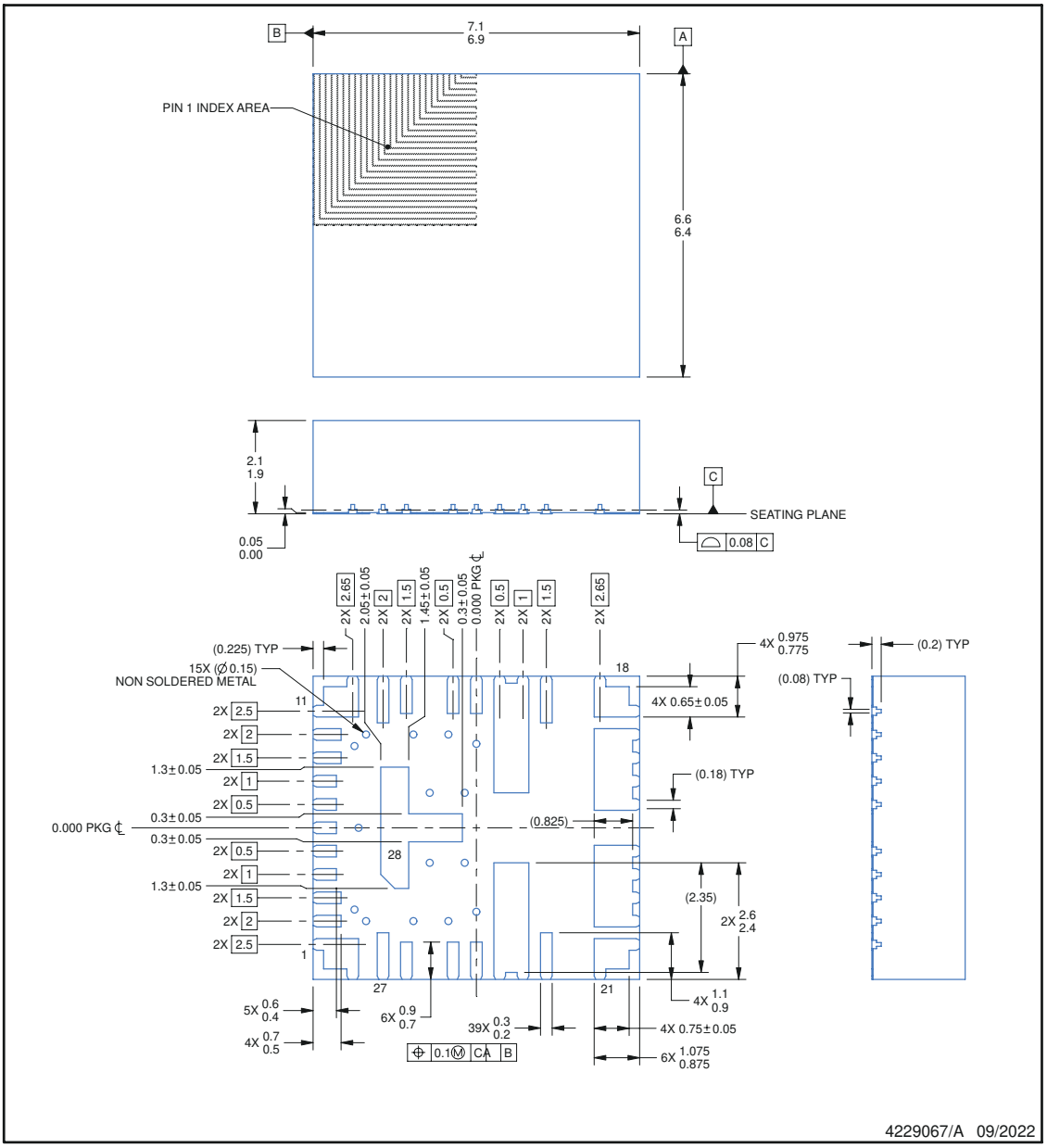
RCH0028A



PACKAGE OUTLINE

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

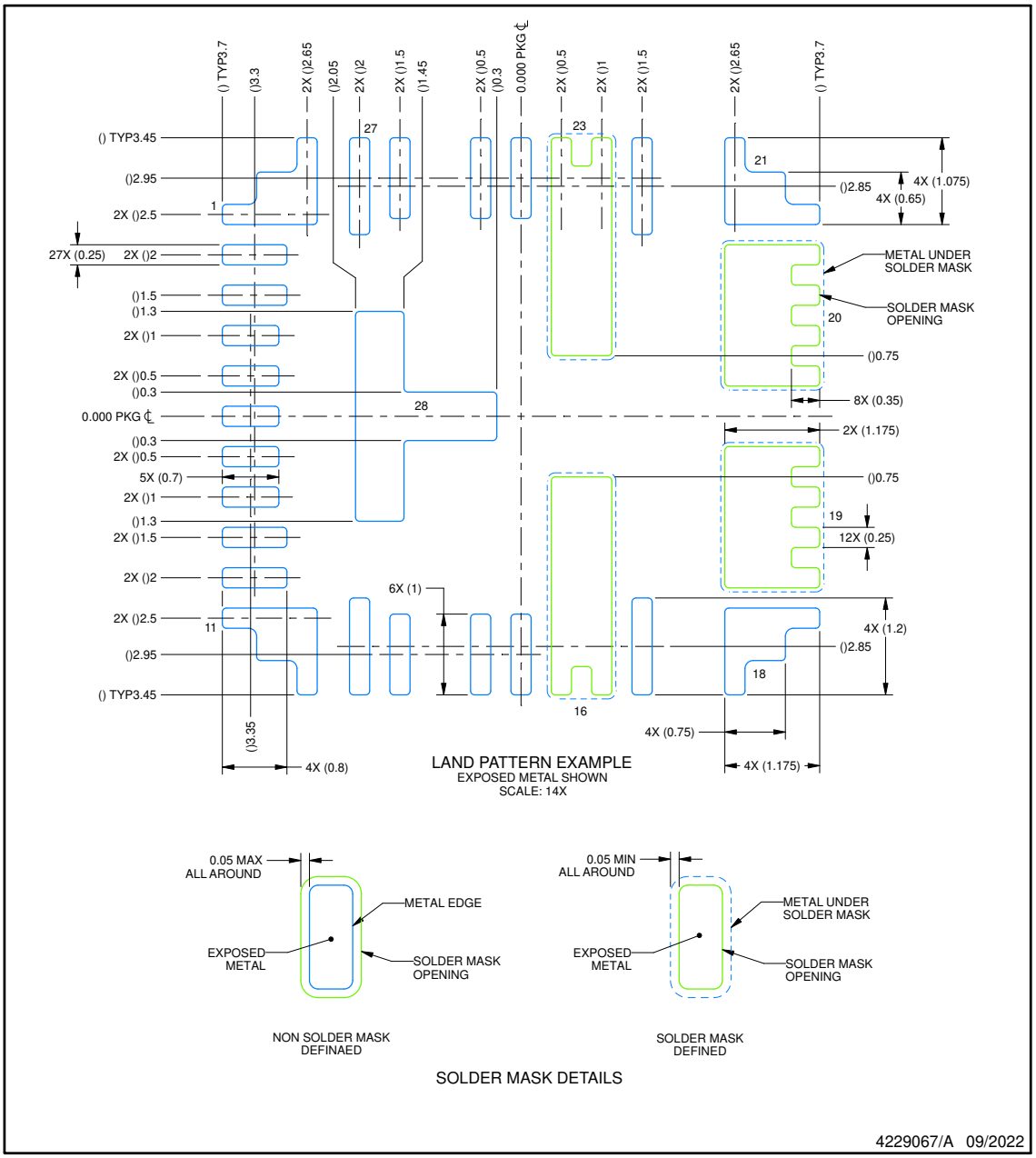
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RCH0028A

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be }401lled, plugged or tented.

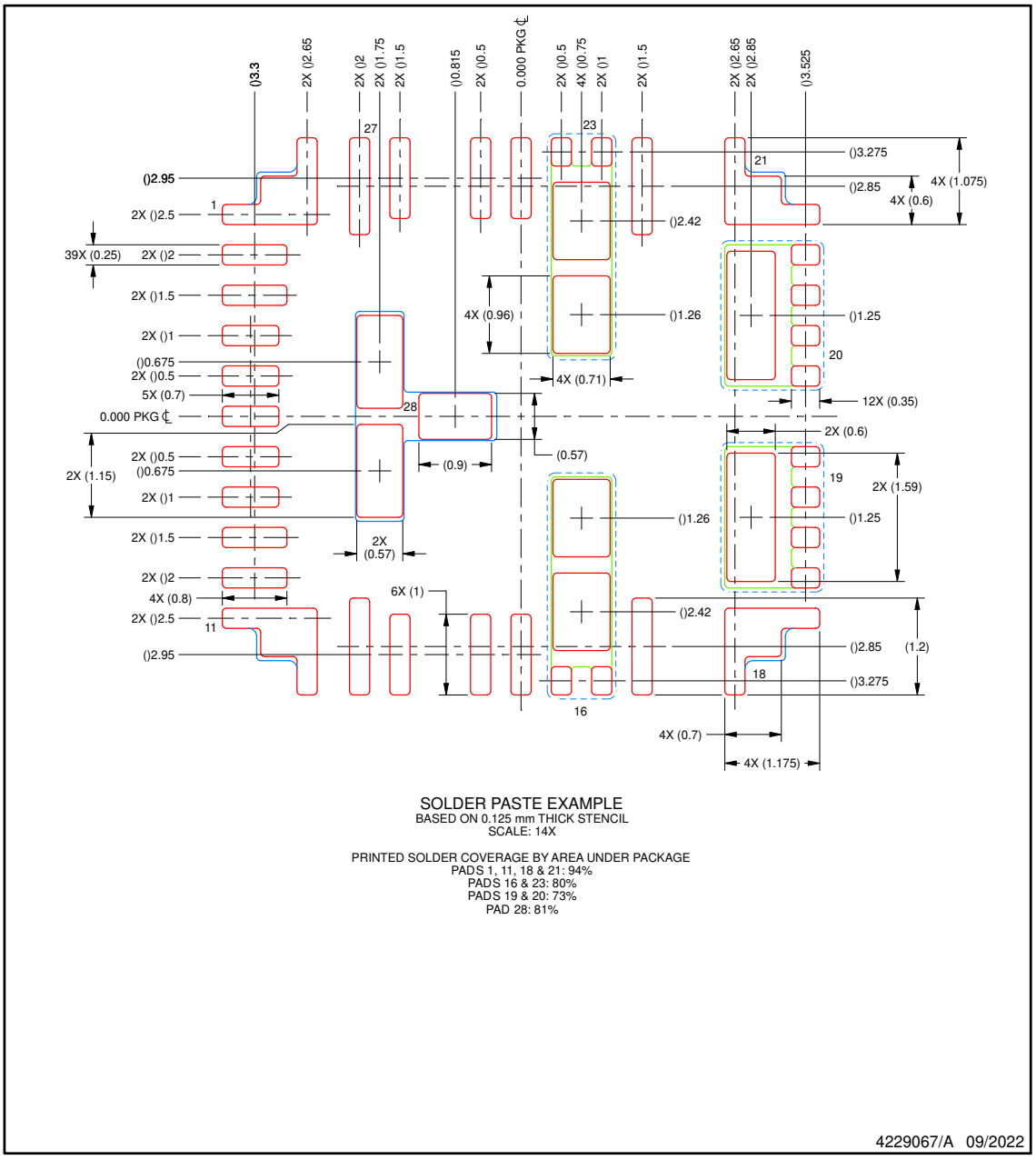
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RCH0028A

QFN-FCMOD - 2.1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may o}400er better paste release. IPC-7525 may have altetea design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPSM64406RCHR	ACTIVE	QFN-FCMOD	RCH	28	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	64406	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

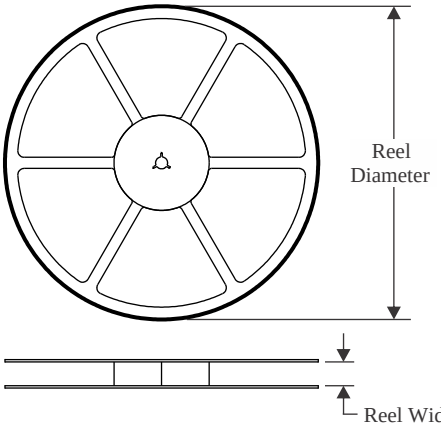
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

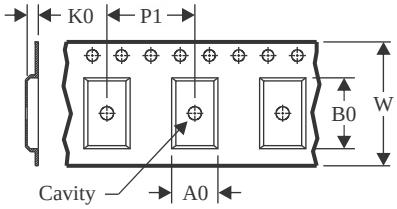
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

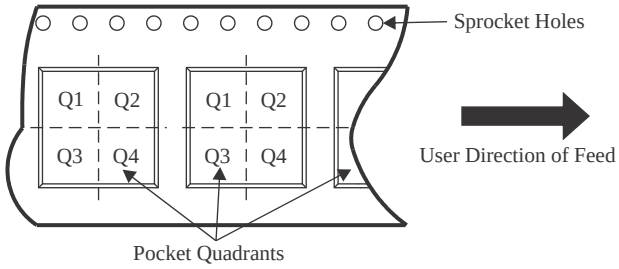


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

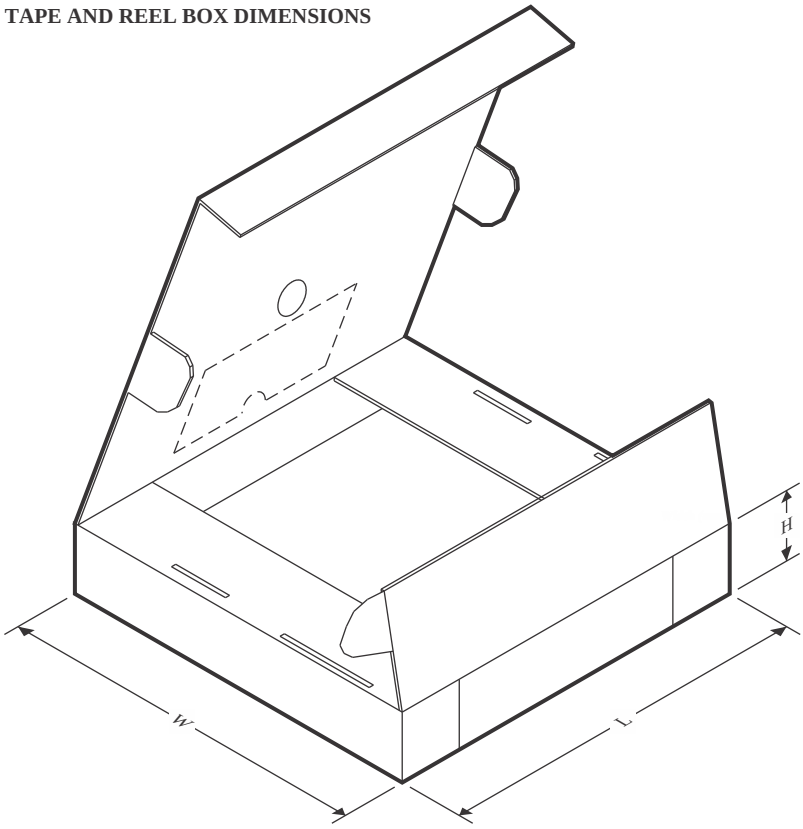
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

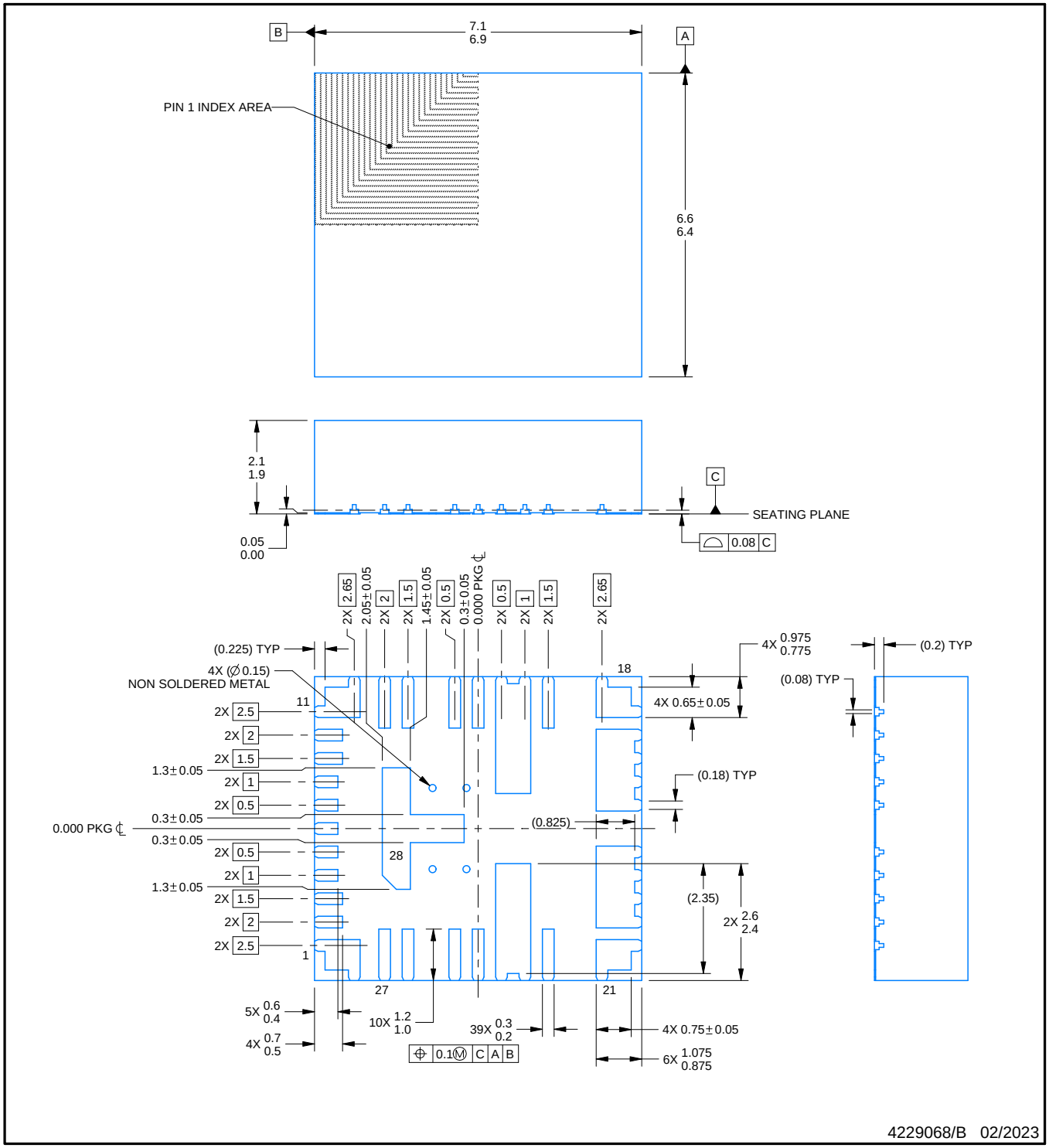
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM64406RCHR	QFN-FCMOD	RCH	28	1000	330.0	16.4	6.8	7.3	2.25	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



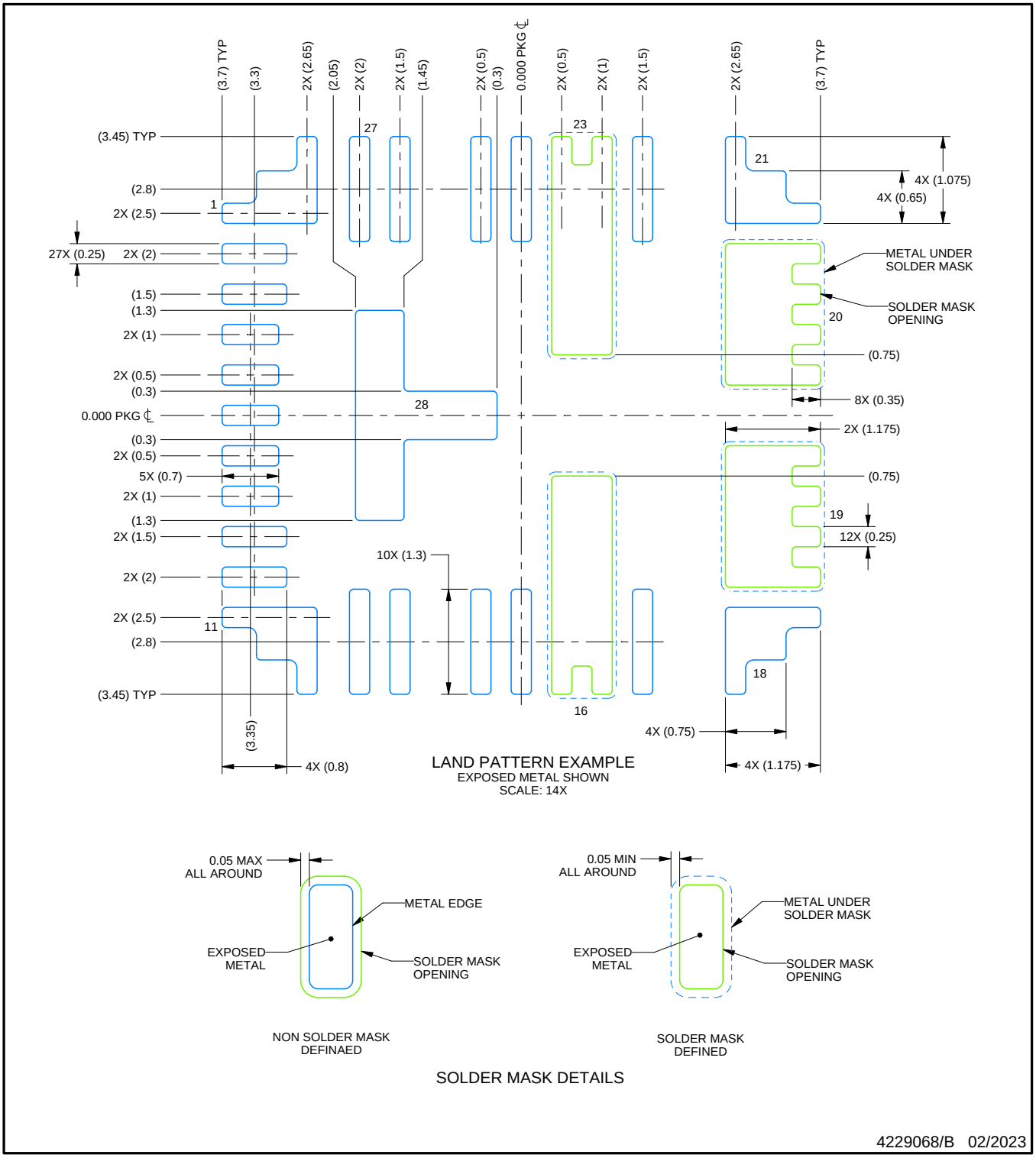
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM64406RCHR	QFN-FCMOD	RCH	28	1000	367.0	367.0	38.0



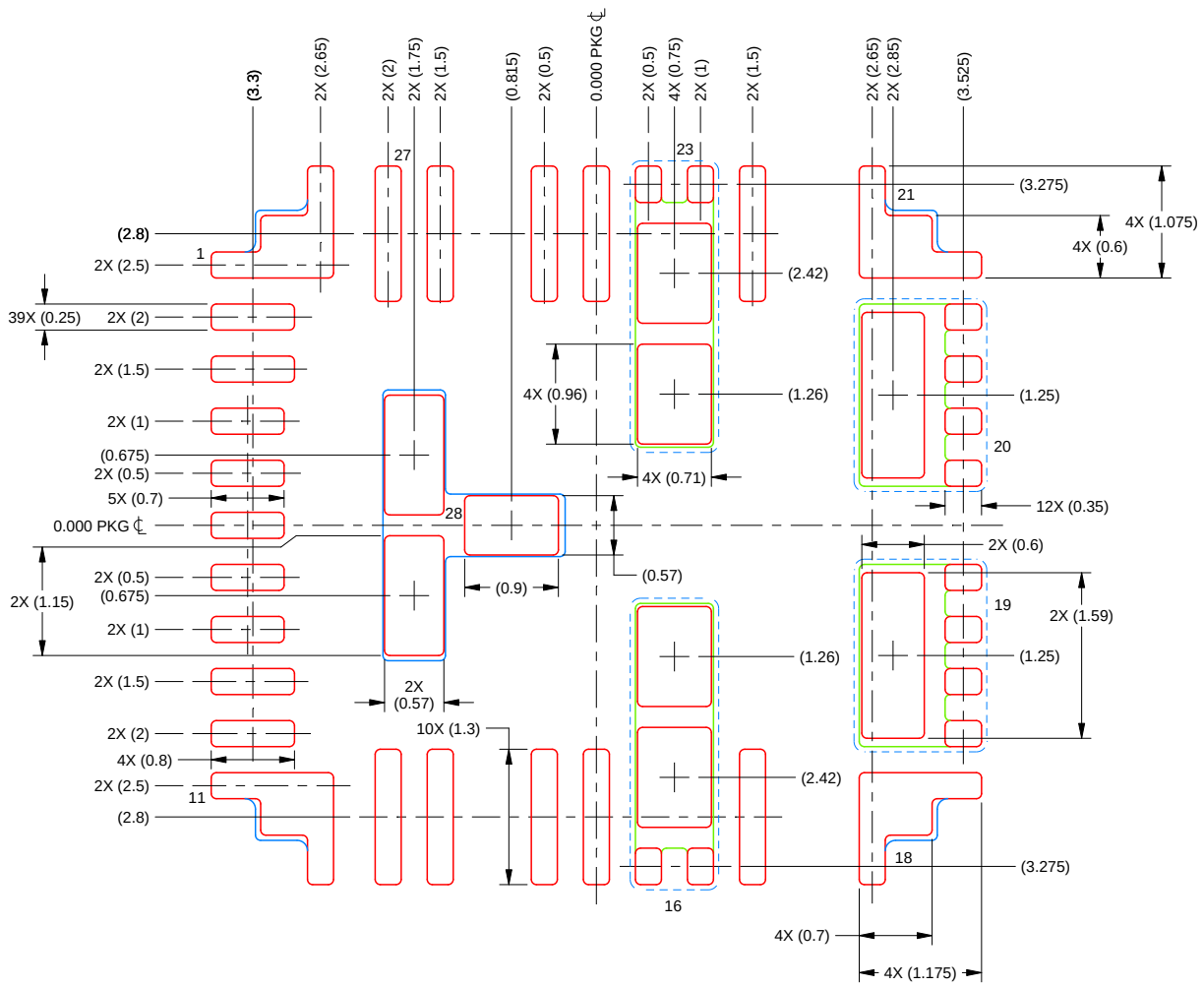
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 14X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 1, 11, 18 & 21: 94%
PADS 16 & 23: 80%
PADS 19 & 20: 73%
PAD 28: 81%

4229068/B 02/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司