

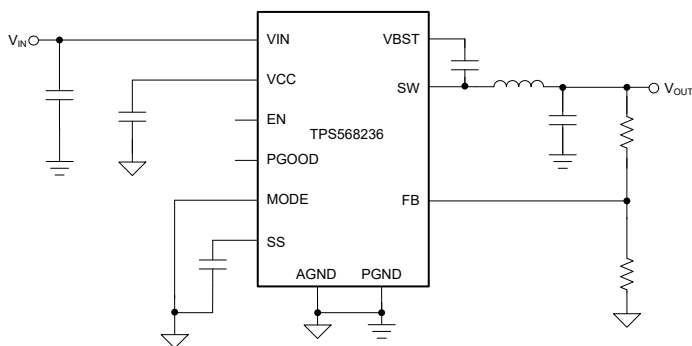
TPS568236 具有断续 OVP/UVF/OC、可调 V_{out} 和软启动 PSM/FCCM 模式的 4.5V 至 18V 输入、8A 同步降压转换器

1 特性

- 4.5V 至 18V 输入电压范围
- 0.6V 至 5.5V 输出电压范围
- 集成式 22m Ω 和 11m Ω MOSFET
- 支持 8A 持续 I_{OUT}
- 84 μ A 低静态电流
- 25°C 时基准电压 (0.6V) 精度为 $\pm 1\%$
- 在 -40°C 至 125°C 温度范围内基准电压 (0.6V) 精度为 $\pm 1.5\%$
- 600kHz 开关频率
- D-CAP3™ 控制模式，用于快速瞬态响应
- 支持 POSCAP 和所有 MLCC 输出电容器
- 输出放电功能
- 可调软启动
- 在轻负载下可选择 PSM 和 FCCM
- 电源正常状态指示器，可监测输出电压
- 自动恢复输出 OV 和 UV 保护
- 非锁存 UVLO 和 OT 保护
- 逐周期过流保护
- 内置输出放电功能
- 小型 2.00mm × 3.00mm HotRod™ QFN 封装

2 应用

- 电视和 STB、负载点 (POL)
- 服务器、存储和网络负载点
- 工业 PC 和工厂自动化应用
- 具有典型 5V、12V、15V 输入的分布式电源系统



TPS568236 典型应用

3 说明

TPS568236 是具有自适应导通时间 D-CAP3 控制模式的单片 8A 同步降压转换器。该器件集成了低 $R_{DS(on)}$ 功率 MOSFET，因此简单易用且高效，具有极少的外部元件，适用于空间受限的电源系统。其特性包括精确的基准电压、快速负载瞬态响应、用于提高轻负载效率的自动跳跃模式运行、固定开关频率的强制 PWM 模式、具有良好线路和负载调节的 D-CAP3 控制模式，并且无需外部补偿。

TPS568236 提供 OVP、UVF、OCP、OTP 和 UVLO 的全面保护。该器件结合了电源正常信号和输出放电功能。

TPS568236 同时支持内部和外部软启动时间选项。该器件具有 1ms 的内部固定软启动时间。如果应用需要更长的软启动时间，则可以使用外部 SS 引脚，通过连接外部电容器来实现。

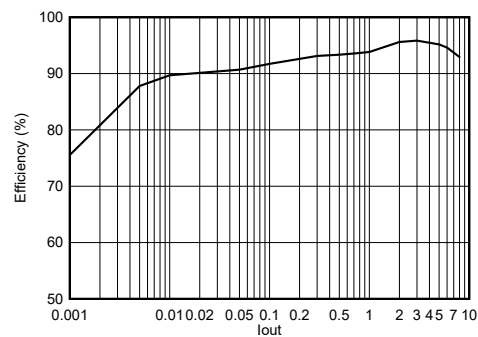
TPS568236 采用热增强型 12 引脚 QFN 封装，并且设计为在 -40°C 至 125°C 的结温范围内运行。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS568236	RJN (VQFN-HR , 12)	3.00mm × 2.00mm

(1) 有关详细信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



效率曲线， $V_{IN} = 12V$ ， $V_{OUT} = 5V$ ，PSM 模式



内容

1 特性	1	6.4 器件功能模式	12
2 应用	1	7 应用和实施	13
3 说明	1	7.1 应用信息.....	13
4 引脚配置和功能	3	7.2 典型应用.....	13
5 规格	4	7.3 电源相关建议.....	17
5.1 绝对最大额定值.....	4	7.4 布局.....	18
5.2 ESD 等级.....	4	8 器件和文档支持	19
5.3 建议运行条件.....	4	8.1 器件支持.....	19
5.4 热性能信息.....	5	8.2 接收文档更新通知.....	19
5.5 电气特性.....	5	8.3 支持资源.....	19
5.6 典型特性.....	7	8.4 商标.....	19
6 详细说明	9	8.5 静电放电警告.....	19
6.1 概述.....	9	8.6 术语表.....	19
6.2 功能方框图.....	10	9 修订历史记录	19
6.3 特性说明.....	11	10 机械、封装和可订购信息	20

4 引脚配置和功能

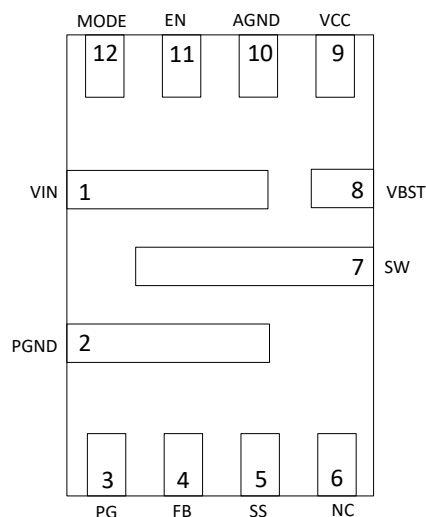


图 4-1. RJN 封装 12 引脚 VQFN-HR (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
VIN	1	P	控制电路的输入电压电源引脚。在 VIN 和 PGND 之间连接输入去耦电容器。
PGND	2	G	内部功率 FET 的电源接地端子。
PG	3	O	开漏电源正常指示器。如果输出电压超出 PG 阈值、过压或器件处于热关断、EN 关断或软启动期间，则该引脚为低电平有效。
FB	4	I	TPS568236 使用 FB 引脚通过反馈电阻分压器网络调节输出电压。
SS	5	I/O	软启动时间选择引脚。连接外部电容器可设置软启动时间，如果未连接外部电容器，则软启动时间约为 1ms。
NC	6	—	无连接引脚
SW	7	O	开关节点端子。将输出电感器连接到该引脚。
VBST	8	I	高侧 MOSFET 栅极驱动器的电源输入。在 VBST 和 SW 之间连接自举电容器。
VCC	9	O	5V 内部 VCC LDO 输出。该引脚为内部电路和栅极驱动器提供电压。使用 1μF 电容器对该引脚旁路。
AGND	10	G	内部模拟电路的地。在靠近 AGND 的单点处将 AGND 连接到 PGND。
EN	11	I	降压转换器的使能引脚。EN 引脚为数字输入引脚，上拉可启用转换器，下拉可禁用转换器。如果 EN 引脚悬空，则内部下拉。
MODE	12	I	模式选择引脚。将 MODE 引脚连接到 VCC，或将电压拉至高于 0.8V 以实现 OOA 模式运行，将 MODE 连接到 AGND 或悬空以实现节能模式。如果 MODE 引脚悬空，则内部下拉。

(1) I = 输入，O = 输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
输入电压	VIN	-0.3	22	V
输入电压	VBST	-0.3	27	V
输入电压	VBST - SW	-0.3	6	V
输入电压	EN、FB、MODE、SS	-0.3	6	V
输出电压	SW (10ns 瞬态值)	-4	23	V
输出电压	SW	-1.0	22	V
输出电压	PG	-0.3	6	V
输出电压	VCC	0	6	V
电压	PGND、AGND	-0.3	0.3	V
输出电压	VCC	0	6	V
T _J	工作结温	-40	150	°C
T _{stg}	贮存温度	-55	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
输入电压范围	VIN	4.5		18	V
输入电压范围	VBST	-0.1		23	V
输入电压范围	VBST - SW	-0.1		5.5	V
输入电压范围	EN、FB、MODE、SS	-0.3		5.5	V
输出电压范围	SW	-1.0		18	V
输出电压范围	PG、VCC	-0.1		5.5	V
输出电流范围	I _{OUT}			8	A
T _J		-40		125	°C

5.4 热性能信息

热指标 ⁽¹⁾		器件		单位
		RJNR (QFN , JEDEC)	RJNR (QFN , TI EVM)	
		12 引脚	12 引脚	
R _{θJA}	结至环境热阻	72.7	37.2	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	50.1	不适用 ⁽²⁾	°C/W
R _{θJB}	结至电路板热阻	18.7	不适用 ⁽²⁾	°C/W
ψ _{JT}	结至顶部特性参数	1.8	3.7	°C/W
ψ _{JB}	结至电路板特性参数	18.4	18.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

(2) 热仿真设置不适用于 TI EVM 布局。

5.5 电气特性

MODE 连接至 AGND，V_{EN} = 3.3V；T_J = -40°C 至 +125°C，典型值为 T_J = 25°C 和 V_{VIN} = 12V (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输入电源 (VIN)						
VIN	输入电压范围	VIN	4.5		18	V
I _{VIN}	VIN 电源电流 (静态)	无负载，V _{EN} = 3.3V，非开关		84		μA
I _{INSDN}	VIN 关断电流	无负载，V _{EN} = 0V，PG 断开		3.7		μA
UVLO						
V _{VCC UVLO_R}	V _{CC} 欠压锁定	V _{VCC} 上升		4.2	4.42	V
V _{VCC UVLO_F}	V _{CC} 欠压锁定	V _{VCC} 下降	3.65	3.85		V
V _{VCC UVLO_H}	V _{CC} 欠压锁定	迟滞 V _{CC} 电压		350	650	mV
使能 (EN)，模式						
V _{EN_R}	EN 阈值高电平	V _{EN} 上升		1.31	1.5	V
V _{EN_F}	EN 阈值低电平	V _{EN} 下降	1.0	1.13		V
V _{EN_H}	EN 阈值低电平	迟滞		180		mV
I _{EN}	EN 下拉电流	V _{EN} = 0.8V	1.3	2.3		μA
V _{IL,MODE}	MODE 引脚上的低电平输入电压		0.4			V
V _{IH,MODE}	MODE 引脚上的高电平输入电压				0.8	V
I _{MODE}	MODE 下拉电流	V _{MODE} = 0.8V	1.3	2.3	3.5	μA
VCC						
V _{VCC}	VCC 输出电压	V _{VIN} > 5.2V，I _{VCC} ≤ 1mA	4.85	5	5.15	V
反馈电压 (FB)						
V _{FB_REG}	反馈调节电压	T _J = 25°C	594	600	606	mV
	反馈调节电压	-40°C ≤ T _J ≤ 125°C	591	600	609	mV
占空比和频率控制						
f _{SW}	开关频率	CCM 运行		600		kHz
t _{ON(min)}	最小 ON 脉冲宽度	T _J = 25°C		65	75	ns
t _{OFF(min)}	最小 OFF 脉冲宽度	T _J = 25°C			190	ns
软启动						
t _{SS}	内部固定软启动		0.55	1	1.35	ms
I _{SS}	软启动充电电流		4	5	6	μA
电源开关 (SW)						
R _{DS(on)(HS)}	高边 MOSFET 导通电阻	T _J = 25°C		22		mΩ
R _{DS(on)(LS)}	低边 MOSFET 导通电阻	T _J = 25°C		11		mΩ
电流限值						
I _{OCL}	低侧谷值电流限值	LS FET 上的谷值电流限制	9.5	11	12.5	A

5.5 电气特性 (续)

MODE 连接至 AGND, $V_{EN} = 3.3V$; $T_J = -40^{\circ}C$ 至 $+125^{\circ}C$, 典型值为 $T_J = 25^{\circ}C$ 和 $V_{VIN} = 12V$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I _{NOCL}	低边负电流限值	LS FET 上的灌电流限制	3.9			A
输出欠压和过压保护						
V _{OVP}	OVP 跳变阈值		117	120	123	%
t _{OVPDLY}	OVP 传播抗尖峰脉冲		20			μs
t _{OVPDLY}	OVP 闭锁传播抗尖峰脉冲		256			μs
V _{UVP}	UVP 跳变阈值		55	60	65	%
t _{UVPDLY}	UVP 传播抗尖峰脉冲		256			μs
电源正常 (PG)						
t _{PGDLY}	PG 启动延迟	PG 从低到高	500			μs
t _{PGDLY}	V _{FB} 上升时的 PG 延迟时间 (故障)	PG 从高电平到低电平	20			μs
t _{PGDLY}	V _{FB} 下降时的 PG 延迟时间 (故障)	PG 从高电平到低电平	28			μs
V _{PGTH}	V _{FB} 下降时的 PG 阈值 (故障)	V _{FB} 下降 (故障), V _{FB} 的百分比	79	85	89	%
V _{PGTH}	V _{FB} 上升时的 PG 阈值 (正常)	V _{FB} 上升 (正常), V _{FB} 的百分比	86	90	94	%
V _{PGTH}	V _{FB} 上升时的 PG 阈值 (故障)	V _{FB} 上升 (故障), V _{FB} 的百分比	116	120	124	%
V _{PGTH}	V _{FB} 下降时的 PG 阈值 (正常)	V _{FB} 下降 (正常), V _{FB} 的百分比	109	115	119	%
I _{PGMAX}	PG 灌电流	V _{PG} = 0.5V	50			mA
I _{PGLK}	PG 漏电流	V _{PG} = 5.5V	1			μA
输出放电						
R _{DIS}	放电电阻	T _J = 25°C, V _{EN} = 0V	160			Ω
热关断						
T _{J(SD)}	热关断阈值		165			°C
T _{J(HYS)}	热关断迟滞 ⁽¹⁾		20			°C

(1) 提供的这些参数仅供参考, 不构成 TI 已发布的器件规格的一部分用于 TI 产品保修。

5.6 典型特性

$V_{IN} = 12V$, $T_J = -40^{\circ}C$ 至 $125^{\circ}C$, 除非另有说明。

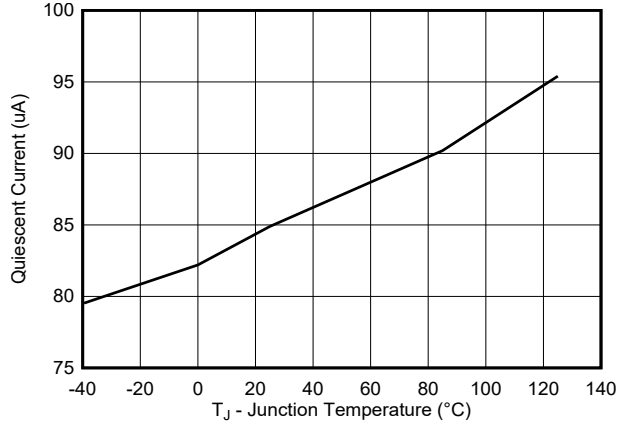


图 5-1. 静态电流与温度间的关系

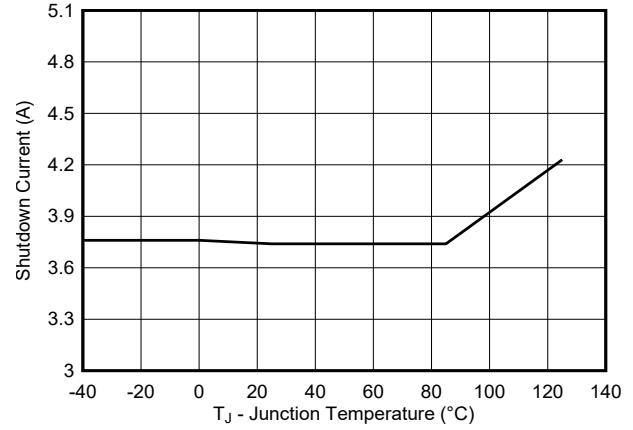


图 5-2. 关断电流与温度间的关系

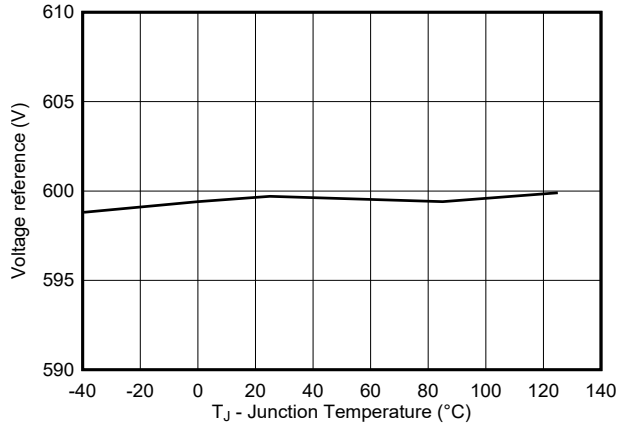


图 5-3. 电压基准与温度间的关系

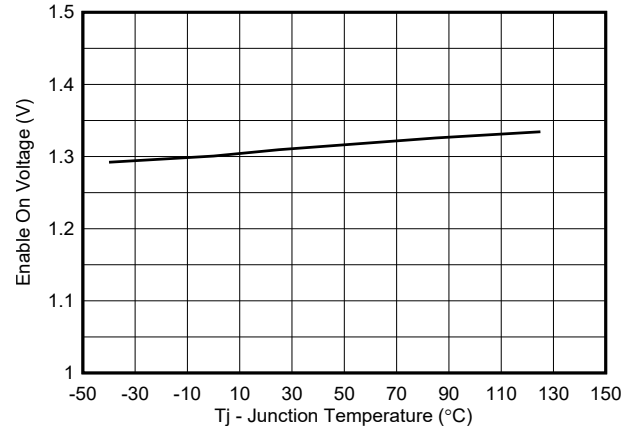


图 5-4. 使能开启电压与温度间的关系

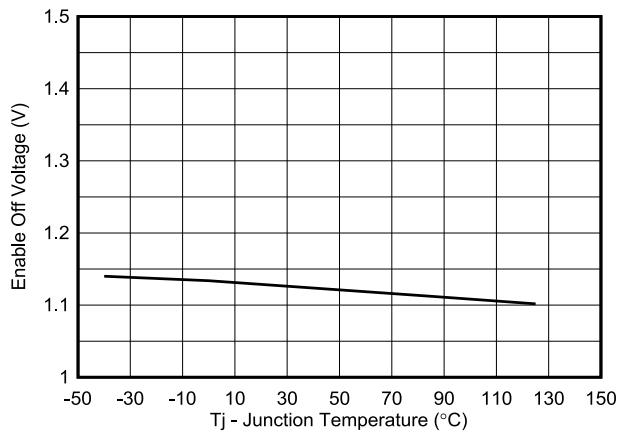


图 5-5. 使能关闭电压与温度间的关系

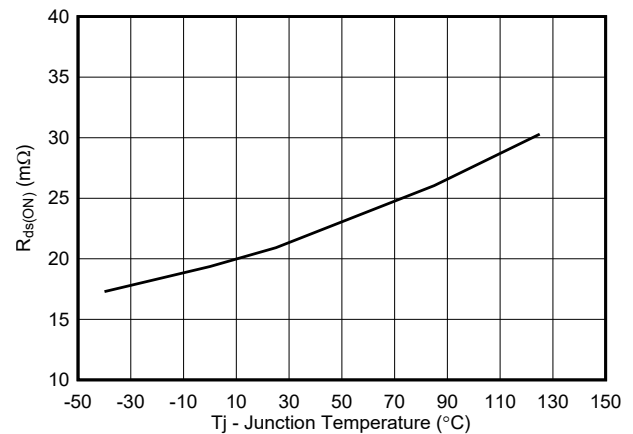


图 5-6. 高侧 $R_{DS(on)}$ 与温度间的关系

5.6 典型特性 (续)

$V_{IN} = 12V$, $T_J = -40^{\circ}C$ 至 $125^{\circ}C$, 除非另有说明。

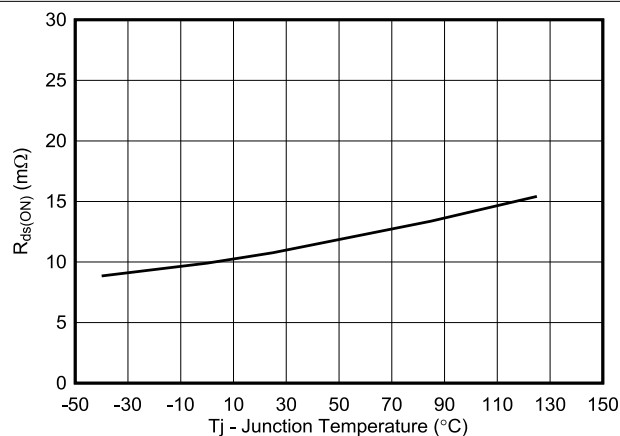


图 5-7. 低侧 $R_{DS(on)}$ 与温度间的关系

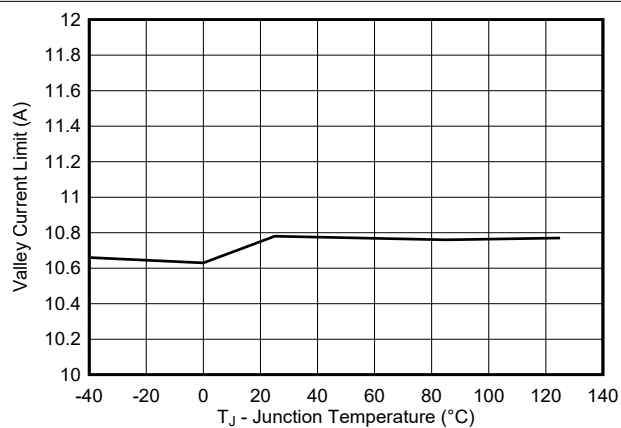


图 5-8. 谷值电流限值与温度间的关系

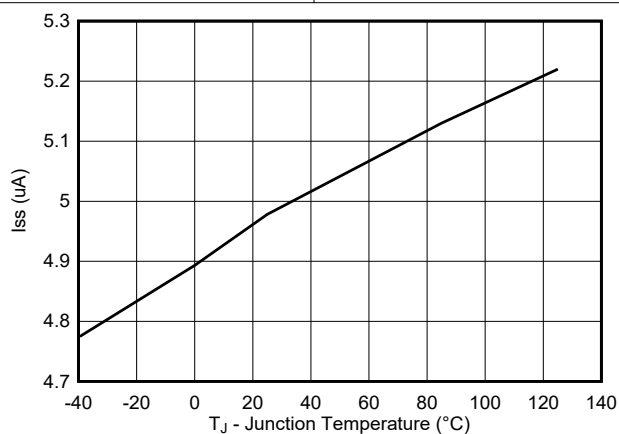


图 5-9. I_{SS} 与温度间的关系

6 详细说明

6.1 概述

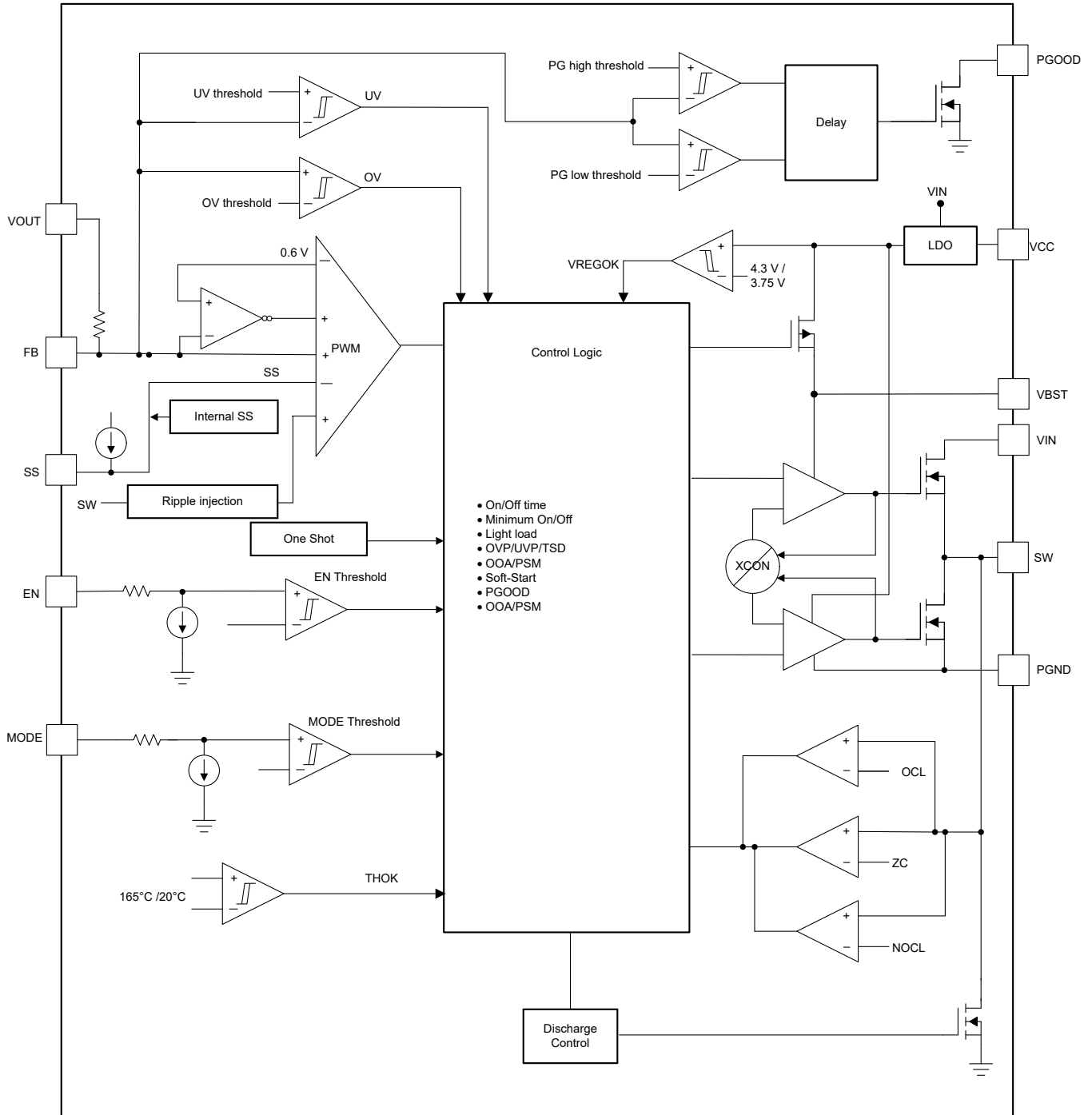
TPS568236 是一款 8A 集成式 FET 同步降压转换器，在 4.5V 至 18V 输入电压 (VIN) 下工作，其输出电压范围为 0.6V 至 5.5V。专有 D-CAP3 控制模式可减少外部元件数量，简化设计，并针对成本、尺寸和效率优化电源设计。

TPS568236 的主要特性是超低静态电流 (ULQ™) 直流/直流转换器模式。此特性有益于在系统待机模式下延长电池寿命。

该器件采用 D-CAP3 控制模式，无需外部补偿元件即可提供快速瞬态响应，并提供精确的反馈电压。该控制拓扑可提供 CCM 运行模式（在较高负载条件下）与 DCM 运行模式（在较轻负载条件下）之间的无缝切换。Eco-mode 使 TPS568236 能够在轻负载条件下保持高效率。FCCM 模式提供固定的开关频率，可在所有负载条件下保持较低的输出纹波。

TPS568236 既能够适应诸如 POSCAP 或 SP-CAP 的低等效串联电阻 (ESR) 输出电容，也能够适应超低等效串联电阻 (ESR) 的陶瓷电容。

6.2 功能方框图



6.3 特性说明

6.3.1 PWM 运行和 D-CAP3™ 控制模式

TPS568236 使用自适应导通时间 PWM 控制及专有 D-CAP3 控制模式运行，该模式可实现较少的外部元件数量以及快速负载瞬态响应，同时保持良好的输出电压精度。在每个开关周期开始时，高侧 MOSFET 都会在内部一次性计时器设置的导通时间内导通。该导通时间是根据转换器输入电压、输出电压和伪固定频率设置的，因此，这种类型的控制拓扑称为自适应导通时间控制。在反馈电压 (V_{FB}) 降至低于内部基准电压 (V_{REF}) 后，一次性计时器复位并再次开启。将生成一个内部斜坡，该斜坡被馈送到 FB 引脚以模拟输出电压纹波。此操作支持使用 ESR 非常低的输出电容器，例如多层陶瓷电容器 (MLCC)。D-CAP3 控制模式拓扑不需要外部电流检测网络或环路补偿。

TPS568236 包含一个误差放大器，可使输出电压变得非常准确。对于任何内部补偿的控制拓扑，它可以支持一系列输出滤波器。使用的输出滤波器是低通 L-C 电路。此 L-C 滤波器具有双极，如以下公式所示。

$$f_P = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (1)$$

在低频率下，整体环路增益是由输出设定点电阻分压器网络和内部增益设定的。低频 L-C 双极的相位为 180 度。在输出滤波器频率下，增益以每十倍频程 -40dB 的速率滚降，且相位快速下降。内部纹波生成网络引入了高频零点，可将增益滚降从每十倍频程 -40dB 降低到 -20dB，并将相位增加到零点频率之上每十倍频程 90°。内部纹波注入高频零点经过优化，可提供快速瞬态响应性能，此外，还考虑使用典型的外部 L-C 滤波器满足稳定性要求。为输出滤波器选择的电感器和电容器必须确保双极位置足够靠近高频零点，以便由该高频零点提供的相位提升可提供足够的相位裕度来满足稳定性要求。整个系统的交叉频率通常必须低于开关频率 (F_{SW}) 的五分之一。

6.3.2 VCC LDO

VCC 引脚是内部 5.0V 线性稳压器的输出，为所有内部电路和 MOSFET 栅极驱动器产生偏置。需要使用 1μF 电容器将 VCC 引脚旁路掉。UVLO 电路监测 VCC 引脚电压，并在 VCC 降至低于 UVLO 阈值时禁用输出。

6.3.3 软启动

TPS568236 具有 1ms 的内部软启动时间，并且还提供了一个外部 SS 引脚，以便在需要时设置更高的软启动时间。EN 引脚变为高电平时，内部软启动功能开始逐步升高 PWM 比较器的基准电压。

如果应用需要更大的软启动时间，则可以通过在 SS 引脚上连接一个电容器来设置此软启动时间。当 EN 引脚变为高电平时，软启动充电电流 (I_{SS}) 开始为 SS 和 AGND 之间连接的外部电容器 (C_{SS}) 充电。这些器件会跟踪内部软启动电压或外部软启动电压的较低者作为基准。软启动时间 (T_{SS}) 的公式如以下公式所示：

$$T_{SS} = \frac{C_{SS}(nF) \times V_{REF}(V) \times 1.4}{I_{SS}(\mu A)} \quad (2)$$

其中

- V_{ref} 为 0.6V 且 I_{SS} 为 5 μA
- 1.4 是相关因子的典型值

6.3.4 使能控制

EN 引脚控制器件的导通和关断。当 EN 引脚电压高于导通阈值 (约为 1.31V) 时，器件开始开关。当 EN 引脚电压低于关断阈值 (约为 1.13V) 时，器件停止开关。

6.3.5 电源正常

电源正常 (PGOOD) 引脚为开漏输出。当 FB 引脚电压介于内部基准电压 (V_{REF}) 的 90% 和 115% 之间后，PGOOD 变为无效，并在 500 μs 的抗尖峰脉冲时间后悬空。TI 建议使用 100kΩ 的上拉电阻器将其上拉至 VCC。当 FB 引脚电压低于 V_{UVP} 或高于 V_{OVP} 阈值时，或者在热关断或软启动期间，PGOOD 引脚下拉至低电平。

6.3.6 过流保护和欠压保护

使用逐周期谷值检测控制电路来实现输出过流限制 (OCL)。在关断状态期间会监测开关电流，方法是测量低侧 FET 漏源极电压。此电压与开关电流成正比。在高侧 FET 开关的导通时间内，开关电流以线性速率增加，此速率由输入电压、输出电压、导通时间和输出电感值决定。在低侧 FET 开关的导通阶段，此电流以线性方式下降。开关电流的平均值是负载电流 I_{OUT} 。如果测得的低侧 FET 的漏源电压高于与电流限制成正比的电压，则低侧 FET 将保持导通状态，直到电流电平变为低于 OCL 电平，这会降低可用的输出电流。当电流受到限制时，输出电压往往会下降，因为负载需求高于转换器可以支持的水平。当输出电压降至低于目标电压的 60% 时，UVP 比较器会检测到该电压，并在等待 256us 后关断器件。在这种类型的谷值检测控制中，负载电流比 OCL 阈值高出一半的峰峰值电感器纹波电流。过流条件消失后，输出恢复。

6.3.7 UVLO 保护

欠压锁定 (UVLO) 监测内部 VCC 稳压器电压。如果 VCC 电压低于 UVLO 阈值电压，器件会关断。这是非闕锁保护。

6.3.8 过压保护

TPS568236 通过监测反馈电压 (VFB) 来检测过压和欠压情况。当反馈电压变得高于目标电压的 120% 时，OVP 比较器输出变为高电平，并在等待 20us 后对输出放电。当 OV 故障比较器跳变 256us 后，该器件将闭锁。过压条件消失后，输出电压恢复。

6.3.9 输出电压放电

TPS568236 具有一个 160 欧姆的放电开关，可在发生如输出过压、输出欠压、TSD，或 VCC 电压低于 UVLO 且 EN 引脚电压 (V_{EN}) 低于导通阈值等此类故障时，通过 Vout 引脚对输出 V_{OUT} 放电。

6.3.10 热关断

此器件监测内部内核温度。如果此温度超过热关断阈值 (T_{SDN} 通常为 165°C)，器件将关断。此保护是非闕锁保护。当温度低于热关断阈值和 20°C 迟滞时，该器件重新开始切换。

6.4 器件功能模式

6.4.1 MODE 引脚

TPS568236 有一个 MODE 引脚，可用于通过将其上拉至高电平 ($> 0.8V$) 或下拉至低电平 ($< 0.4V$) 来切换器件的模式。当 MODE 引脚被拉高时，该引脚使转换器能够在强制连续导通模式 (FCCM) 下运行。当 MODE 引脚下拉到低电平或悬空时，转换器进入省电模式 (PSM)。即使转换器处于运行状态，也可以动态切换 MODE 引脚。

6.4.2 强制连续导通运行模式

强制连续导通模式 (FCCM) 使 TPS568236 能够在整个负载范围内维持恒定的开关频率，因此适用于需要严格控制开关频率和输出电压纹波的应用，但其代价是轻负载条件下的效率较低。对于某些音频应用，这种模式有助于避免因开关频率下降至可闻范围内而引入一些噪声。

6.4.3 省电模式 (PSM)

TPS568236 可以通过将 MODE 引脚悬空或将 MODE 引脚拉至低电平 ($< 0.4V$) 而置于省电模式，这有助于提高轻负载时的效率。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

原理图展示了 TPS568236 的典型应用。此设计可将 6V 至 18V 的输入电压范围降压转换为 5.1V，最大输出电流为 8A。

7.2 典型应用

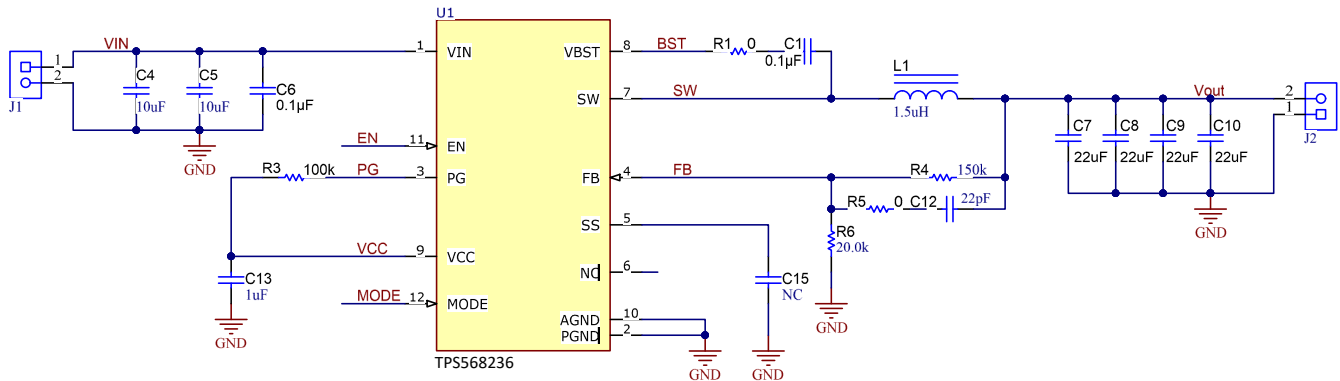


图 7-1. 应用原理图

7.2.1 设计要求

表 7-1. 设计参数

参数	条件	最小值	典型值	最大值	单位
V _{OUT}	输出电压		5.1		V
I _{OUT}	输出电流			8	A
V _{IN}	输入电压	6	12	18	V
V _{OUT(ripple)}	输出电压纹波	V _{IN} = 12V, I _{OUT} = 8A		50	mV _(P-P)
F _{SW}	开关频率	V _{IN} = 12V, I _{OUT} = 8A		600	kHz
工作模式		MODE 引脚悬空		PSM	
T _A	环境温度		25		°C

7.2.2 详细设计过程

7.2.2.1 外部元件选型

7.2.2.1.1 电感器选型

电感纹波电流通过输出电容器进行滤波。较高的电感器纹波电流意味着输出电容器的纹波电流额定值必须高于电感器纹波电流。请参阅[建议运行条件](#)，了解建议的电感器值。

可使用[方程式 3](#)和[方程式 4](#)计算流经电感器的 RMS 电流和峰值电流。确保电感器的额定值能够处理这些电流。

$$I_{L(rms)} = \sqrt{I_{OUT}^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L_{OUT} \times F_{SW}} \right)^2} \quad (3)$$

$$I_{L(\text{peak})} = I_{\text{OUT}} + \frac{I_{\text{OUT(ripple)}}}{2} \quad (4)$$

在瞬态、短路条件下，电感器电流可能会增至器件的电流限值，因此，请选择饱和电流高于电流限制条件下的峰值电流的电感器。

7.2.2.1.2 输出电容器选型

选择电感器后，必须优化输出电容器。在 **D-CAP3** 控制模式下，稳压器会在一个周期内对占空比的变化作出反应，因此无需大量输出电容即可实现良好的瞬态性能。[表 7-2](#) 给出了建议的输出电容范围。

陶瓷电容器具有非常低的 ESR，否则电容器的最大 ESR 必须小于 $V_{\text{OUT(ripple)}}/I_{\text{OUT(ripple)}}$

表 7-2. 建议的元件值

V_{OUT} (V)	R_{LOWER} (k Ω)	R_{UPPER} (k Ω)	F_{sw} (kHz)	典型 L_{OUT} (μH)	$C_{\text{OUT(Range)}}$ (μF)	$C_{\text{FF(Range)}}$ (pF)
1	30	20	600	0.68/0.82	44-500	—
1.8	20	40	600	1/1.2	44-500	0-470
3.3	20	90	600	1.5/2.2	44-500	0-470
5	20	147	600	1.5/2.2	44-500	0-470

7.2.2.1.3 输入电容器选择

[方程式 5](#) 中给出了所需的最小输入电容。

$$C_{\text{IN(min)}} = \frac{I_{\text{OUT}} \times V_{\text{OUT}}}{V_{\text{IN(ripple)}} \times V_{\text{IN}} \times F_{\text{SW}}} \quad (5)$$

TI 建议在输入电压引脚上使用 **22 μF** 的高质量 **X5R** 或 **X7R** 输入去耦电容器。输入电容器上的额定电压必须高于最高输入电压。电容器的纹波电流额定值也必须大于应用的最大输入电流纹波。输入纹波电流通过下面的[方程式 6](#) 计算：

$$I_{\text{CIN(rms)}} = I_{\text{OUT}} \times \sqrt{\frac{V_{\text{OUT}}}{V_{\text{IN(min)}}} \times \frac{(V_{\text{IN(min)}} - V_{\text{OUT}})}{V_{\text{IN(min)}}}} \quad (6)$$

7.2.3 应用曲线

$V_{IN} = 12V$, $T_a = 25^\circ C$ (除非另有说明)。

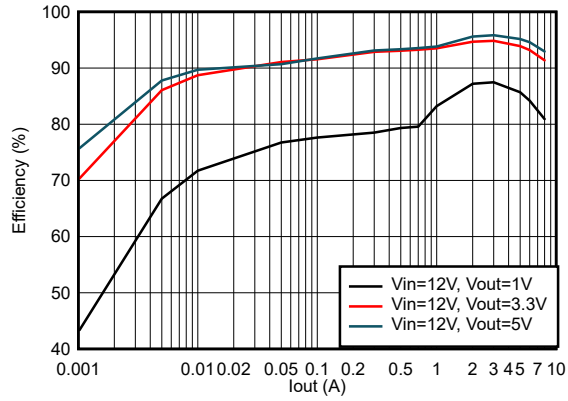


图 7-2. 效率, PSM 模式

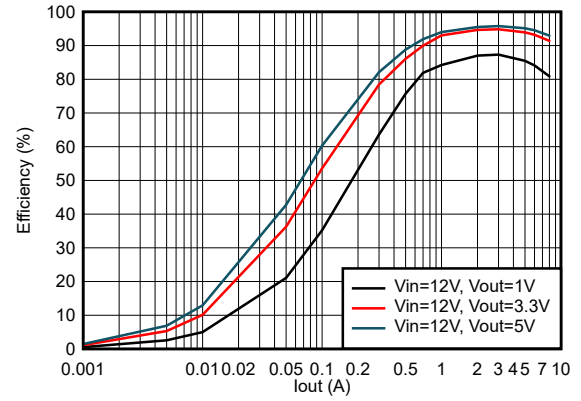


图 7-3. 效率, FCCM 模式

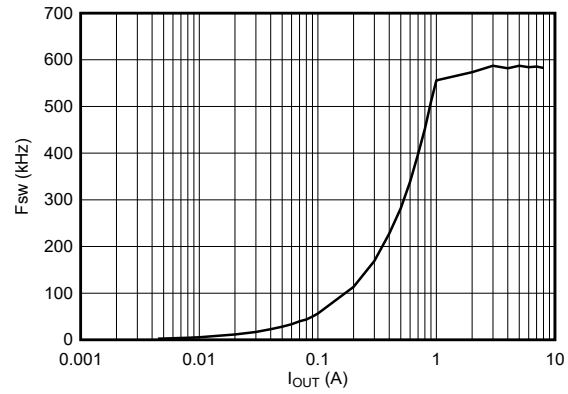


图 7-4. 开关频率, PSM 模式

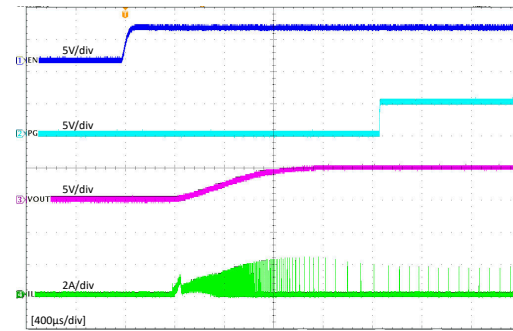


图 7-5. 相对于 EN 上升的启动, $I_{OUT} = 0.01A$, PSM 模式

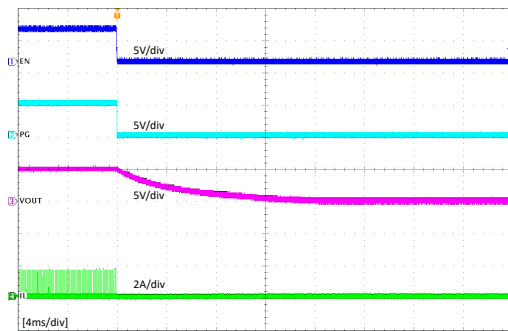


图 7-6. 相对于 EN 下降的关断, $I_{OUT} = 0.01A$, PSM 模式

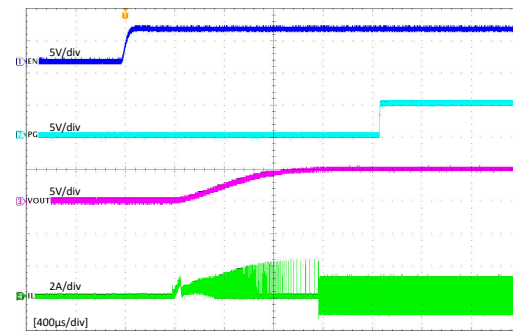


图 7-7. 相对于 EN 上升的启动, $I_{OUT} = 0.01A$, FCCM 模式

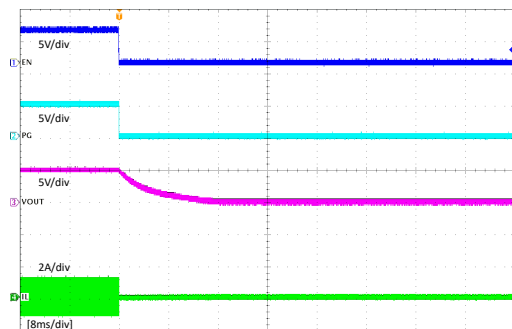


图 7-8. 相对于 EN 下降的关断, $I_{out} = 0.01A$, FCCM 模式

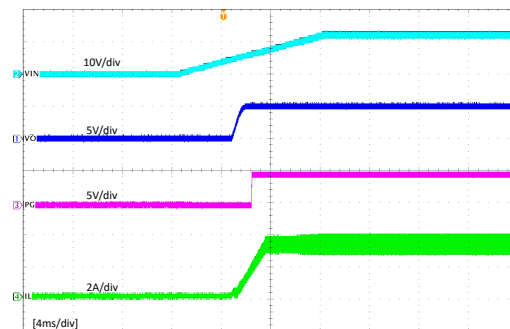


图 7-9. 相对于 Vin 上升的启动, $I_{out} = 8A$

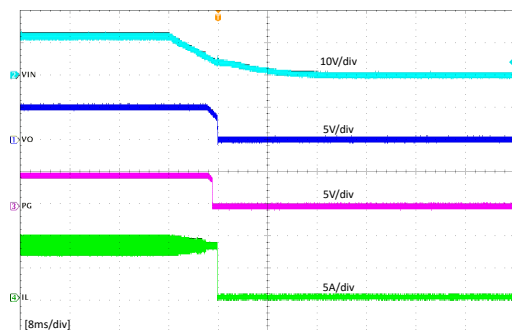


图 7-10. 相对于 Vin 下降的关断, $I_{out} = 8A$

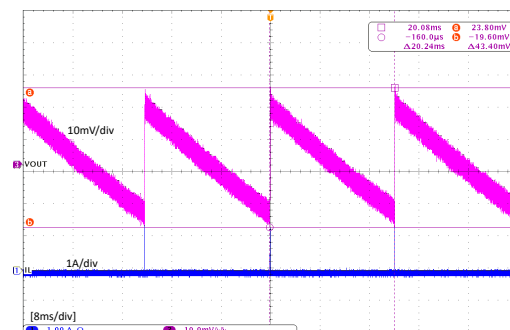


图 7-11. 输出电压纹波, $I_{out} = 0A$, PSM 模式

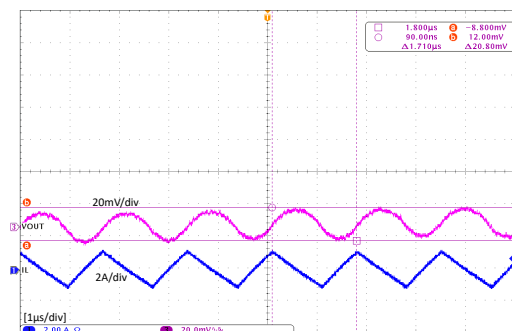


图 7-12. 输出电压纹波, $I_{out} = 0A$, FCCM 模式

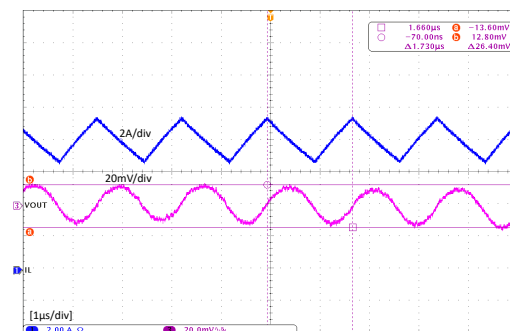


图 7-13. 输出电压纹波, $I_{out} = 8A$

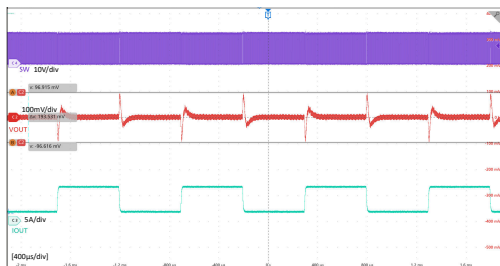


图 7-14. 瞬态响应，1.6A 至 6.4A，具有 2.5A/us SR

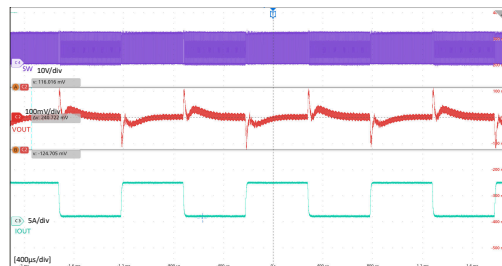


图 7-15. 瞬态响应，0.8A 至 7.2A，具有 2.5A/us SR

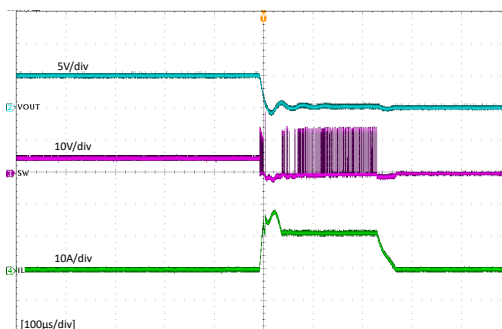


图 7-16. 正常运行至输出硬短路

7.3 电源相关建议

TPS568236 旨在由经过良好调节的直流电压供电。输入电压范围为 4.5V 至 18V。TPS568236 是降压转换器。输入电源电压必须大于所需的输出电压，才能确保正常运行。输入电源电流必须适合所需的输出电流。如果输入电压电源远离 TPS568236 电路，TI 建议使用一些额外的输入大容量电容。典型值为 100 μ F 至 470 μ F。

7.4 布局

7.4.1 布局指南

- 采用四层 PCB，以获得良好的热性能和更大的接地层。
- 在 IC 的 VIN 侧放置一个小型旁路电容器。将此电容器尽可能靠近 IC 放置。
- 将 FB 和 VOUT 布线远离产生噪声的开关节点。
- 使 VIN 和 VOUT 布线较宽，以降低布线阻抗。

7.4.2 布局示例

下图展示了建议的顶部布局。

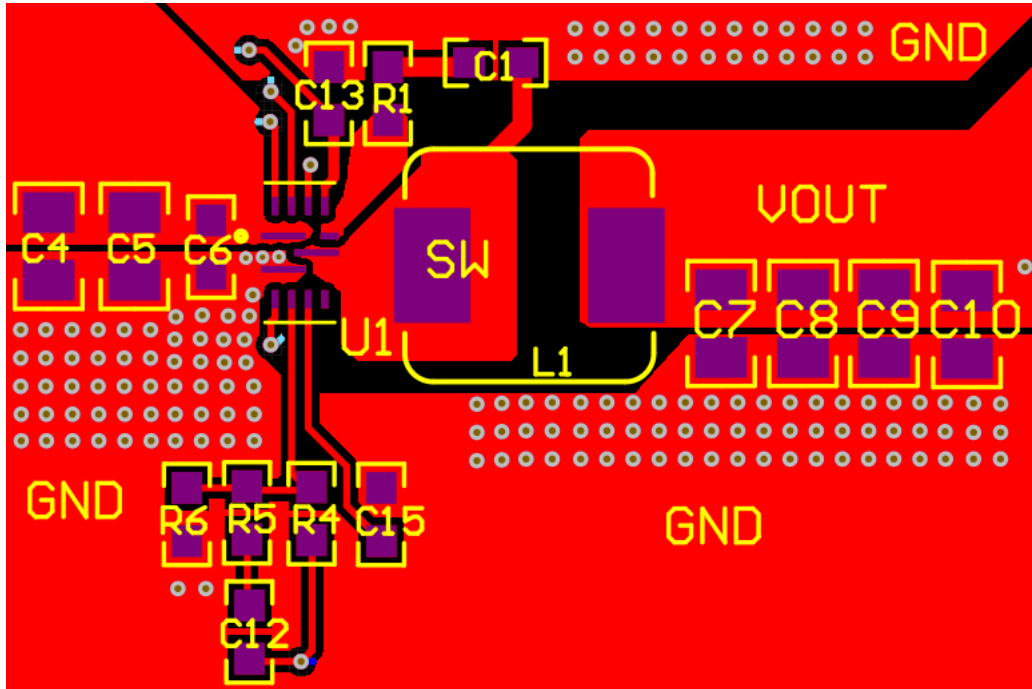


图 7-17. 顶层布局

8 器件和文档支持

8.1 器件支持

8.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

D-CAP3™, HotRod™, ULQ™, and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

日期	修订版本	说明
November 2023	*	初始发行版

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS568236RJNR	ACTIVE	VQFN-HR	RJN	12	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	568236	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

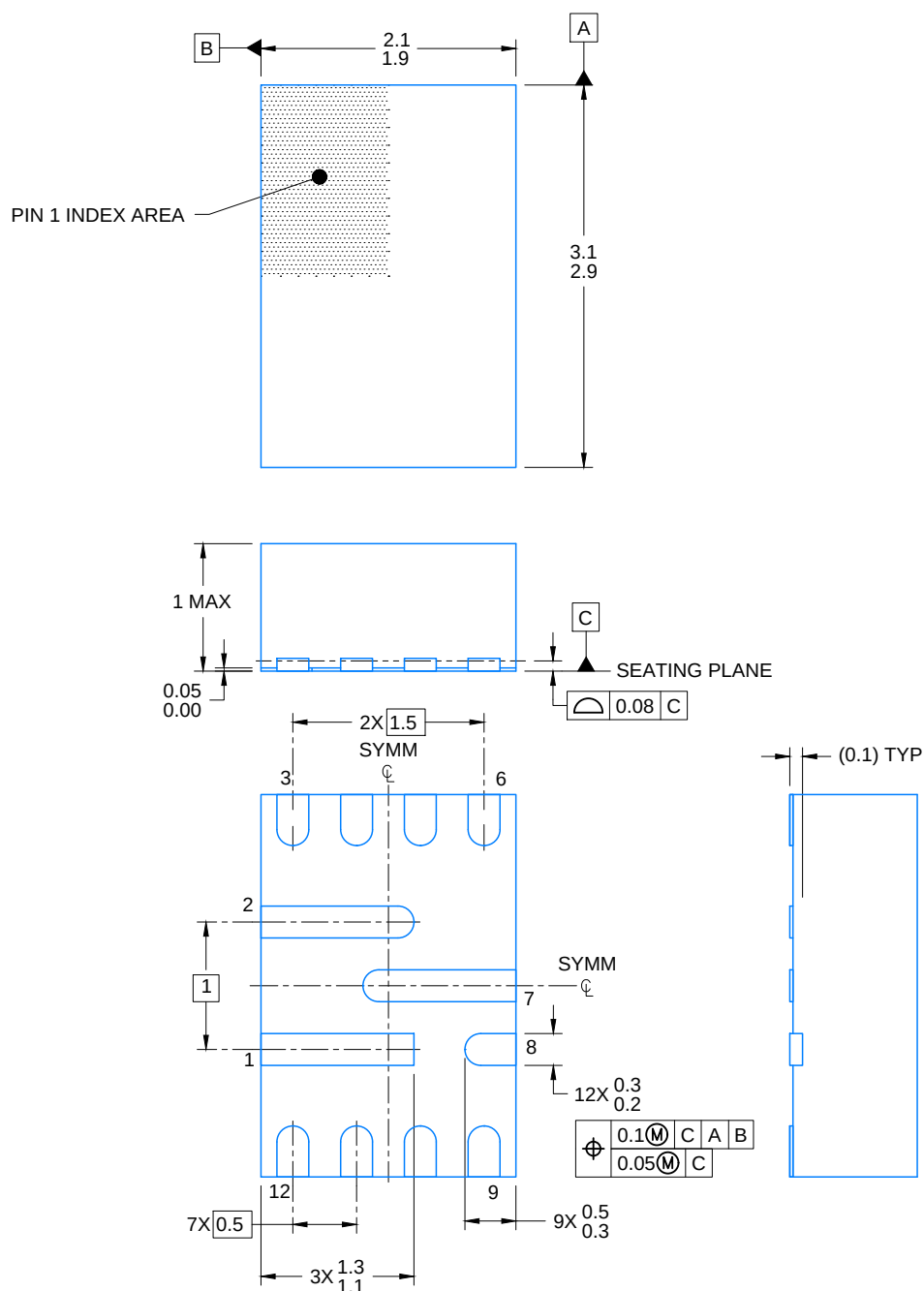
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

VQFN-HR - 1 mm max height

VQFN-HR - 1 mm max height

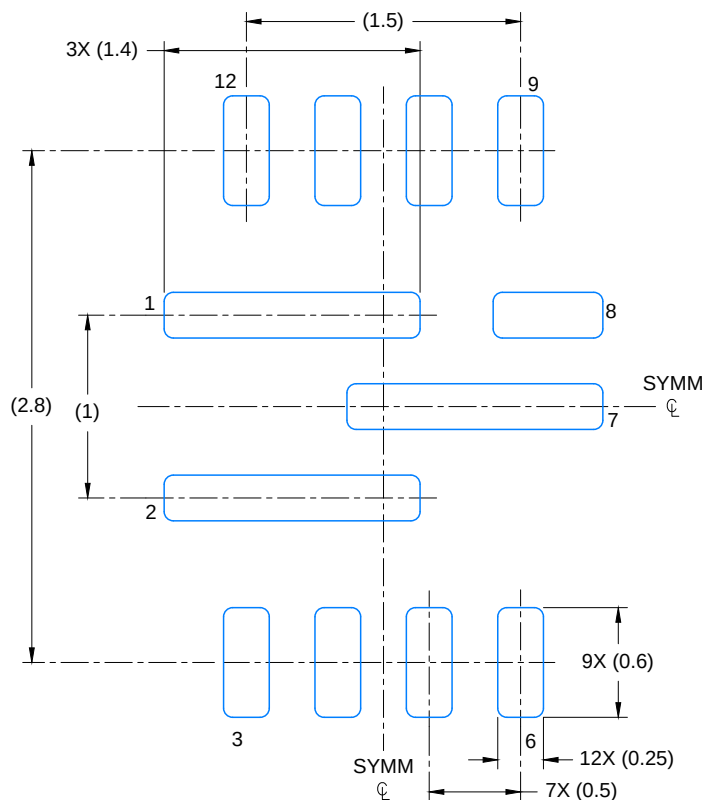
PLASTIC SMALL OUTLINE- NO LEAD



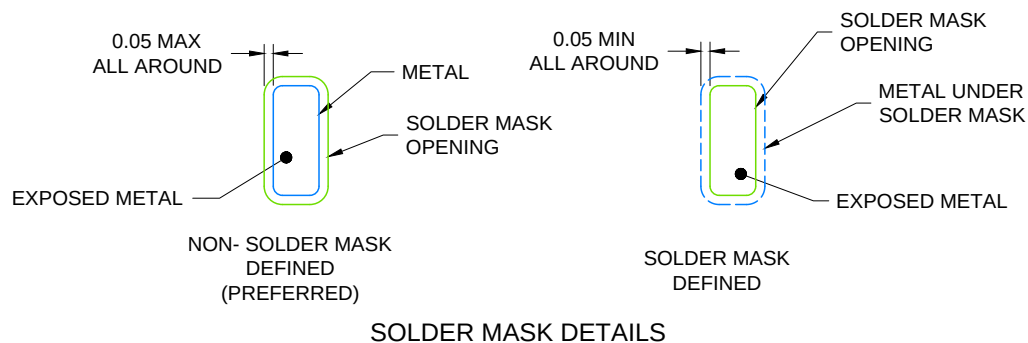
4226466/A 01/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



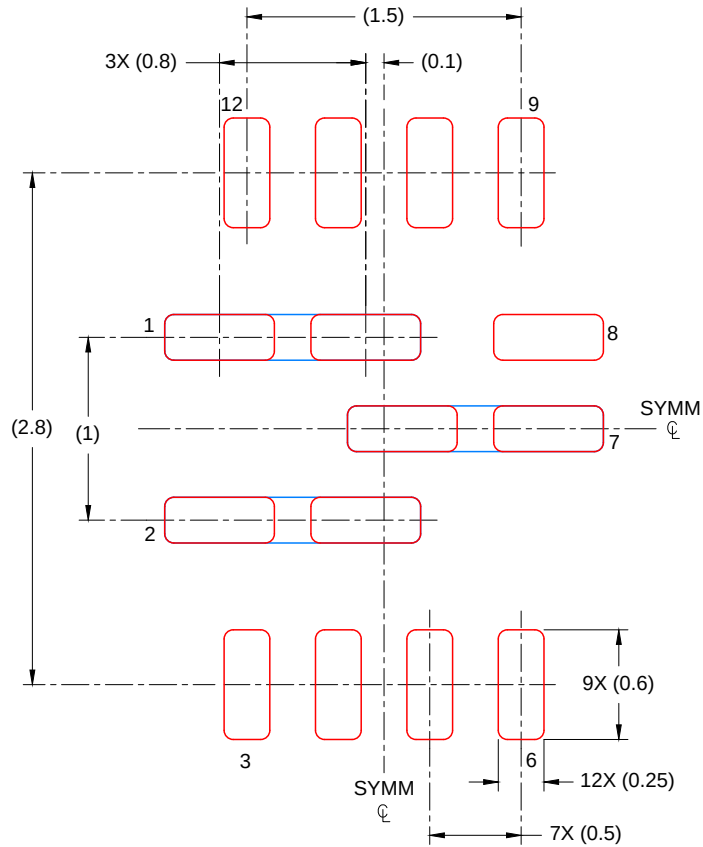
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4226466/A 01/2021

NOTES: (continued)

- For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271) .
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1mm THICK STENCIL

EXPOSED PAD
PINS 1,2,7: 86%
SCALE: 25X

4226466/A 01/2021

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司