

TPS552892 36V、8A 完全集成式降压/升压转换器

1 特性

- 宽输入和输出电压范围
 - 宽输入电压范围：3.0V 至 36V
 - 可编程输出电压范围：0.8V 至 22V
 - ±1% 基准电压精度
 - 电缆上压降的可调输出电压补偿
 - ±5% 精密输出电流监测
- 在整个负载范围内具有高效率
 - $V_{IN} = 12V$ 、 $V_{OUT} = 20V$ 且 $I_{OUT} = 3A$ 时效率为 96%
 - 轻负载状态下的可编程 PFM 和 FPWM 模式
- 避免频率干扰和串扰
 - 可选的时钟同步
 - 可编程开关频率范围为 200 kHz 至 2.2 MHz
- 降低 EMI
 - 可选可编程扩展频谱
 - 无引线封装
- 丰富的保护特性
 - 输出过压保护
 - 利用断续模式实现输出短路保护
 - 热关断保护
 - 8A 平均电感器电流限制
- 小解决方案尺寸
 - 开关频率高达 2.2 MHz (最大值)
 - 3.0mm × 5.0mm HotRod™ QFN 封装

2 应用

- 集线站
- 工业 PC
- 移动电源
- 显示器
- 无线充电器

3 说明

TPS552892 同步降压/升压转换器经优化，可将电池电压或适配器电压转换为电源轨。TPS552892 集成了四个 MOSFET 开关，可为各种应用提供紧凑型解决方案。TPS552892 的输入电压高达 36V。在升压模式下，输入电压为 12V 时，TPS552892 可提供 60W 的输出功率。它能够通过 9V 输入电压提供 45W 的功率。

TPS552892 采用平均电流模式控制方案。开关频率可通过外部电阻在 200 kHz 至 2.2 MHz 之间进行编程，并且可与外部时钟同步。TPS552892 还提供展频选项，从而更大幅度地减少峰值 EMI。

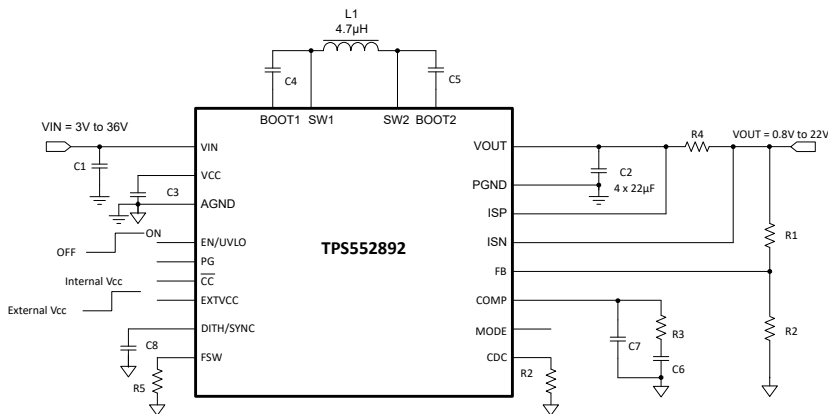
TPS552892 提供输出过压保护、平均电感器电流限制、逐周期峰值电流限制和输出短路保护。TPS552892 还通过可选输出电流限制和断续模式保护，在持续过载情况下确保安全运行。

TPS552892 可在高开关频率下使用小型电感器和小型电容器。TPS552892 采用 3.0mm × 5.0mm QFN 封装。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸
TPS552892	VQFN-HR	3.00mm × 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



典型应用电路



内容

1 特性	1	7.3 特性说明	14
2 应用	1	7.4 器件功能模式	20
3 说明	1	8 应用和实施	21
4 修订历史记录	2	8.1 应用信息	21
5 引脚配置和功能	3	8.2 典型应用	21
6 规格	5	8.3 电源相关建议	29
6.1 绝对最大额定值.....	5	8.4 布局	29
6.2 ESD 等级.....	5	9 器件和文档支持	31
6.3 建议运行条件.....	5	9.1 器件支持.....	31
6.4 热性能信息.....	6	9.2 接收文档更新通知.....	31
6.5 电气特性.....	6	9.3 支持资源.....	31
6.6 典型特性.....	9	9.4 商标.....	31
7 详细说明	12	9.5 静电放电警告.....	31
7.1 概述.....	12	9.6 术语表.....	31
7.2 功能方框图.....	13	10 机械、封装和可订购信息	31

4 修订历史记录

Changes from Revision * (December 2022) to Revision A (April 2023)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1

5 引脚配置和功能

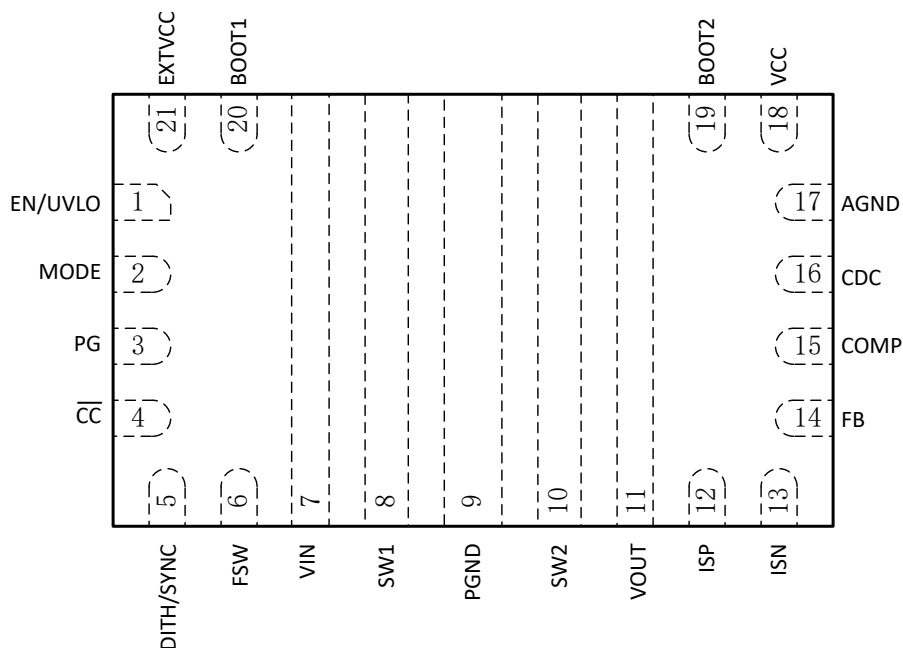


图 5-1. 21 引脚 VQFN-HR、RYQ 封装 (透明顶视图)

表 5-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	EN/UVLO	I	启用逻辑输入和可编程输入电压欠压锁定 (UVLO) 输入。逻辑高电平可启用器件。逻辑低电平可禁用器件并将其转换为关断模式。EN/UVLO 引脚上的电压高于 1.15V 的逻辑高电平电压后, 该引脚可充当可编程 UVLO 输入, 具有 1.23V 的内部基准电压。
2	MODE	I	轻负载条件下的模式选择引脚。将它连接至逻辑高电压时, 此器件在强制 PWM 模式下运行。将它连接至逻辑低电压时, 此器件在自动 PFM 模式下运行。此引脚在应用中不能悬空。
3	PG	O	指示电源正常的开漏输出。当输出电压高于设定输出电压的 95% 时, 此引脚输出高阻抗。当输出电压低于设定输出电压的 90% 时, 此引脚输出低电平。
4	CC	O	指示恒定电流输出的开漏输出。触发输出电流限制时, 此引脚输出低电平。
5	DITH/SYNC	I	抖动频率设置和同步时钟输入。在该引脚和接地端之间, 使用电容器来设置抖动频率。该引脚接地短路或拉至 1.2V 以上时, 无抖动功能。可以在该引脚上应用外部时钟, 来同步开关频率。
6	FSW	I	开关频率可通过该引脚和 AGND 引脚之间的电阻进行编程。
7	VIN	PWR	降压/升压转换器的输入。
8	SW1	PWR	降压侧的开关节点引脚。它连接到内部降压低侧功率 MOSFET 的漏极, 以及内部降压高侧功率 MOSFET 的源极。
9	PGND	PWR	IC 的电源接地。
10	SW2	PWR	升压侧的开关节点引脚。它连接到内部升压低侧功率 MOSFET 的漏极, 以及内部升压高侧功率 MOSFET 的源极。
11	VOUT	PWR	降压/升压转换器的输出。
12	ISP	I	电流检测放大器的正输入。在 ISP 引脚和 ISN 引脚之间连接的可选电流检测电阻可以限制输出电流。如果检测到的电压达到电流限值, 将激活慢速恒定电流控制环路, 并开始调节 ISP 引脚和 ISN 引脚之间的电压。将 ISP 引脚和 ISN 引脚与 VOUT 引脚连接到一起, 可以禁用输出电流限制功能。
13	ISN	I	电流检测放大器的负输入。在 ISP 引脚和 ISN 引脚之间连接的可选电流检测电阻可以限制输出电流。如果检测到的电压达到电流限值, 将激活慢速恒定电流控制环路, 并开始调节 ISP 引脚和 ISN 引脚之间的电压。将 ISP 引脚和 ISN 引脚与 VOUT 引脚连接到一起, 可以禁用输出电流限制功能。

表 5-1. 引脚功能 (continued)

引脚		I/O	说明
编号	名称		
14	FB	I	连接到电阻分压器的中心，可对输出电压进行编程
15	COMP	O	内部误差放大器的输出。在该引脚和 AGND 引脚之间连接环路补偿网络。
16	CDC	O	电压输出与 ISP 引脚和 ISN 引脚之间检测到的电压成正比。在该引脚和 AGND 之间使用一个电阻器来增加输出电压，以补偿电缆上由电缆电阻引起的压降。
17	AGND	-	IC 的信号接地。
18	VCC	O	内部稳压器的输出。在此引脚和 AGND 引脚之间需要一个大于 4.7 μ F 的陶瓷电容器。
19	BOOT2	O	升压侧高侧 MOSFET 栅极驱动器的电源。必须在此引脚和 SW2 引脚之间连接一个 0.1 μ F 的陶瓷电容器。
20	BOOT1	O	降压侧高侧 MOSFET 栅极驱动器的电源。必须在此引脚和 SW1 引脚之间连接一个 0.1 μ F 的陶瓷电容器。
21	EXTVCC	I	为 VCC 选择内部 LDO 或外部 5V。将它连接至逻辑高电压或者保持悬空时，可选择内部 LDO。将它连接至逻辑低电压时，可为 VCC 选择外部 5V。

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
端子上的电压范围 ⁽²⁾	VIN、SW1	- 0.3	42	V
	BOOT1	SW1 - 0.3	SW1+6	V
	VCC、PG、 $\overline{CC}$ 、FSW、COMP、FB、MODE、CDC、DITH/ SYNC、EXTVCC	- 0.3	6	V
	VOOUT、SW2、ISP、ISN	- 0.3	25	V
	EN	-0.3	20	V
	BOOT2	SW2 - 0.3	SW2+6	V
	PG、 $\overline{CC}$ 、FSW、COMP、FB、MODE、CDC、DITH/SYNC、 EXTVCC	- 0.3	VCC+0.3	V
T _J	运行结温，T _J ⁽³⁾	-40	150	°C
T _{stg}	贮存温度	- 65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 所有电压值都是以网络接地端为基准。
- (3) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

- (1) 上表所列级别是 ANSI、ESDA 和 JEDEC JS-001 规定的通过级别。JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) 上表所列级别是 EIA-JEDEC JESD22-C101 规定的通过级别。JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V _{IN}	输入电压范围	3.0		36	V
V _{OUT}	输出电压范围	0.8		22	V
L	有效电感范围	1	4.7	10	μH
C _{IN}	有效输入电容范围	4.7	22		μF
C _{OUT}	有效输出电容范围	10	100	1000	μF
T _J	工作结温	-40		125	°C

6.4 热性能信息

热指标 ⁽¹⁾		RYQ (VQFN)	RYQ (VQFN)	单位
		21 引脚	21 引脚	
		标准	EVM ⁽²⁾	
$R_{\theta JA}$	结至环境热阻	43.4	27.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	22.3	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	7.4	不适用	°C/W
Ψ_{JT}	结至顶部特性参数	0.7	0.7	°C/W
Y_{JB}	结至电路板特征参数	7.2	11.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标应用报告](#)。

(2) 在 TPS552892EVM-111 上测得, 4 层, 2oz/1oz/1oz/2oz 铜 91-mm x 66-mm PCB。

6.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$, $V_{OUT} = 20\text{V}$ 。典型值在 $T_J = 25^{\circ}\text{C}$ 下测得 (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_{IN}	输入电压范围		3.0		36	V
V_{VIN_UVLO}	欠压锁定阈值	V_{IN} 上升	2.8	2.9	3.0	V
		V_{IN} 下降	2.6	2.65	2.7	V
I_Q	流入 V_{IN} 引脚的静态电流	IC 启用, 无负载, 无开关, $V_{IN} = 3.0\text{V}$ 至 24V , $V_{OUT} = 0.8\text{V}$, $V_{FB} = V_{REF} + 0.1\text{V}$, $R_{FSW} = 100\text{k}\Omega$, T_J 高达 125°C		760	860	μA
	流入 V_{OUT} 引脚的静态电流	IC 启用, 无负载, 无开关, $V_{IN} = 3.0\text{V}$, $V_{OUT} = 3\text{V}$ 至 20V , $V_{FB} = V_{REF} + 0.1\text{V}$, $R_{FSW} = 100\text{k}\Omega$, T_J 高达 125°C		760	860	μA
I_{SD}	流入 V_{IN} 引脚的关断电流	IC 禁用, $V_{IN} = 3.0\text{V}$ 至 14V , T_J 高达 125°C , $EXTVCC$ 引脚悬空		0.8	3	μA
V_{CC}	内部稳压器输出	$I_{VCC} = 50\text{mA}$, $V_{IN} = 8\text{V}$, $V_{OUT} = 20\text{V}$	5.05	5.2	5.45	V
EN/UVLO						
V_{EN_H}	EN 逻辑高电平阈值	$V_{CC} = 3.0\text{V}$ 至 5.5V			1.15	V
V_{EN_L}	EN 逻辑低电平阈值	$V_{CC} = 3.0\text{V}$ 至 5.5V	0.4			V
V_{EN_HYS}	使能阈值迟滞	$V_{CC} = 3.0\text{V}$ 至 5.5V	0.04			V
V_{UVLO}	EN/UVLO 引脚上的 UVLO 上升阈值	$V_{CC} = 3.0\text{V}$ 至 5.5V	1.20	1.23	1.26	V
V_{UVLO_HYS}	UVLO 阈值迟滞	$V_{CC} = 3.0\text{V}$ 至 5.5V		10		mV
I_{UVLO}	EN/UVLO 引脚上的拉电流	$V_{UVLO} = 1.3\text{V}$	4.4	5	5.6	μA
输出						
V_{OUT}	输出电压范围		0.8		22	V
V_{OVP}	输出过压保护阈值		22.5	23.5	24.5	V
V_{OVP_HYS}	过压保护迟滞			1		V
I_{FB_LKG}	FB 引脚上的漏电流	T_J 高达 125°C			100	nA
I_{VOUT_LKG}	流入 V_{OUT} 引脚的漏电流	IC 禁用, $V_{OUT} = 20\text{V}$, $V_{SW2} = 0\text{V}$, T_J 高达 125°C		1	20	μA
基准电压						
V_{REF}	FB 引脚上的基准电压		1.188	1.2	1.212	V
电源开关						

6.5 电气特性 (continued)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$, $V_{OUT} = 20\text{V}$ 。典型值在 $T_J = 25^{\circ}\text{C}$ 下测得 (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
R _{DS(on)}	降压侧的低侧 MOSFET 导通电阻	V _{OUT} = 20V, V _{CC} = 5.2V		22		m Ω
	降压侧的高侧 MOSFET 导通电阻	V _{OUT} = 20V, V _{CC} = 5.2V		14		m Ω
	升压侧的低侧 MOSFET 导通电阻	V _{OUT} = 20V, V _{CC} = 5.2V		11		m Ω
	升压侧的高侧 MOSFET 导通电阻	V _{OUT} = 20V, V _{CC} = 5.2V		11		m Ω
内部时钟						
f _{SW}	开关频率	R _{FSW} = 100k	180	200	220	kHz
		R _{FSW} = 8.4k	2000	2200	2400	kHz
t _{OFF_min}	最短关闭时间	升压模式		90	145	ns
t _{ON_min}	最短开启时间	降压模式		90	130	ns
V _{FSW}	FSW 引脚的电压			1		V
电流限制						
I _{LIM_AVG}	平均电感器电流限制	TPS552892, V _{IN} = 8V, V _{OUT} = 20V, F _{SW} = 400kHz, V _{CC} = 5.2V	7	8	9	A
I _{LIM_PK_H}	高侧的峰值电感器电流限制	TPS552892, V _{IN} = 8V, V _{OUT} = 20V, F _{SW} = 400kHz		13		A
I _{LIM_PK_L}	低侧的峰值电感器电流限制	TPS552892, V _{IN} = 8V, V _{OUT} = 20V, F _{SW} = 400kHz		12		A
V _{SNS}	ISP 和 ISN 引脚之间的电流环路调节电压		48	50	52	mV
电缆压降补偿						
V _{CDC}	CDC 引脚上的电压	R _{CDC} = 20kΩ 或悬空, V _{ISP} - V _{ISN} = 50mV	0.95	1	1.05	V
		R _{CDC} = 20kΩ 或悬空, V _{ISP} - V _{ISN} = 2mV		40	75	mV
I _{FB_CDC}	FB 引脚灌电流	外部输出反馈, R _{CDC} = 20kΩ, V _{ISP} - V _{ISN} = 50mV	7.23	7.5	7.87	μA
		外部输出反馈, R _{CDC} = 20kΩ, V _{ISP} - V _{ISN} = 0mV		0	0.3	μA
		外部输出反馈, R _{CDC} = 悬空, V _{ISP} - V _{ISN} = 50mV		0	0.3	μA
误差放大器						
I _{SINK}	COMP 引脚灌电流	V _{FB} = V _{REF} + 400mV, V _{COMP} = 1.5V, V _{CC} = 5V		20		μA
I _{SOURCE}	COMP 引脚拉电流	V _{FB} = V _{REF} - 400mV, V _{COMP} = 1.5V, V _{CC} = 5V		60		μA
V _{CCLPH}	COMP 引脚上的高钳位电压	FPWM 模式, V _{OUT} = 1.8V 至 22V		1.3		V
V _{CCLPL}	COMP 引脚上的低钳位电压	FPWM 模式		0.7		V
G _{EA}	误差放大器跨导			190		μA/V
软启动						
t _{SS}	软启动时间		2.5	3.6	5	ms
展频						
I _{DITH_CHG}	抖动充电电流	V _{DITH/SYNC} = 1.0V ; R _{FSW} = 49.9k Ω ; 电压从 0.9V 上升		2		μA
I _{DITH_DIS}	抖动放电电流	V _{DITH/SYNC} = 1.0V ; R _{FSW} = 49.9k Ω ; 电压从 1.1V 下降		2		μA
V _{DITH_H}	抖动高阈值			1.07		V
V _{DITH_L}	抖动低阈值			0.93		V

6.5 电气特性 (continued)

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$, $V_{OUT} = 20\text{V}$ 。典型值在 $T_J = 25^{\circ}\text{C}$ 下测得 (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
同步时钟						
$V_{\text{SYNC_H}}$	同步时钟高电压阈值				1.2	V
$V_{\text{SYNC_L}}$	同步时钟低电压阈值		0.4			V
$t_{\text{SYNC_MIN}}$	同步时钟最小脉冲宽度		50			ns
断续						
t_{HICCUP}	断续停止时间			76		ms
模式						
V_{MODE}	MODE 逻辑高电平阈值	$V_{CC} = 3\text{V}$ 至 5.5V			1.2	V
V_{MODE}	MODE 逻辑低电平阈值	$V_{CC} = 3\text{V}$ 至 5.5V	0.4			V
EXTVCC						
V_{EXTVCC}	EXTVCC 逻辑高电平阈值	$V_{CC} = 3\text{V}$ 至 5.5V			1.2	V
V_{EXTVCC}	EXTVCC 逻辑低电平阈值	$V_{CC} = 3\text{V}$ 至 5.5V	0.4			V
电源正常						
$I_{\text{PG_H}}$	输出高阻抗时流入 PG 引脚的漏电流	$V_{\text{PG}} = 5\text{V}$			100	nA
$V_{\text{PG_L}}$	PG 引脚的输出低电压范围	4mA 灌电流		0.1	0.2	V
限流指示						
$I_{\text{CC_H}}$	输出高阻抗时流入 $\overline{\text{CC}}$ 引脚的漏电流	$V_{\text{CC}} = 5\text{V}$			100	nA
$V_{\text{CC_L}}$	$\overline{\text{CC}}$ 引脚的输出低电压范围	4mA 灌电流		0.1	0.2	V
保护						
T_{SD}	热关断阈值	T_J 上升		175		$^{\circ}\text{C}$
$T_{\text{SD_HYS}}$	热关断迟滞	T_J 降至 T_{sd} 以下		20		$^{\circ}\text{C}$

6.6 典型特性

$V_{IN} = 12V$, $T_A = 25^\circ C$, $f_{SW} = 400kHz$ (除非另有说明)

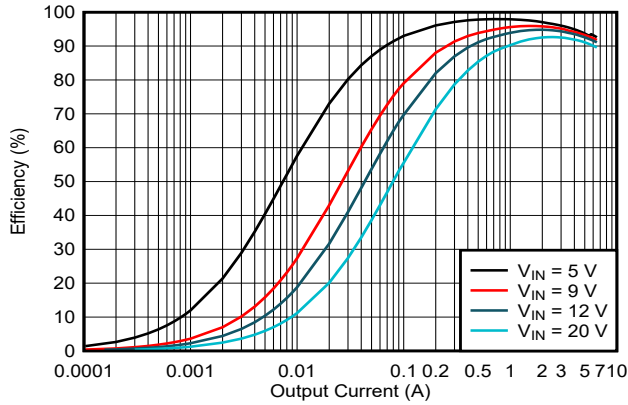


图 6-1. 效率与输出电流间的关系，
 $V_{OUT} = 5V$, FPM

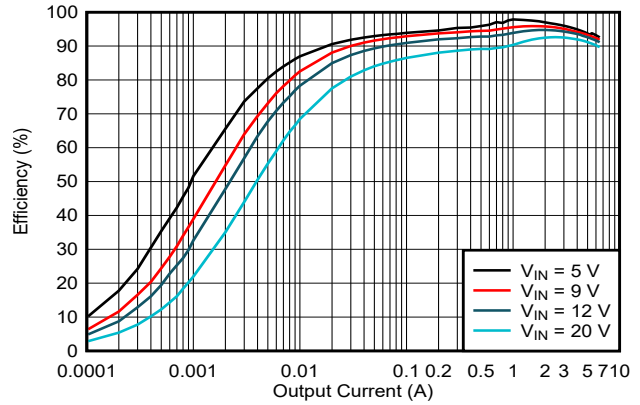


图 6-2. 效率与输出电流间的关系，
 $V_{OUT} = 5V$, PFM

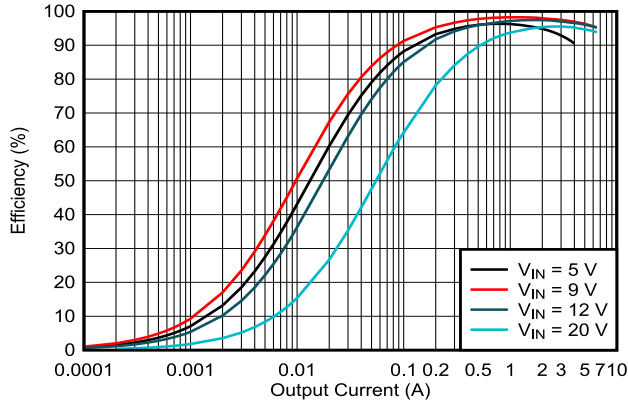


图 6-3. 效率与输出电流间的关系，
 $V_{OUT} = 9V$, FPM

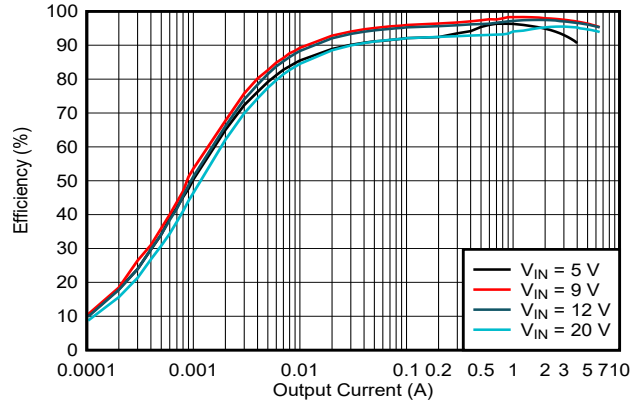


图 6-4. 效率与输出电流间的关系，
 $V_{OUT} = 9V$, PFM

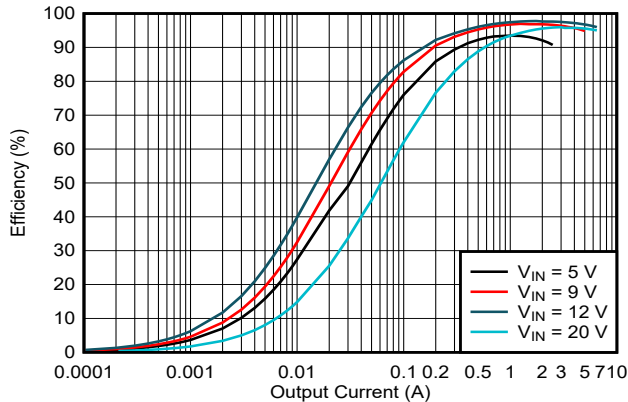


图 6-5. 效率与输出电流间的关系，
 $V_{OUT} = 12V$, FPM

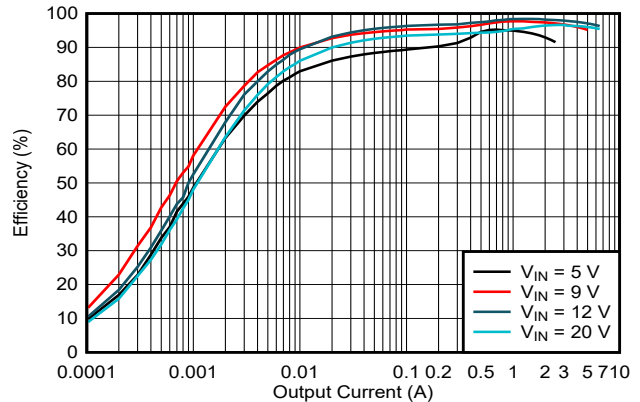


图 6-6. 效率与输出电流间的关系，
 $V_{OUT} = 12V$, PFM

6.6 典型特性 (continued)

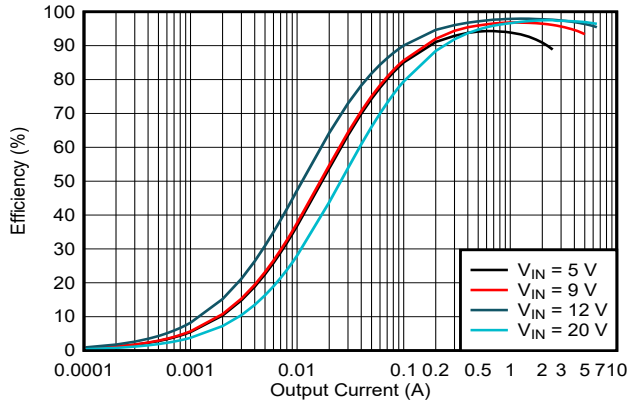


图 6-7. 效率与输出电流间的关系，
 $V_{OUT} = 15V$ ，FPWM

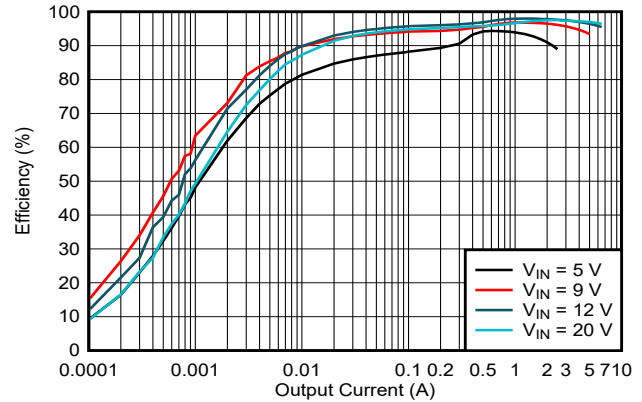


图 6-8. 效率与输出电流间的关系，
 $V_{OUT} = 15V$ ，PFM

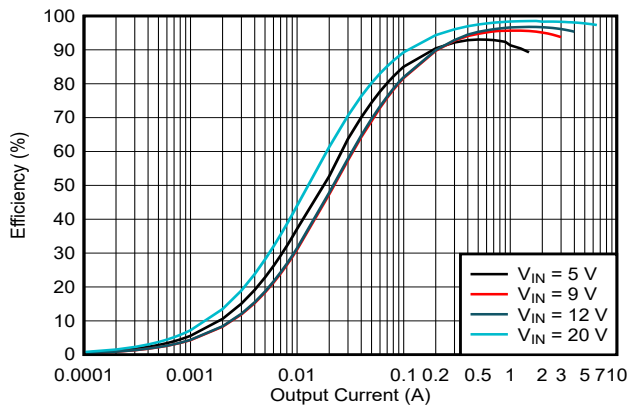


图 6-9. 效率与输出电流间的关系，
 $V_{OUT} = 20V$ ，FPWM

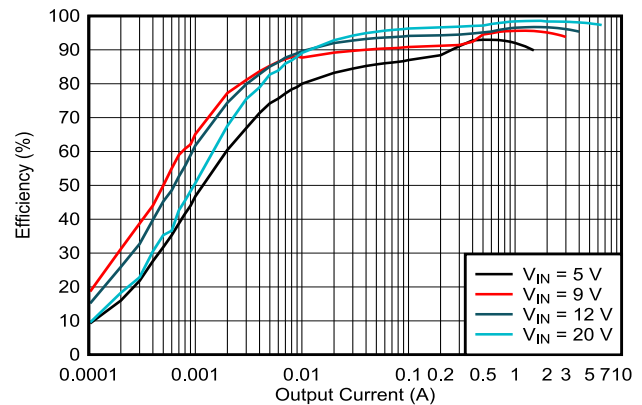


图 6-10. 效率与输出电流间的关系，
 $V_{OUT} = 20V$ ，PFM

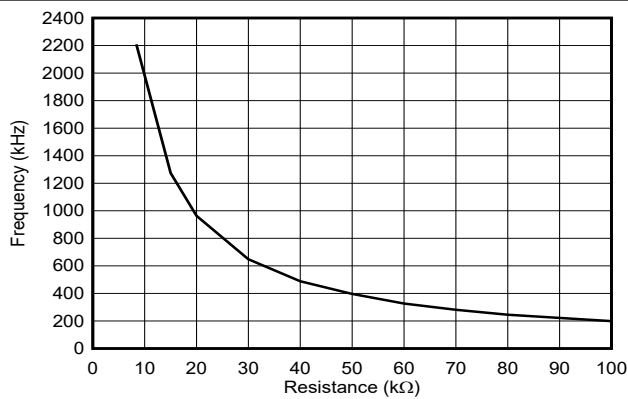


图 6-11. 开关频率与设置电阻间的关系

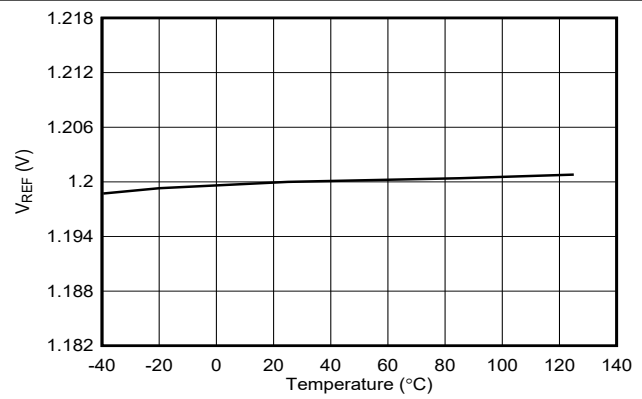


图 6-12. 基准电压与温度间的关系 ($V_{REF} = 1.2V$)

6.6 典型特性 (continued)

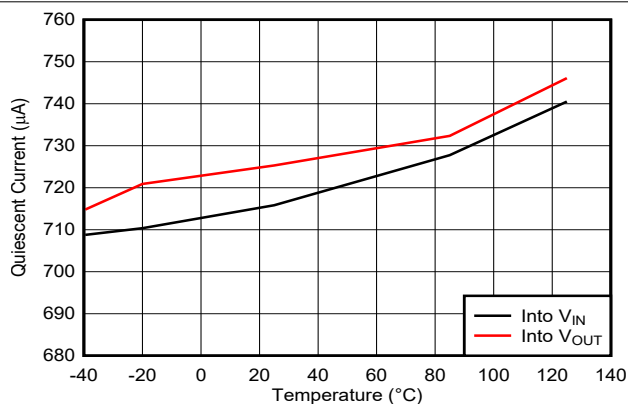


图 6-13. 静态电流与温度间的关系

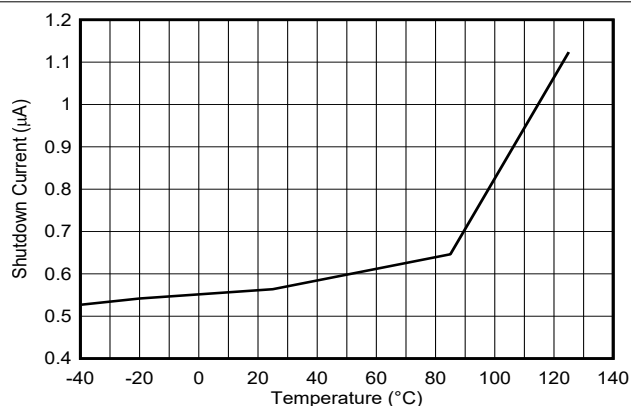


图 6-14. 关断电流与温度间的关系

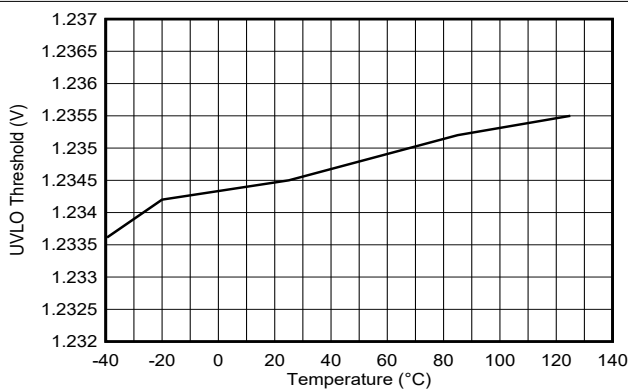


图 6-15. ENABLE/UVLO 上升阈值与温度间的关系

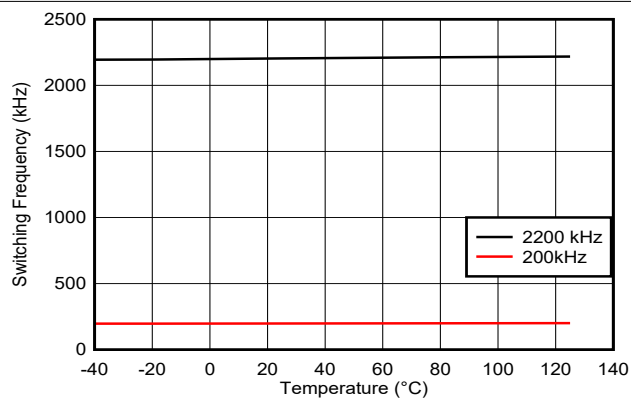


图 6-16. 开关频率与温度间的关系

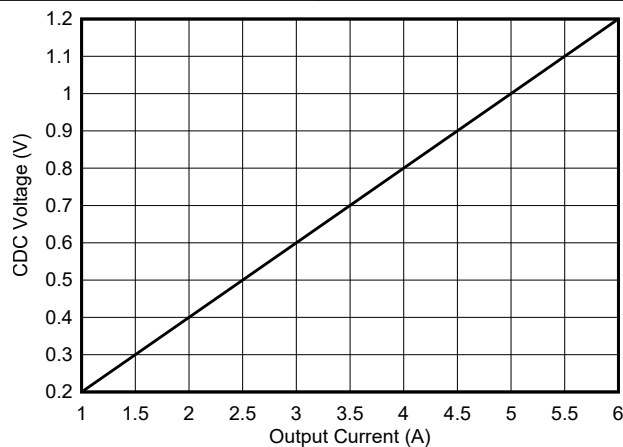


图 6-17. CDC 电压与输出电流间的关系, $R_{SENSE} = 10\text{m}\Omega$

7 详细说明

7.1 概述

TPS552892 是集成了四个 MOSFET 的 8A 降压/升压直流/直流转换器。TPS552892 可在 3.0V 至 36V 的宽输入电压和 0.8V 至 22V 的宽输出电压范围内运行。可根据输入电压和设置的输出电压在降压模式、降压/升压模式和升压模式之间平稳转换。当输入电压大于输出电压时，TPS552892 在降压模式下运行，而当输入电压小于输出电压时，则在升压模式下运行。当输入电压接近输出电压时，TPS552892 以一个周期降压和一个周期升压的模式交替运行。

TPS552892 使用平均电流模式控制方案。电流模式控制可提供简化的环路补偿，对负载瞬态的快速响应以及固有的线路电压抑制。误差放大器将反馈电压与内部基准电压进行比较。误差放大器的输出决定了平均电感器电流。

内部振荡器可配置为在 200kHz 至 2.2MHz 的宽频率范围内运行。内部振荡器还可与施加到 DITH/SYNC 引脚上的外部时钟同步。为了最大限度地降低 EMI，TPS552892 的开关频率抖动范围为设定频率的 $\pm 7\%$ 。

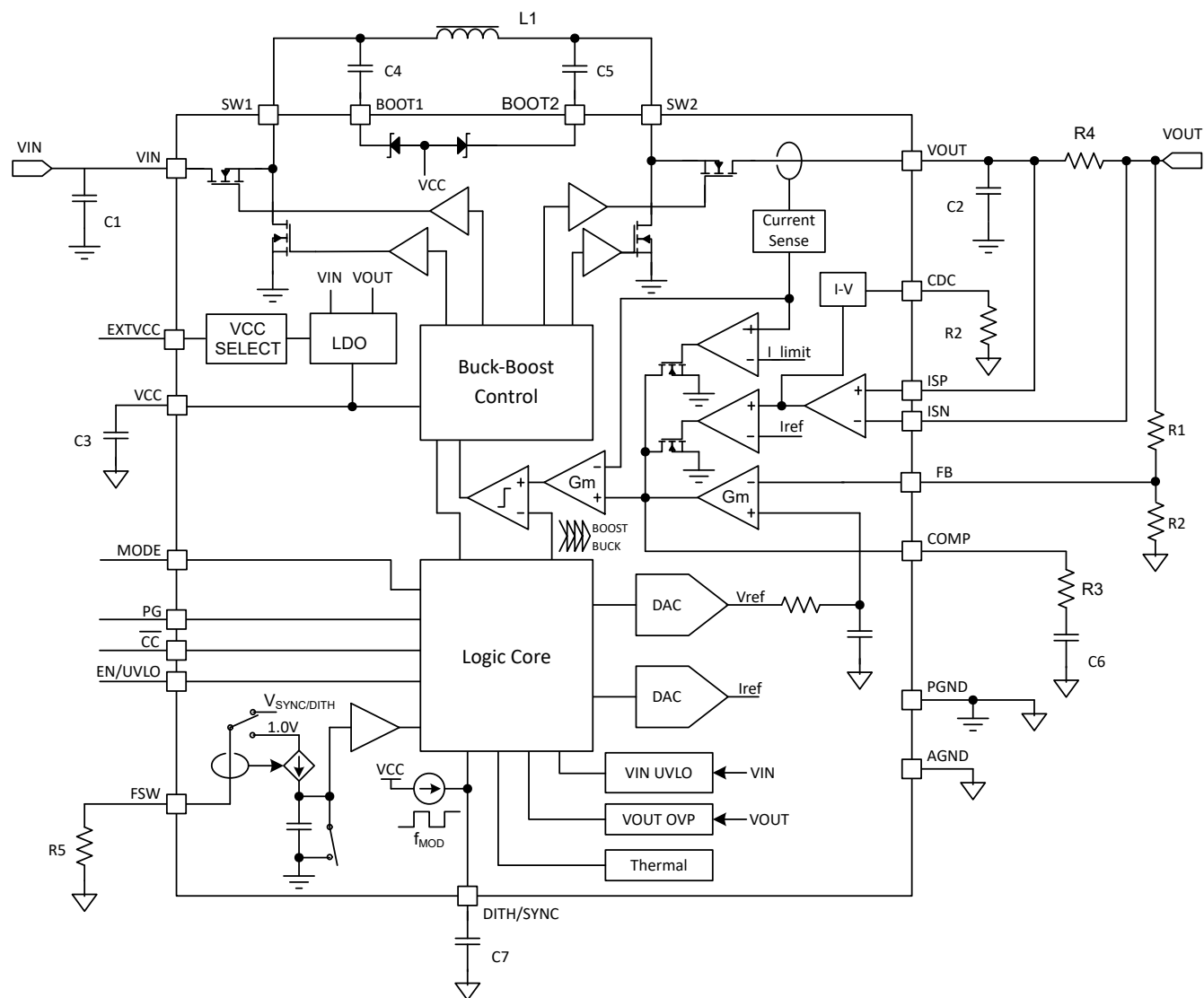
在中等负载到重负载电流下，TPS552892 会在固定频率 PWM 模式下运行。在轻负载条件下，可将 TPS552892 配置为自动转换至 PFM 模式，或者强制进入 PWM 模式。

TPS552892 可提供 8A 的平均电感器电流限制典型值。此外，它还在瞬态时提供逐周期峰值电感器电流限制，可保护器件免受超出上限的过流情况的影响。

EN/UVLO 引脚上的 1.23V 精确电压阈值和 5 μ A 拉电流，支持带迟滞的可编程输入欠压锁定 (UVLO)。输出过压保护 (OVP) 特性会关闭高侧 FET，以防损坏由 TPS552892 供电的器件。

该器件提供断续模式选项，可在输出短路时减少电源元件中的发热。TPS552892 会关断 76ms，并以软启动的方式重新启动。

7.2 功能方框图



7.3 特性说明

7.3.1 VCC 电源

为 TPS552892 供电的内部 LDO 在 VCC 引脚上输出稳定的 5.2V 电压。当 V_{IN} 小于 V_{OUT} 时，内部 LDO 通过比较 V_{IN} 与 6.2V 上升阈值（具有 0.3V 迟滞）来选择电源。当 V_{IN} 高于 6.2V 时，LDO 的电源为 V_{IN} 。当 V_{IN} 低于 5.9V 时，LDO 的电源为 V_{OUT} 。当 V_{OUT} 小于 V_{IN} 时，内部 LDO 通过比较 V_{OUT} 与 6.2V 上升阈值（具有 0.3V 迟滞）来选择电源。当 V_{OUT} 高于 6.2V 时，LDO 的电源为 V_{OUT} 。当 V_{OUT} 低于 5.9V 时，LDO 的电源为 V_{IN} 。表 7-1 展示了内部 LDO 的电源选择。

表 7-1. VCC 电源逻辑

V_{IN}	V_{OUT}	VCC LDO 的输入
$V_{IN} > 6.2V$	$V_{OUT} > V_{IN}$	V_{IN}
$V_{IN} < 5.9V$	$V_{OUT} > V_{IN}$	V_{OUT}
$V_{IN} > V_{OUT}$	$V_{OUT} > 6.2V$	V_{OUT}
$V_{IN} > V_{OUT}$	$V_{OUT} < 5.9V$	V_{IN}

7.3.2 EXTVCC 电源

当输入电压和输出电压为高电平时，为了更大程度地降低内部 LDO 的功率损耗，可以在 VCC 引脚上施加 5V 外部电源，为 TPS552892 供电。外部 5V 电源的输出电流应不小于 100mA，且必须在 4.75V 至 5.5V 的调节范围内。当 EXTVCC 引脚连接到逻辑低电平时，器件会选择外部电源通过 VCC 引脚为器件供电。当 EXTVCC 引脚连接到逻辑高电平或悬空时，器件会选择内部 LDO。

7.3.3 输入欠压锁定

输入电压低于 2.6V 时，TPS552892 将被禁用。当输入电压高于 3V 时，可将 EN 引脚拉至 1.3V 以上的高电压，来启用 TPS552892。

7.3.4 使能和可编程 UVLO

TPS552892 具有双功能使能和欠压锁定 (UVLO) 电路。当 VIN 引脚上的输入电压高于 3V 的输入 UVLO 上升阈值，并且 EN/UVLO 引脚被拉至 1.15V 以上，但低于 1.23V 的使能 UVLO 阈值时，TPS552892 将被启用，但仍处于待机模式。TPS552892 将开始检测 MODE 引脚逻辑状态。

EN/UVLO 引脚具有精确的 UVLO 电压阈值，可支持具有迟滞的可编程输入欠压锁定。当 EN/UVLO 引脚电压大于 1.23V 的 UVLO 阈值时，TPS552892 将被启用并执行开关操作。迟滞电流 I_{UVLO_HYS} 从 EN/UVLO 引脚流出，提供的迟滞可防止输入电压缓慢变化时出现噪声引起的开/关抖动。

使用图 7-1 中所示的电阻分压器，可使用方程式 1 计算导通阈值。

$$V_{IN(UVLO_ON)} = V_{UVLO} \times \left(1 + \frac{R1}{R2}\right) \quad (1)$$

其中

- V_{UVLO} 是 EN/UVLO 引脚上 1.23V 的 UVLO 阈值

UVLO 导通阈值和关断阈值之间的迟滞由 EN/UVLO 电阻分压器中的上电阻器设置，可通过公式 2 计算。

$$\Delta V_{IN(UVLO)} = I_{UVLO_HYS} \times R1 \quad (2)$$

其中

- 当 EN/UVLO 引脚上的电压高于 V_{UVLO} 时， I_{UVLO_HYS} 为 EN/UVLO 引脚流出的拉电流

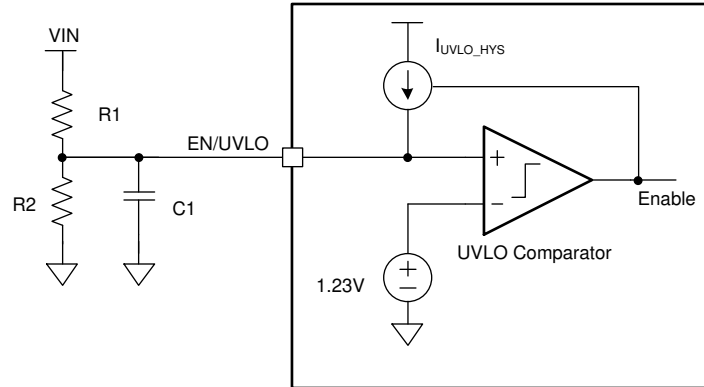


图 7-1. EN/UVLO 引脚上具有电阻分压器的可编程 UVLO

将 NMOSFET 与电阻分压器配合使用，可实现逻辑使能和可编程 UVLO，如图 7-2 所示。EN 逻辑高电平必须大于使能阈值加上 NMOSFET Q1 的 V_{th} 。Q1 还消除了关断模式下从 VIN 通过 UVLO 电阻分压器接地的漏电流。

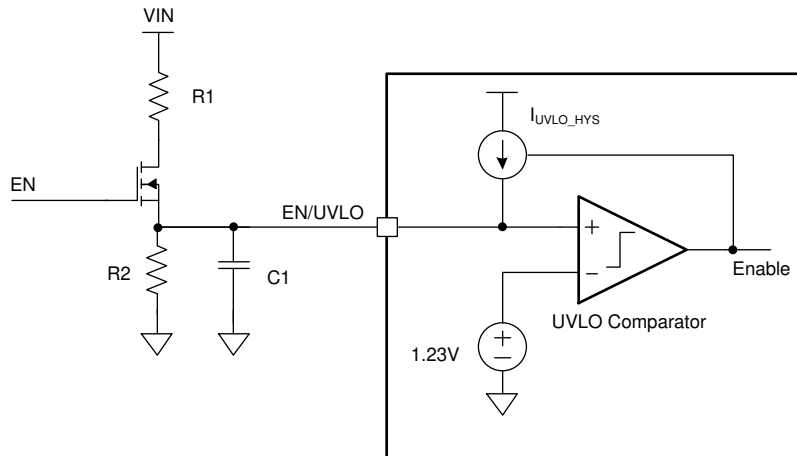


图 7-2. 逻辑使能和可编程 UVLO

7.3.5 软启动

当输入电压高于 UVLO 阈值，且 EN/UVLO 引脚电压高于使能 UVLO 阈值时，TPS552892 会在 3.6ms 内将内部基准电压从 0V 升高至 1.2V，开始斜升输出电压。

7.3.6 关断

EN/UVLO 引脚电压被拉至 0.4V 以下时，TPS552892 处于关断模式，并且所有功能都会被禁用。

7.3.7 开关频率

TPS552892 使用固定频率平均电流控制方案。在 FSW 引脚上放置一个电阻器，可将开关频率设于 200kHz 和 2.2MHz 之间。内部放大器可将此引脚保持于 1V 的固定电压。设置电阻介于最大值 100kΩ 和最小值 8.4kΩ 之间。可以使用方程式 3 来计算给定开关频率下的电阻。

$$f_{SW} = \frac{1000}{0.05 \times R_{FSW} + 35} \text{ (MHz)} \quad (3)$$

其中

- R_{FSW} 是 FSW 引脚上的电阻 (Ω)

对于噪声敏感型应用，TPS552892 可与施加到 DITH/SYNC 引脚的外部时钟信号同步。建议的外部时钟占空比范围为 30% 至 70%。TPS552892 如果由外部时钟进行切换，还必须将一个电阻器连接到 FSW 引脚。DITH/SYNC 引脚上的外部时钟频率必须具有低于 0.4V 的低电平电压，还必须处于电阻器设定的相应频率的 ±30% 以内。图 7-3 是一种建议配置。

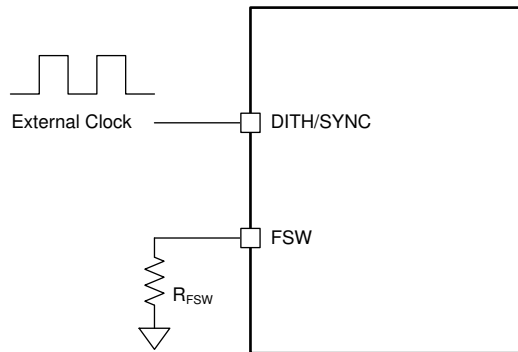


图 7-3. 外部时钟配置

7.3.8 开关频率抖动

TPS552892 提供了可选开关频率抖动，可在 DITH/SYNC 引脚与接地端之间连接一个电容器来启用。图 7-4 展示了抖动电路。对电容器进行充电和放电，可在 DITH/SYNC 引脚上生成以 1V 为中心的三角波形。三角波形会在 FSW 引脚上的电阻所设定标称频率的 $\pm 7\%$ 范围内对振荡器频率进行调制。DITH/SYNC 引脚上的电容可设置调制频率。与大电容相比，小电容可快速调制振荡器频率。为了使抖动电路有效降低峰值 EMI，调制速率通常低于 1kHz。公式 4 用于计算设置调制频率 F_{MOD} 所需的电容。

$$C_{DITH} = \frac{1}{2.8 \times R_{FSW} \times F_{MOD}} (F) \quad (4)$$

其中

- R_{FSW} 是 FSW 引脚上的开关频率设置电阻 (Ω)
- F_{MOD} 是抖动的调制频率 (Hz)

连接 DITH/SYNC 引脚，使其低于 0.4V 或高于 1.2V，可禁用开关频率抖动。使用外部同步时钟时，也会禁用抖动功能。

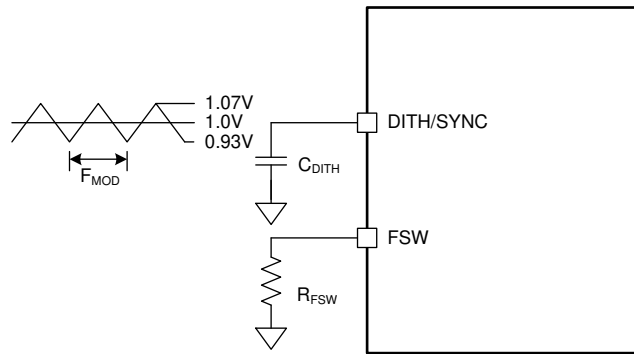


图 7-4. 开关频率抖动

7.3.9 电感器电流限制

TPS552892 可实现峰值电流和平均电感器电流限制。平均电流模式控制环路使用升压桥臂高侧 MOSFET 上的电流检测信息，将电感器最大平均电流钳制于 8A (典型值)。

除了平均电流限制之外，还实现了瞬态下的峰值电流限制保护，可保护器件免受超出上限的过流情况的影响。

7.3.10 内部充电路径

两个高侧 MOSFET 驱动器中的每一个都从其浮动自举电容器进行偏置，该电容器通常在低侧 MOSFET 导通时通过外部和内部自举二极管由 V_{CC} 重新充电。当 TPS552892 仅在降压或升压区域运行时，其中一个高侧 MOSFET 会持续导通。从 V_{OUT} 和 $BOOT2$ 到 $BOOT1$ ，或从 V_{IN} 和 $BOOT1$ 到 $BOOT2$ 的内部充电路径会将自举电容器充电至 V_{CC} ，使高侧 MOSFET 保持导通状态。

7.3.11 输出电压设置

TPS552892 输出电压是通过反馈电阻器配置的，如图 7-5 所示。使用方程式 5 计算输出电压，由 FB 引脚提供基准电压。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_{FB_UP}}{R_{FB_BT}}\right) \quad (5)$$

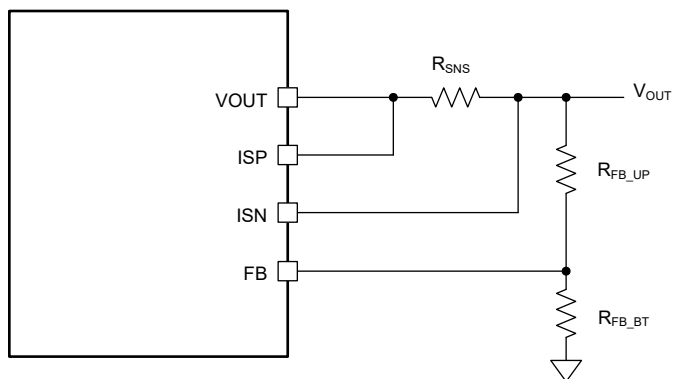


图 7-5. 输出电压设置

TI 建议使用 $100\text{k}\Omega$ 的上拉电阻 R_{FB_UP} 。基准电压 V_{REF} 为 1.2V 。

7.3.12 输出电流监控及电缆压降补偿

TPS552892 在 CDC 引脚上输出的电压，与 ISP 引脚和 ISN 引脚之间的输出电流检测电阻上的检测电压成正比。[方程式 6](#) 显示了 CDC 引脚上与检测到的输出电流相关的确切电压。

$$V_{CDC} = 20 \times (V_{ISP} - V_{ISN}) \quad (6)$$

为了补偿 USB 端口的输出与其供电设备之间的电缆上的压降，可以在 TPS552892 的 CDC 引脚和 AGND 引脚之间放置一个电阻器，按照负载电流的比例提升其输出电压。

输出电压与 CDC 引脚提供的电流（通过 CDC 引脚上的电阻器提供）成正比上升。建议为反馈电阻分压器的上拉电阻使用 100kΩ 电阻。[方程式 7](#) 显示了与检测到的输出电流、CDC 引脚上的电阻以及输出电压反馈电阻分压器的上拉电阻相关的输出电压上升值。

$$V_{OUT_CDC} = 3 \times R_{FB_UP} \times \left(\frac{V_{ISP} - V_{ISN}}{R_{CDC}} \right) \quad (7)$$

其中

- R_{FB_UP} 是输出和 FB 引脚之间的电阻分压器的上拉电阻器
- R_{CDC} 是 CDC 引脚上的电阻器

如果 R_{FB_UP} 为 100kΩ，输出电压上升值与检测到的输出电流以及 CDC 引脚上的电阻之间的关系如[图 7-6](#) 所示。

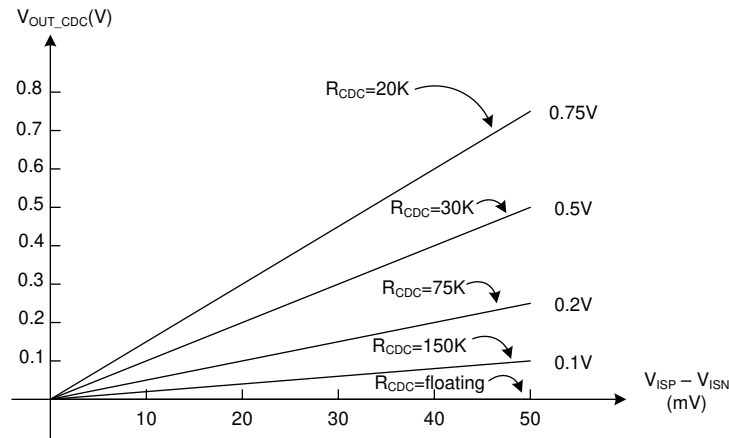


图 7-6. 输出电压上升值与输出电流间的关系

7.3.13 输出电流限制

在 ISP 引脚和 ISN 引脚之间放置一个电流检测电阻，可对输出电流限制进行编程。ISP 引脚和 ISN 引脚之间的电压限制设置为 50mV。因此，较小的电阻会获得较高的电流限制，而较大的电阻会获得较低的电流限制。

将 ISP 和 ISN 引脚一起连接到 VOUT 引脚，可禁用输出电流限制，因为检测到的电压始终为零。

7.3.14 过压保护

TPS552892 提供输出过压保护。当检测到 VOUT 引脚上的输出电压典型值高于 23.5V 时，TPS552892 会关断两个高侧 FET，并导通两个低侧 FET，直到其输出电压降低迟滞值，使其低于输出过压保护阈值。此功能可防止输出端出现过压，并保护连接到输出端的电路，免受过压的影响。

7.3.15 输出短路保护

除了平均电感器电流限制之外，TPS552892 还可通过进入断续模式来实现输出短路保护。在 3.6ms 的软启动时间之后，TPS552892 可监控平均电感器电流和输出电压。每当发生输出短路，导致平均电感器电流达到电流限值，并且输出电压低于 0.8V 的时间达到 2ms 后，TPS552892 就会关断开关 76ms (典型值)，然后重复软启动，时间为 3.6ms。断续模式有助于在输出短路或过流情况下减少 TPS552892 上的功率总耗散。

7.3.16 电源正常

TPS552892 集成了电源正常功能。电源正常输出包含一个开漏 NMOS，需要将一个外部上拉电阻连接到电压合适的电源，如 VCC。VOUT 达到目标输出电压的 95% 后，PG 引脚将变为高电平。输出电压降至目标输出电压的 90% 以下时，PG 引脚将变为低电平。

7.3.17 恒定电流输出指示

TPS552892 集成了恒定电流输出指示功能。它包含一个开漏 NMOS，需要将一个外部上拉电阻器连接到 VCC 等电压适用的电源。在 ISP 引脚和 ISN 引脚之间的电压达到 50mV 后， $\overline{CC}$ 引脚会变为低电平，延迟时间为 128us。

7.3.18 热关断

TPS552892 受热关断电路保护，此电路在内部结温超过 175°C (典型值) 时关闭此器件。触发热关断后，内部软启动电路会复位。当结温降至热关断阈值以下 20°C 的热关断迟滞以下时，转换器会自动重新启动。

7.4 器件功能模式

在轻负载条件下，TPS552892 可在 PFM 或强制 PWM 模式下运行，以满足不同的应用要求。PFM 模式可降低开关频率以减少开关损耗，从而在轻负载条件下实现高效率。FPWM 模式可保持开关频率不变，以避免出现不需要的低开关频率，但效率会低于 PFM 模式。

7.4.1 PWM 模式

MODE 引脚连接至逻辑高电平时，TPS552892 在 FPWM 模式下运行，轻负载条件下的开关频率保持不变。当负载电流减小时，内部误差放大器的输出也会降低，使平均电感器电流降低，减少从输入到输出的功率。如果输出电流进一步降低，在关断期间流经电感器的电流会降为零。即使流经 MOSFET 的电流为零，高侧 N-MOSFET 也不会关断。因此，电感器电流在变为零后会改变方向。功率流将从输出流到输入。在这种情况下效率较低。但是，在轻负载条件下使用固定开关频率，没有可闻噪声或其他可能由低开关频率引起的问题。

7.4.2 节能模式

TPS552892 可利用 PFM 模式提升轻负载条件下的效率。MODE 引脚连接到逻辑低电平时，TPS552892 可在轻负载条件下以 PFM 模式工作。当 TPS552892 在轻负载条件下工作时，内部误差放大器的输出会降低，使电感器峰值电流降低，减少为负载提供的功率。如果输出电流进一步降低，在关断期间流经电感器的电流会降为零。TPS552892 在降压模式下运行时，一旦电感器电流变为零，降压侧的低侧开关就会关闭，可防止从输出端到接地端的反向电流。TPS552892 在升压模式下运行时，一旦电感器电流变为零，升压侧的高侧开关就会关闭，可防止从输出端到输入端的反向电流。输出电压下降后，TPS552892 会继续执行开关。因此，PFM 模式可减少开关周期并消除反向电感器电流造成的功率损耗，从而在轻负载条件下实现高效率。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS552892 可在 3.0V 至 36V 的宽输入电压和 0.8V 至 22V 的宽输出电压范围内运行。TPS552892 可根据输入电压和设置的输出电压在降压模式、降压/升压模式和升压模式之间平稳转换。当输入电压大于输出电压时，TPS552892 在降压模式下运行，而当输入电压小于输出电压时，则在升压模式下运行。当输入电压接近输出电压时，TPS552892 以一个周期降压和一个周期升压的模式交替运行。开关频率由外部电阻器设置。为了降低高功率条件下的开关功率损耗，建议将开关频率设置为 500kHz 以下。如果系统需要高于 500kHz 的开关频率，建议设置开关电流下限，以实现更好的热性能。

8.2 典型应用

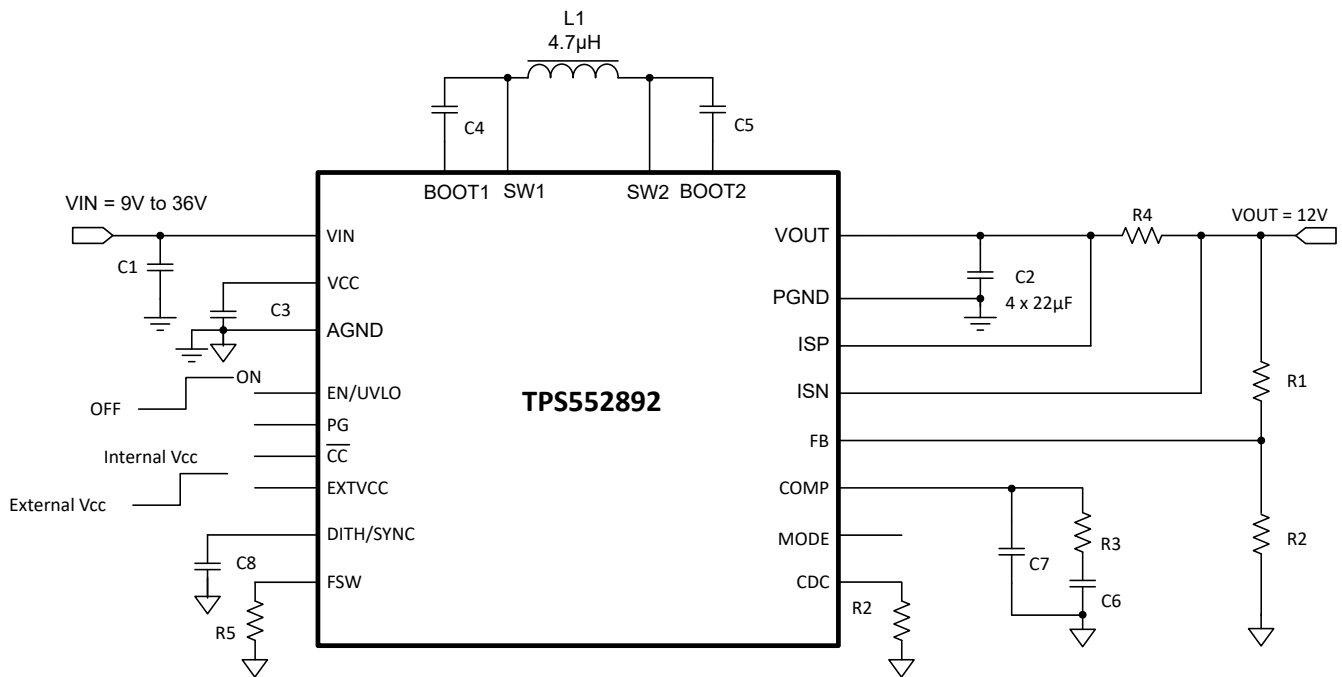


图 8-1. 具有 9V 至 36V 输入电压的 12V 电源

8.2.1 设计要求

表 8-1 中列出了设计参数：

表 8-1. 设计参数

参数	值
输入电压	9 V 至 36 V
输出电压	12V
输出电流限制	3A
输出电压纹波	±50mV
轻负载时的运行模式	FPWM

8.2.2 详细设计过程

8.2.2.1 开关频率

TPS552892 的开关频率由 FSW 引脚上的电阻器设置。可以使用 [方程式 3](#) 计算所需频率对应的电阻。对于这种高电流应用，要降低开关功率损耗，针对 400kHz 的开关频率选择了 1% 标准电阻器，阻值为 49.9kΩ。

8.2.2.2 输出电压设置

输出电压由外部电阻分压器 ([图 8-1](#) 电路图中的 R1、R2) 设置。对输出电压进行调节后，FB 引脚上的电压典型值为 V_{REF}。然后，通过 [方程式 8](#) 计算 R2 的值：

$$R2 = \frac{R1}{\left(\frac{V_{OUT}}{V_{REF}} - 1\right)} \quad (8)$$

8.2.2.3 电感器选型

由于电感器的选择会影响稳态运行、瞬态行为和环路稳定性，因此电感器是进行电源稳压器设计时最重要的组件。有三种重要的电感器规格：电感、饱和电流和直流电阻。

TPS552892 可与 1μH 至 10μH 的电感器配合使用。电感器的选择需考虑降压和升压运行模式。

对于降压模式，选择的电感器要将峰峰值电流纹波限制为最大输入电压下的最大电感器电流。[公式 9](#) 展示了 CCM 中电感与电感器纹波电流之间的关系。

$$L = \frac{(V_{IN(MAX)} - V_{OUT}) \times V_{OUT}}{\Delta I_{L(P-P)} \times f_{SW} \times V_{IN(MAX)}} \quad (9)$$

其中

- V_{IN(MAX)} 为最大输入电压
- V_{OUT} 是输出电压
- Δ I_{L(P-P)} 是电感器的峰峰值纹波电流
- f_{SW} 为开关频率

对于特定电感器，当 V_{OUT} 等于最大输入电压的一半时，电感器纹波电流会达到最大值。选择更大的电感会产生更小的电感器电流纹波，而选择更小的电感会产生更大的电感器电流纹波。

对于升压模式，选择的电感器要将峰峰值电流纹波限制为最大输出电压下的最大电感器电流。[公式 10](#) 展示了 CCM 中电感与电感器纹波电流之间的关系。

$$L = \frac{V_{IN} \times (V_{OUT(MAX)} - V_{IN})}{\Delta I_{L(P-P)} \times f_{SW} \times V_{OUT(MAX)}} \quad (10)$$

其中

- V_{IN} 是输入电压
- $V_{OUT(MAX)}$ 是最大输出电压
- $\Delta I_{L(P-P)}$ 是电感器的峰峰值纹波电流
- f_{SW} 为开关频率

对于特定电感器，当 V_{IN} 等于最大输出电压的一半时，电感器纹波电流可达到最大值。选择更大的电感会产生更小的电感器电流纹波，而选择更小的电感会产生更大的电感器电流纹波。

本应用示例选择了 $4.7 \mu H$ 的电感器，约可产生最大的电感器电流纹波，为降压模式下最高平均电感器电流的 50%，升压模式下最高平均电感器电流的 50%。

在降压模式下，电感器直流电流等于输出电流。在升压模式下，电感器直流电流可通过 [公式 11](#) 计算得出。

$$I_{L(DC)} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (11)$$

其中

- V_{OUT} 是输出电压
- I_{OUT} 是输出电流
- V_{IN} 是输入电压
- η 是电源转换效率

对于降压/升压转换器 TPS552892 的给定最大输出电流，在最小输入电压和最大输出电压下可达到最大电感器直流电流。将 TPS552892 的电感器电流限制设置为高于计算得出的最大电感器直流电流，可确保 TPS552892 能够提供所需的输出电流。

在升压模式下，电感器纹波电流由 [公式 12](#) 计算得出。

$$\Delta I_{L(P-P)} = \frac{V_{IN} \times (V_{OUT} - V_{IN})}{L \times f_{SW} \times V_{OUT}} \quad (12)$$

其中

- $\Delta I_{L(P-P)}$ 是电感器纹波电流
- L 是电感器值
- f_{SW} 为开关频率
- V_{OUT} 是输出电压
- V_{IN} 是输入电压

因此，电感器峰值电流通过 [公式 13](#) 计算。

$$I_{L(P)} = I_{L(DC)} + \frac{\Delta I_{L(P-P)}}{2} \quad (13)$$

正常情况下，建议使用的电感器峰峰值电流应小于电感器平均电流的 40%，以获得最大输出电流。电感值较大的电感器会产生较小的纹波，可降低电感器中的磁滞损耗和 EMI，但同时负载瞬态响应时间也会增加。所选电感器的饱和电流必须高于计算出的峰值电流。

转换效率取决于所选电感器电流路径的电阻，与开关 MOSFET 相关的开关损耗和电感器内芯损耗。因此，整体效率受电感器直流电阻 (DCR)、开关频率下的等效串联电阻 (ESR) 和内芯损耗的影响。[表 8-2](#) 列出了为 TPS552892 推荐的电感器。在本应用示例中，选择了 Coilcraft 电感器 XAL7070-472，因为它具有小尺寸、高饱和电流和低 DCR。

表 8-2. 建议的电感器

器件型号	L (μH)	DCR (最大值) (mΩ)	饱和电流/额定热电流 (A)	尺寸 (L x W x H mm)	供应商 ⁽¹⁾
XAL7070-472ME	4.7	14.3	15.2/10.5	7.5 × 7.2 × 7.0	Coilcraft
VCHA085D-4R7MS6	4.7	15.6	16.0/8.8	8.7 × 8.2 × 5.2	Cyntec (乾坤科技)
IHLP4040DZER4R7M01	4.7	16.5	17/9.5	10.2 × 10.2 × 4.0	Vishay

(1) 请参阅 [第三方产品](#) 免责声明。

8.2.2.4 输入电容器

在降压模式下，输入电容器可提供高纹波电流。输入电容器中的 RMS 电流根据 [公式 14](#) 计算。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times V_{IN}}} \quad (14)$$

其中

- $I_{CIN(RMS)}$ 是流经输入电容器的 RMS 电流
- I_{OUT} 是输出电流

输出电压为输入电压的一半时可产生最大 RMS 电流，即 $I_{CIN(RMS)} = I_{OUT}/2$ 。建议使用陶瓷电容器，以提供低 ESR 和高纹波电流。总计 20μF 的有效电容对于此应用是个良好的起点。添加一个 0.1 μF/0402 封装的陶瓷电容器，将其放置在靠近 VIN 引脚和 GND 引脚的位置，可抑制高频噪声。

8.2.2.5 输出电容器

在升压模式下，输出电容器会出现高纹波电流。输出电容器 RMS 纹波电流由 [公式 15](#) 得出，其中最小输入电压和最大输出电压对应于最大电容器电流。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \quad (15)$$

其中

- $I_{COUT(RMS)}$ 是流经输出电容器的 RMS 电流
- I_{OUT} 是输出电流

在此示例中，最大输出纹波 RMS 电流为 1.7A。

在升压模式下，输出电容器的 ESR 会导致输出电压纹波，可由 [公式 16](#) 计算得出。

$$V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN}} \times R_{COUT} \quad (16)$$

其中

- R_{COUT} 是输入电容的 ESR

在升压模式下，该电容还会导致电容输出电压纹波，可由 [公式 17](#) 计算得出。当输入电压达到最小值、输出电压达到最大值时，电容会产生最大的输出电压纹波。

$$V_{RIPPLE(CAP)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \quad (17)$$

通常，需要结合使用陶瓷电容器和大容量电解电容器，来提供低 ESR、高纹波电流和低输出电压纹波。根据所需的输出电压纹波，使用公式 16 和公式 17 计算 C_{OUT} 所需的最小有效电容。

添加一个 0.1 μF/0402 封装的陶瓷电容器，将其放置在靠近 V_{OUT} 引脚和 GND 引脚的位置，可抑制高频噪声。

8.2.2.6 输出电流限制

在 ISP 和 ISN 引脚之间放置一个电流检测电阻器，可实现输出电流限制。ISP 和 ISN 引脚之间的限制电压值为 50mV。在 ISP 和 ISN 引脚之间选择的电流检测电阻，应确保对于输出而言输出电流限制设置得足够高。输出电流限制设置电阻由公式 18 计算得出。

$$R_{SNS} = \frac{V_{SNS}}{I_{OUT_LIMIT}} \quad (18)$$

其中

- V_{SNS} 是 ISP 和 ISN 引脚之间的电流限制设置电压
- I_{OUT_LIMIT} 是所需的输出电流限制

由于功率耗散较大，请确保电流检测电阻采用较大的封装，具有足够的功率耗散能力。

8.2.2.7 环路稳定性

TPS552892 采用平均电流控制方案。内部电流环路使用内部补偿，要求电感值必须大于 1.2/f_{sw}。外部电压环路需要外部补偿。COMP 引脚是内部电压误差放大器的输出。一个由电阻器和陶瓷电容器组成的外部补偿网络连接至 COMP 引脚。

TPS552892 以降压模式或升压模式运行。因此，降压和升压运行模式都需要环路补偿。从环路稳定性的角度来看，两种补偿中限制性较高的应被选为整体补偿。通常，对于设计为在降压模式或升压模式下运行的转换器，由于存在右半平面零点 (RHPZ)，升压模式补偿设计具有更严格的限制。

升压模式下的功率级可通过公式 19 建模。

$$G_{PS}(s) = \frac{R_{LOAD} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{ESRZ}}\right) \times \left(1 - \frac{s}{2\pi \times f_{RHPZ}}\right)}{1 + \frac{s}{2\pi \times f_p}} \quad (19)$$

其中

- R_{LOAD} 是输出负载电阻
- D 是升压模式下的开关占空比
- R_{SENSE} 是等效的内部电流检测电阻，为 0.055Ω

功率级有两个零点和一个极点，由输出电容器和负载电阻生成。使用方程式 20 到公式 22 来计算这些值。

$$f_p = \frac{2}{2\pi \times R_{LOAD} \times C_{OUT}} \quad (20)$$

$$f_{ESRZ} = \frac{1}{2\pi \times R_{COUT} \times C_{OUT}} \quad (21)$$

$$f_{RHPZ} = \frac{R_{LOAD} \times (1-D)^2}{2\pi \times L} \quad (22)$$

内部跨导放大器与 COMP 引脚上的补偿网络构成了环路的控制部分。控制部分的传递函数如公式 23 所示。

$$G_C(s) = \frac{G_{EA} \times R_{EA} \times V_{REF}}{V_{OUT}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{COMZ}}\right)}{\left(1 + \frac{s}{2\pi \times f_{COMP1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{COMP2}}\right)} \quad (23)$$

其中

- G_{EA} 是误差放大器的跨导
- R_{EA} 是误差放大器的输出电阻
- V_{REF} 是误差放大器的基准电压输入
- V_{OUT} 是输出电压
- f_{COMP1} 和 f_{COMP2} 是补偿网络极点的频率
- f_{COMZ} 是补偿网络零点的频率

开环总增益是 $G_{PS}(s)$ 和 $G_C(s)$ 的乘积。下一步是选择环路交叉频率 f_C ，在该频率下开环总增益为 1，即 0dB。环路增益在交叉之前保持在 0dB 以上的频率越高，环路响应越快。通常，环路增益在 0dB 交叉时的频率不高于开关频率 f_{SW} 的 1/10 或 RHPZ 频率 f_{RHPZ} 的 1/5 (以较低者为准)。

然后根据公式 24 到公式 26 设置 R_C 、 C_C 和 C_P 的值。

$$R_C = \frac{2\pi \times V_{OUT} \times R_{SENSE} \times C_{OUT} \times f_C}{(1-D) \times V_{REF} \times G_{EA}} \quad (24)$$

其中

- f_C 是所选的交叉频率

$$C_C = \frac{R_{LOAD} \times C_{OUT}}{2 \times R_C} \quad (25)$$

$$C_P = \frac{R_{COUT} \times C_{OUT}}{R_C} \quad (26)$$

如果计算得出的 C_P 小于 10pF，则可以将其保持开路状态。

设计大于 45° 相位裕度和大于 10dB 增益裕度的环路，可消除线路和负载瞬态期间的输出电压振铃。

8.2.3 应用曲线

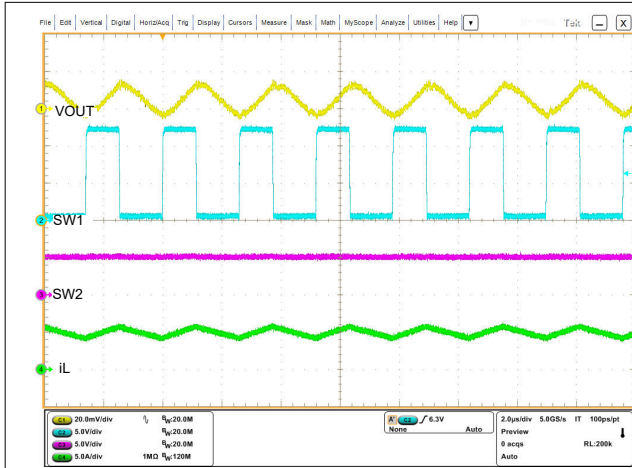


图 8-2. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_O = 5A$ 时的开关波形，FPWM

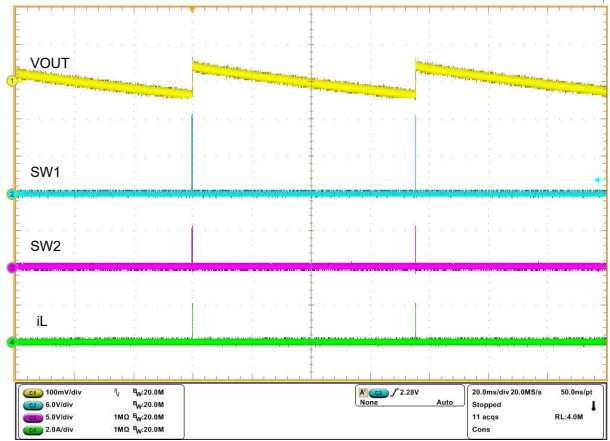


图 8-3. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_O = 0A$ 时的开关波形，PFM

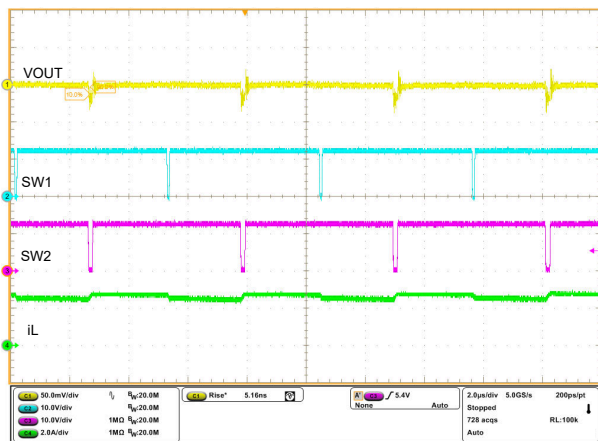


图 8-4. $V_{IN} = 12V$ 、 $V_{OUT} = 12V$ 、 $I_O = 3A$ 时的开关波形，FPWM

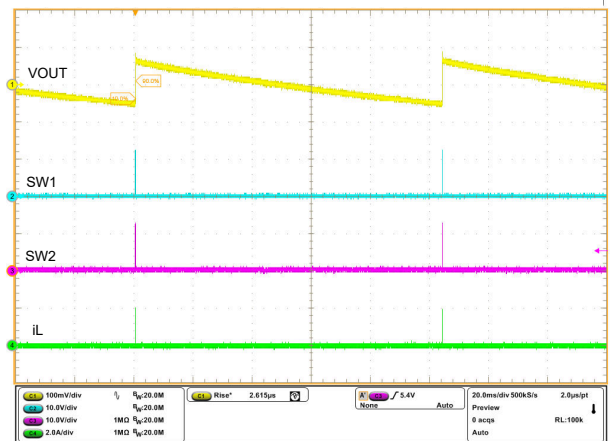


图 8-5. $V_{IN} = 12V$ 、 $V_{OUT} = 12V$ 、 $I_O = 0A$ 时的开关波形，PFM

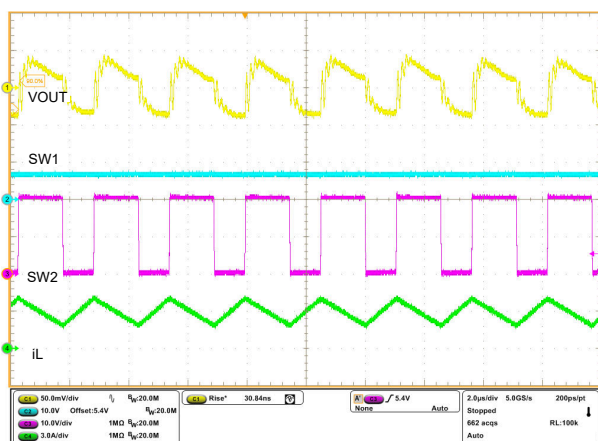


图 8-6. $V_{IN} = 12V$ 、 $V_{OUT} = 20V$ 、 $I_O = 2A$ 时的开关波形，FPWM

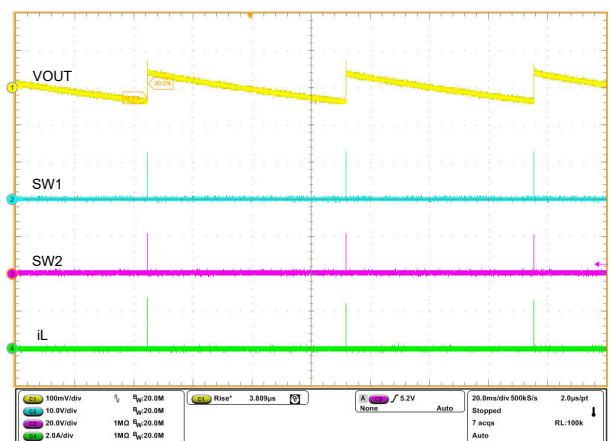


图 8-7. $V_{IN} = 12V$ 、 $V_{OUT} = 20V$ 、 $I_O = 0A$ 时的开关波形，PFM

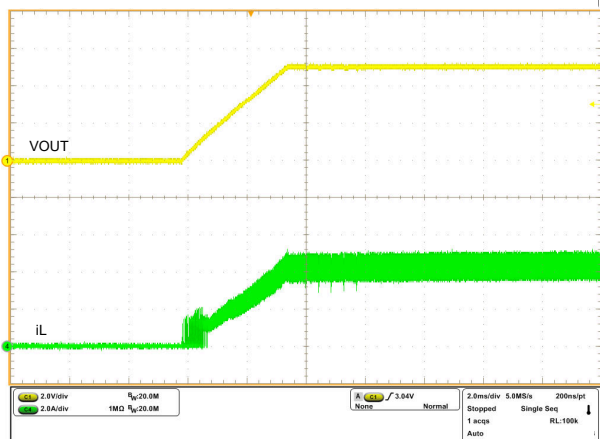


图 8-8. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $R_{LOAD} = 1.2\Omega$ 时的启动波形, FPWM

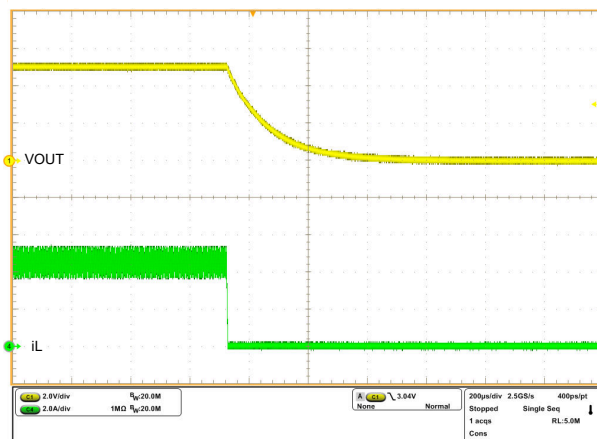


图 8-9. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $R_{LOAD} = 1.2\Omega$ 时的关断波形, FPWM

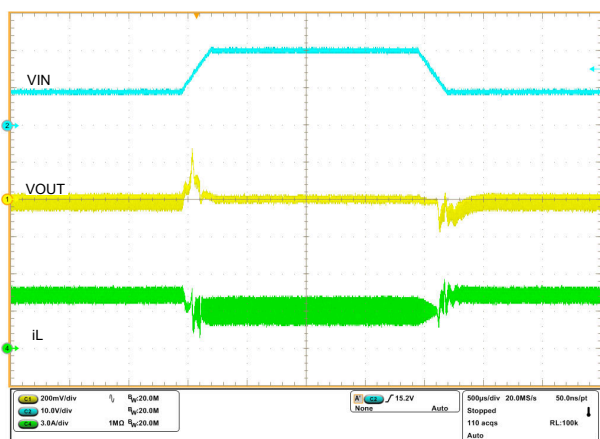


图 8-10. $V_{IN} = 9V$ 至 $20V$ 、 $V_{OUT} = 12V$ 、 $I_O = 3A$ ， $200\mu s$ 压摆率时的线路瞬态波形，FPWM

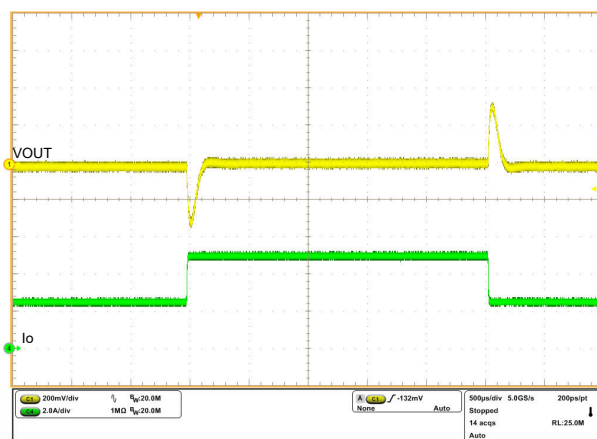


图 8-11. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $I_O = 2.5A$ 至 $5A$ ， $20\mu s$ 压摆率时的负载瞬态波形，FPWM

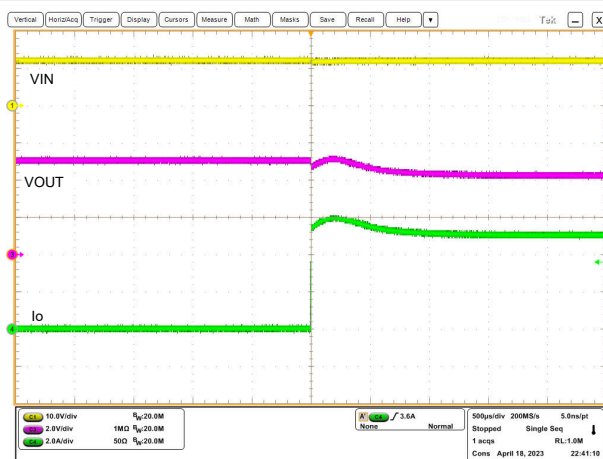


图 8-12. $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $R_{LOAD} = 0.8\Omega$ 、 $R_{SNS} = 10m\Omega$ 时的输出电流波形, FPWM

8.3 电源相关建议

该器件可在 3.0V 至 36V 的输入电源电压范围内工作。该输入电源必须经过良好调节。如果输入电源距离转换器超过几英寸，那么除了陶瓷旁路电容器之外，还需要额外的大容量电容。通常，选择容值为 100 μ F 的铝电解电容器。

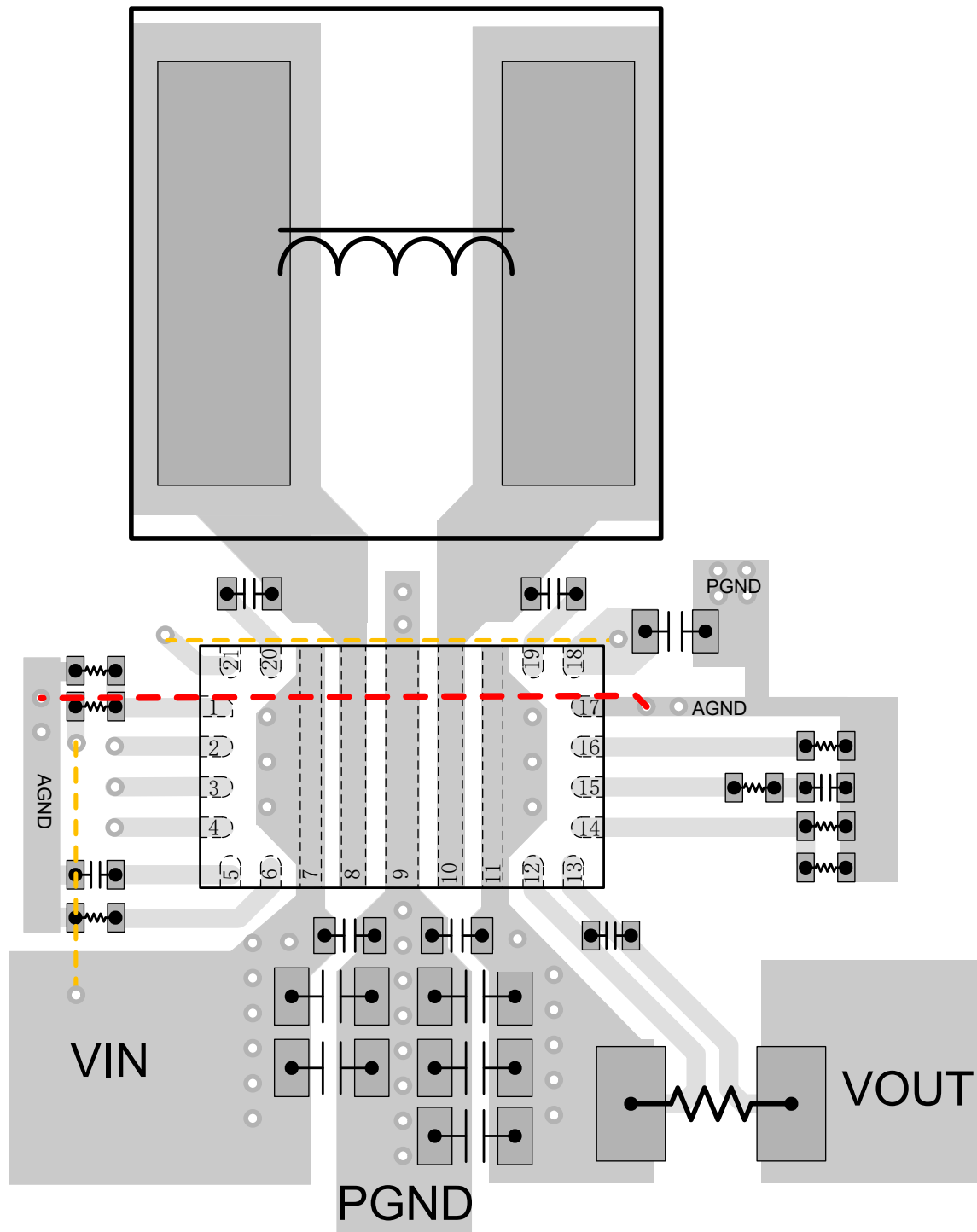
8.4 布局

8.4.1 布局指南

对于所有开关电源，尤其是以高开关频率和高电流运行的开关电源，布局设计是一个重要的设计步骤。如果未仔细布局，稳压器可能会出现不稳定和噪声问题。

1. 将 0.1 μ F 小型封装 (0402) 陶瓷电容器放置在 VIN/VOUT 引脚附近，可更大限度地减少高频电流环路，从而改善高频噪声 (EMI) 辐射，提升效率。
2. 在 PGND 引脚附近使用多个 GND 过孔将 PGND 连接到内部接地层，也可提高热性能。
3. 应尽量减小 SW1 和 SW2 环路区域，因为它们是高 dv/dt 节点。在开关稳压器下方使用接地层，可更大限度地减少层间耦合。
4. 电流检测信号 ISP 和 ISN 与 RSENSE 之间采用开尔文连接，从 RSENSE 端子到 IC 引脚之间平行布线。将电流检测信号的滤波电容器尽可能靠近 IC 引脚放置。
5. 将 BOOT1 自举电容器靠近 IC 放置，并直接连接到 BOOT1 与 SW1 引脚。将 BOOT2 自举电容器靠近 IC 放置，并直接连接到 BOOT2 与 SW2 引脚。
6. 将 VCC 电容器靠近 IC 放置，使用宽而短的迹线。VCC 电容器的 GND 端子通过三到四个过孔直接连接到 PGND 平面。
7. 将电源接地与模拟接地隔离。PGND 平面和 AGND 平面在 VCC 电容器的端子上连接。因此，由 MOSFET 驱动器和寄生电感引起的噪声不会影响到 AGND 和内部控制电路。
8. 补偿元件应尽量靠近 COMP 引脚放置。将补偿元件、反馈元件和其他敏感模拟电路远离电源元件、开关节点 SW1 和 SW2 以及高电流布线，防止噪声耦合到模拟信号中。
9. 为了提高热性能，建议在 TPS552892 下方使用散热过孔，将 VIN 引脚连接到较大的 VIN 区域，将 VOUT 引脚连接到较大的 VOUT 区域。

8.4.2 布局示例



----- trace on bottom layer

----- AGND plane on an inner layer

The first inner layer is the PGND plane

图 8-13. 布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

9.4 商标

HotRod™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

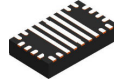
ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

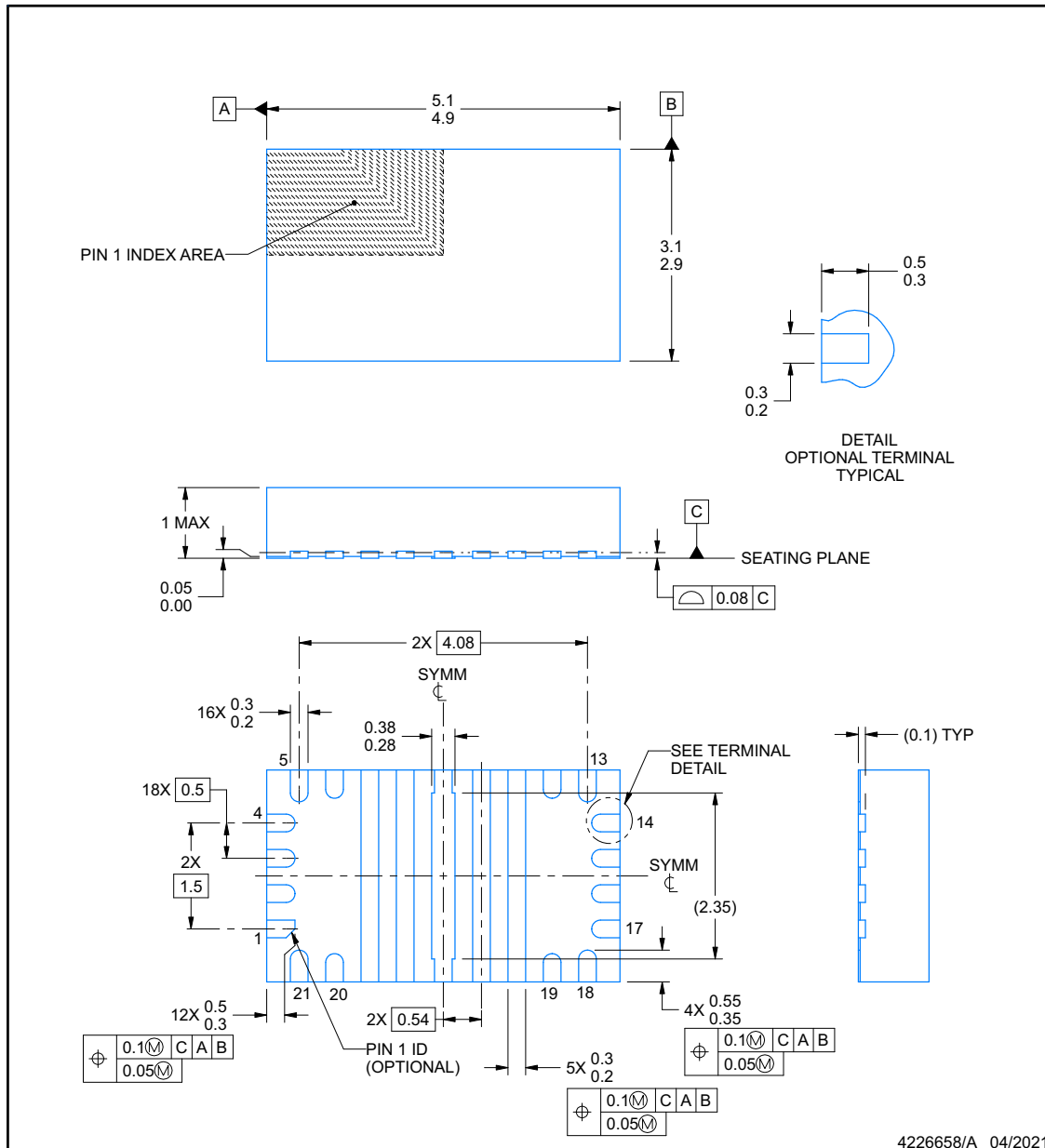
[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**RYQ0021A**
PACKAGE OUTLINE
VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

**NOTES:**

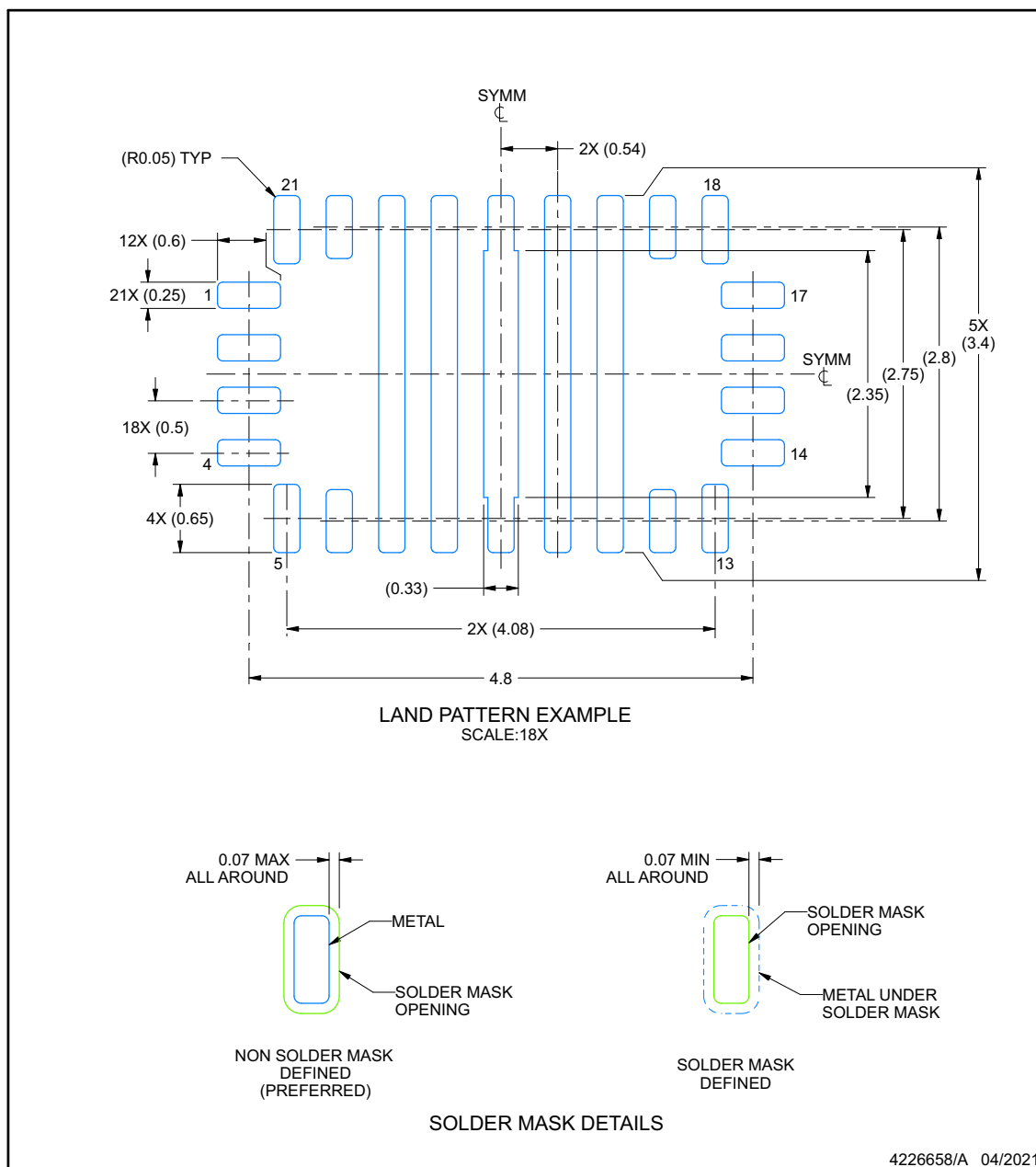
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RYQ0021A

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4226658/A 04/2021

NOTES: (continued)

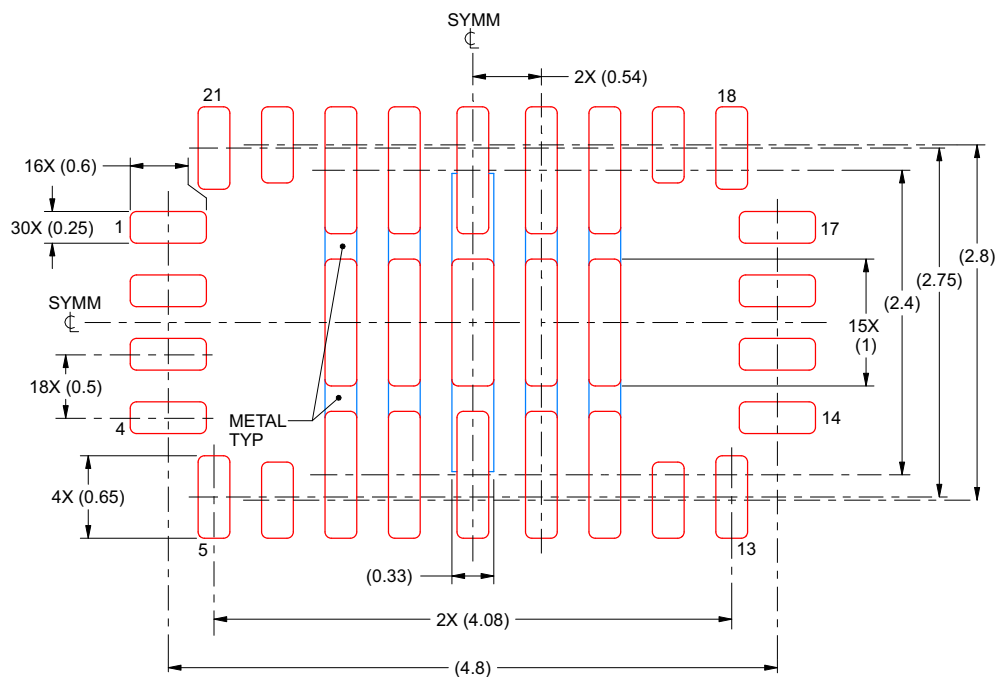
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RYQ0021A

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
 PIN 7,8, 10 & 11 SOLDER COVERAGE = 88%
 PIN 9 SOLDER COVERAGE = 64%
 SCALE:20X

4226658/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS552892RYQR	ACTIVE	VQFN-HR	RYQ	21	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	S52892	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS552892 :

- Automotive : [TPS552892-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

GENERIC PACKAGE VIEW

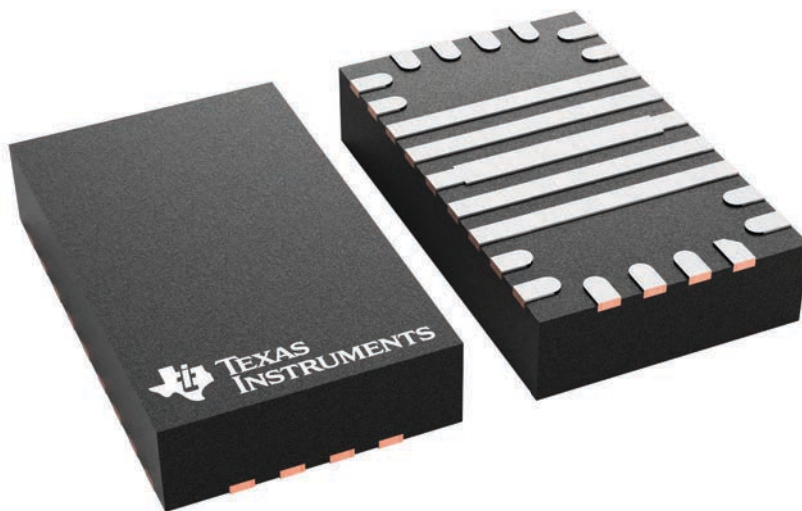
RYQ 21

VQFN - 1 mm max height

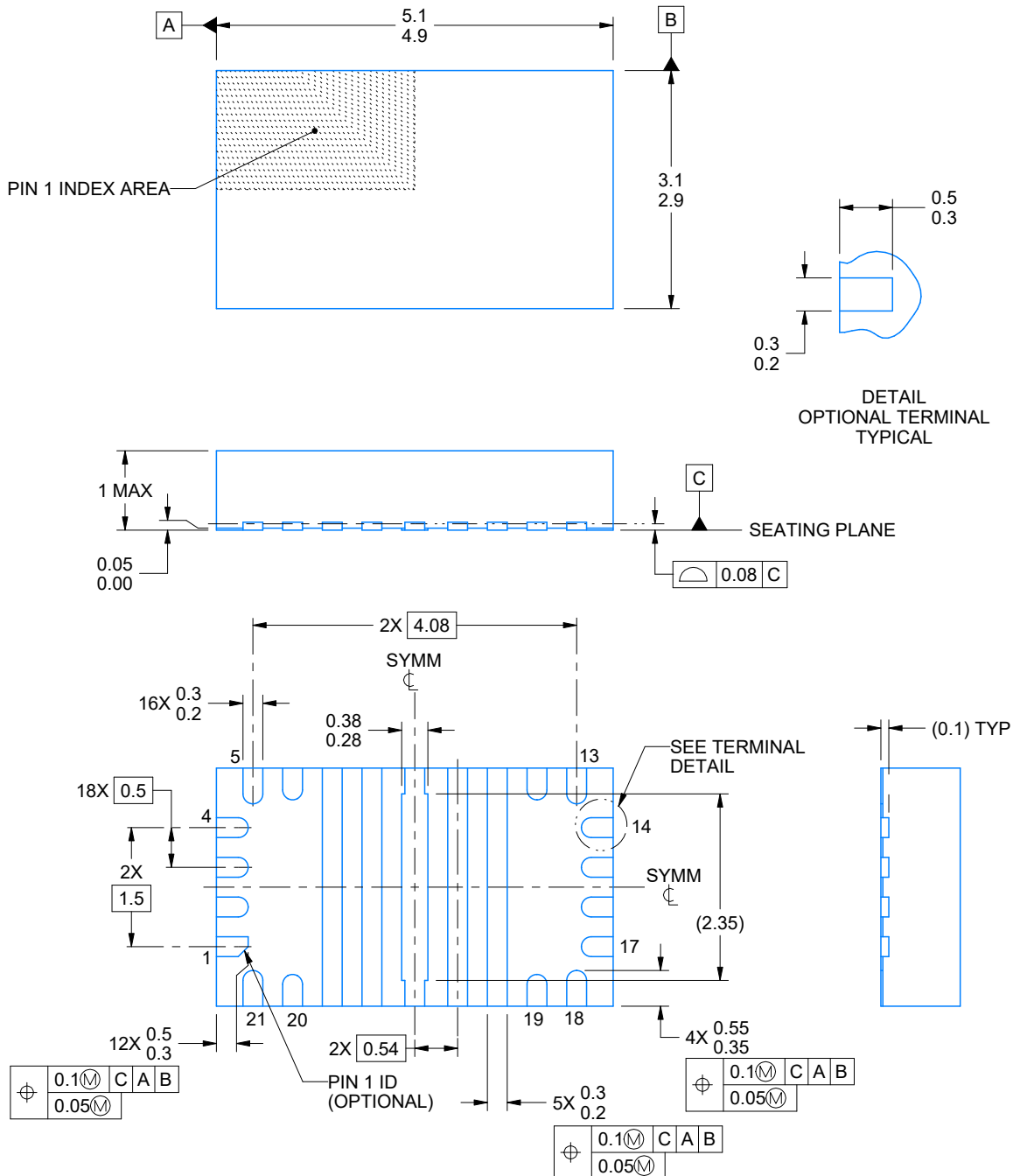
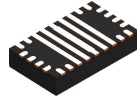
5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4228970/A



4226658/A 04/2021

NOTES:

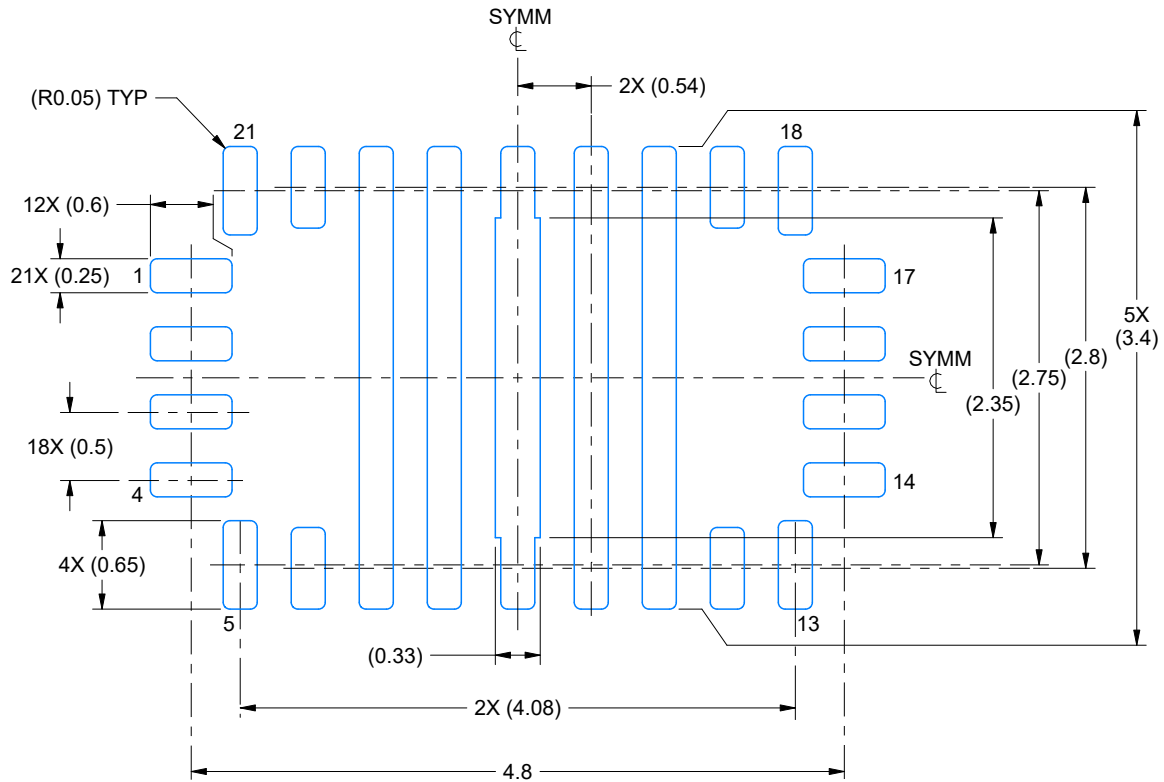
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

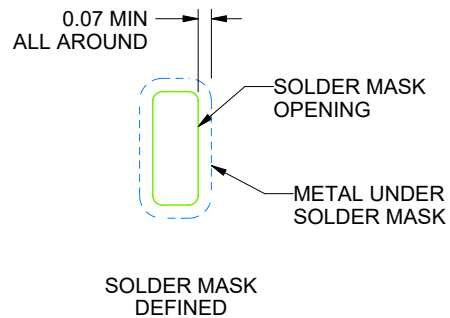
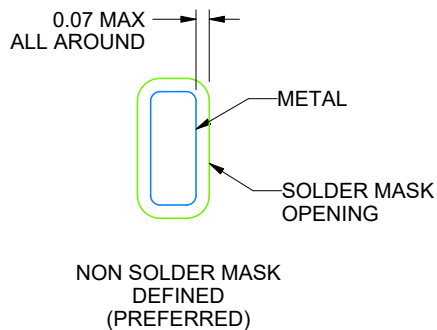
RYQ0021A

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:18X



SOLDER MASK DETAILS

4226658/A 04/2021

NOTES: (continued)

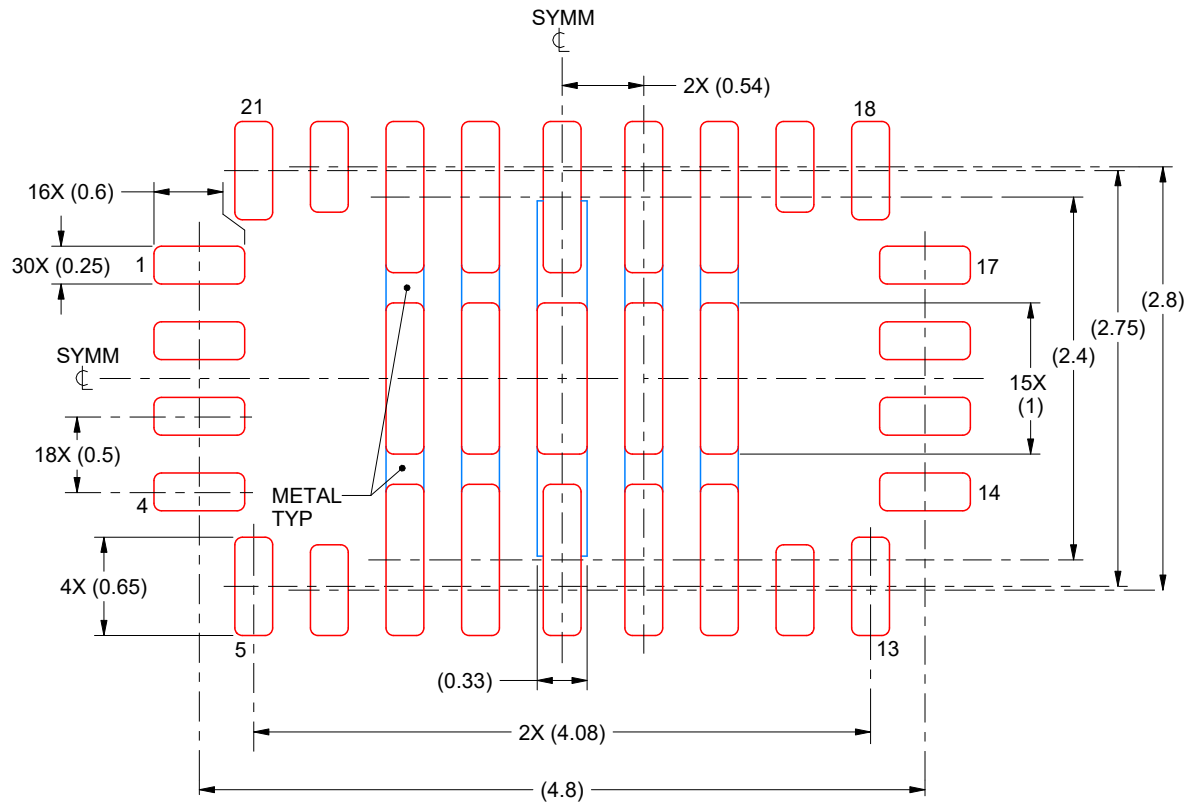
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RYQ0021A

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

PIN 7, 8, 10 & 11 SOLDER COVERAGE = 88%
PIN 9 SOLDER COVERAGE = 64%
SCALE:20X

4226658/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司