

SN74AC16 具有施密特触发输入和漏极开路输出的 六路反相器

1 特性

- 1.5V 至 6V 的宽工作电压范围
- 电压为 5V 时，为 24mA 的连续输出驱动
- 电压为 5V 时，支持高达 75mA 的输出驱动（短时突发）
- 所有输入和输出均包括正负钳位二极管
- 输出钳位二极管为驱动电感负载（例如继电器）提供保护
- 电压为 5V 且负载为 50pF 时的最大 t_{pd} 为 7.7ns

2 应用

- [控制指示灯 LED](#)
- 驱动低压继电器线圈
- 具有漏极开路输出的“线或”

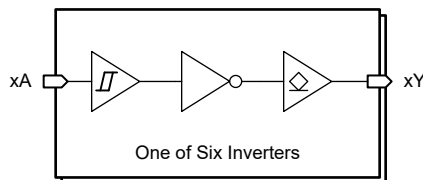
3 说明

SN74AC16 包含六个具有施密特触发输入和漏极开路输出的独立反相器。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74AC16	PW (TSSOP , 16)	6.4mm × 5mm	4.4mm × 5mm
	BQA (WQFN , 16)	3mm × 2.5mm	3mm × 2.5mm

- (1) 有关更多信息，请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）
 (3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）



内容

1 特性	1	7.4 器件功能模式	10
2 应用	1	8 应用和实施	11
3 说明	1	8.1 应用信息.....	11
4 引脚配置和功能	3	8.2 典型应用.....	11
5 规格	4	8.3 电源相关建议.....	14
5.1 绝对最大额定值.....	4	8.4 布局.....	14
5.2 ESD 等级.....	4	9 器件和文档支持	15
5.3 建议运行条件.....	4	9.1 接收文档更新通知.....	15
5.4 热性能信息.....	5	9.2 支持资源.....	15
5.5 电气特性.....	5	9.3 商标.....	15
5.6 开关特性.....	6	9.4 静电放电警告.....	15
5.7 典型特性.....	6	9.5 术语表.....	15
6 参数测量信息	8	10 修订历史记录	15
7 详细说明	9	11 机械、封装和可订购信息	15
7.1 概述.....	9	11.1 卷带包装信息.....	16
7.2 功能方框图.....	9	11.2 机械数据.....	18
7.3 特性说明.....	9		

4 引脚配置和功能

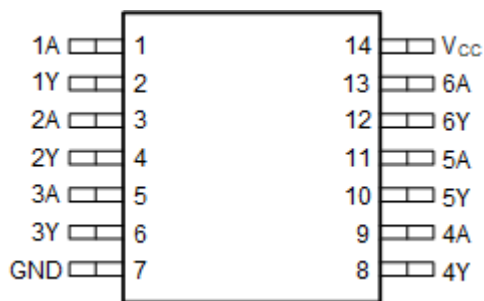


图 4-1. SN74AC16 PW 封装，14 引脚 TSSOP (顶视图)

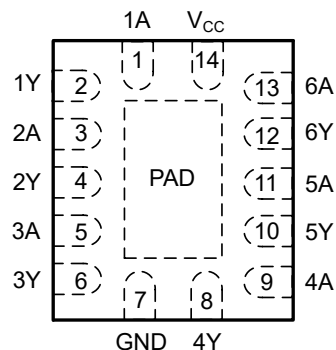


图 4-2. BQA 封装，14 引脚 WQFN (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1A	1	I	通道 1 输入
1Y	2	O	通道 1 输出
2A	3	I	通道 2 输入
2Y	4	O	通道 2 输出
3A	5	I	通道 3 输入
3Y	6	O	通道 3 输出
GND	7	G	接地
4Y	8	O	通道 4 输出
4A	9	I	通道 4 输入
5Y	10	O	通道 5 输出
5A	11	I	通道 5 输入
6Y	12	O	通道 6 输出
6A	13	I	通道 6 输入
V _{CC}	14	P	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出，P = 电源，G = 接地

(2) 仅限 BQA 封装。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围 ⁽²⁾		-0.5	$V_{CC} + 0.5V$	V
V_O	输出电压范围 ⁽²⁾		-0.5	$V_{CC} + 0.5V$	V
I_{IK}	输入钳位电流	$V_I < -0.5V$ 或 $V_I > V_{CC} + 0.5V$		± 20	mA
I_{OK}	输出钳位电流	$V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$		± 50	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		50	mA
	通过 V_{CC} 或 GND 的持续输出电流			± 200	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V_{CC}	电源电压	电源电压	1.5	6	V
V_I	输入电压	输入电压	0	V_{CC}	V
V_O	输出电压	输出电压	0	V_{CC}	V
I_{OL}	低电平输出电流	$V_{CC} = 1.8V$		1	mA
		$V_{CC} = 2.5V$		2	mA
		$V_{CC} = 3V$		12	mA
		$V_{CC} = 4.5V$ 至 $5.5V$		24	mA
T_A	自然通风条件下的工作温度范围	自然通风条件下的工作温度范围	-40	125	°C

5.4 热性能信息

封装	引脚	热性能指标 ⁽¹⁾						单位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
PW (TSSOP)	14	148	81.1	104.5	22.2	103.0	不适用	°C/W
BQB (WQFN)	14	93.4	96.4	62.8	12.5	62.5	39.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V _{T+}	正向输入阈值电压	1.5V	0.61	0.89	1.17	V
		1.8V	0.72	1.03	1.33	
		2.5V	0.8	1.29	1.61	
		3V	0.8	1.8	2.2	
		4.5V	1.5	2.6	3.2	
		5V	1.5		3.55	
		5.5V	1.6	3.2	3.9	
V _{T-}	负向输入阈值电压	1.5V	0.26	0.48	0.7	V
		1.8V	0.37	0.54	0.70	
		2.5V	0.5	0.7	0.84	
		3V	0.5	0.8	1.2	
		4.5V	0.9	1.4	1.8	
		5V	1.0		2.05	
		5.5V	1.1	1.8	2.3	
ΔV _T	迟滞 (V _{T+} - V _{T-})	1.5V	0.11	0.41	0.83	V
		1.8V	0.28	0.49	0.83	
		2.5V	0.3	0.60	0.83	
		3V	0.3	1	1.2	
		4.5V	0.4	1.2	1.4	
		5V	0.5			
		5.5V	0.5	1.4	1.6	
V _{OL}	I _{OL} = 50μA	1.5V			0.1	V
		1.8V			0.1	
		2.5V			0.1	
		3V		0.002	0.1	
		4.5V		0.001	0.1	
		5.5V		0.001	0.1	
	I _{OL} = 1mA	1.8V			0.36	
	I _{OL} = 2mA	2.5V			0.5	
	I _{OL} = 4mA	3V			0.5	
	I _{OL} = 12mA	3V			0.5	
	I _{OL} = 24mA	4.5V			0.5	
	I _{OL} = 24mA	5.5V			0.5	
	I _{OL} = 75mA	5.5V			1.65	
	I _{OL} = 50mA	5.5V			1.65	

5.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	V _{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
I _I	V _I = 5.5V 或 GND	0V 至 5.5V			±1	μA
I _{OZ}	V _O = 5.5V 或 GND	0V 至 5.5V			±5	μA
I _{CC}	V _I = V _{CC} 或 GND , I _O = 0	5.5V			20	μA
C _I	V _I = V _{CC} 或 GND	5V		9		pF
C _O	V _O = V _{CC} 或 GND	5V		15		pF
C _{PD}	C _L = 50pF , F = 1MHz	5V		60		pF

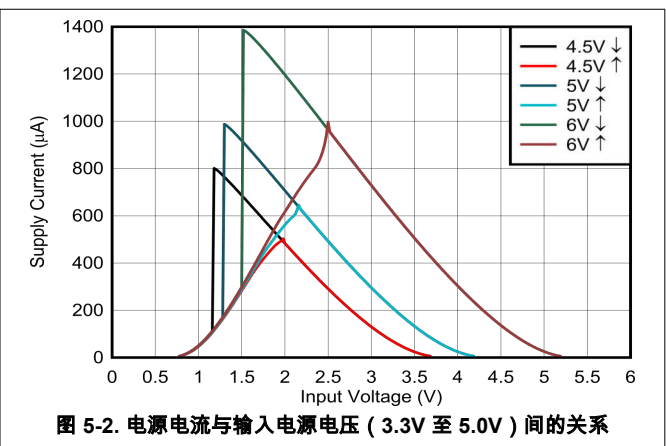
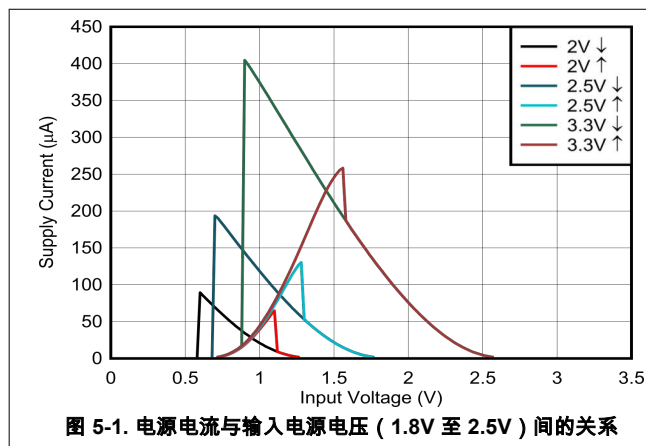
5.6 开关特性

C_L = 50pF ; 在自然通风条件下的工作温度范围内 ; 典型值在 T_A = 25°C 时测得 (除非另有说明) 。请参阅参数测量信息。

参数	从 (输入)	至 (输出)	V _{CC}	-40°C 至 125°C			单位
				最小值	典型值	最大值	
t _{PLZ}	A	Y	1.5V			27.2	ns
			1.8V			17.7	ns
			2.5V			8.2	ns
			3.3V			6.3	ns
			5V			4.5	ns
t _{PZL}	A	Y	1.5V			30.9	ns
			1.8V			20.2	ns
			2.5V			13.4	ns
			3.3V			11	ns
			5V			7.7	ns

5.7 典型特性

T_A = 25°C (除非另有说明)



5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

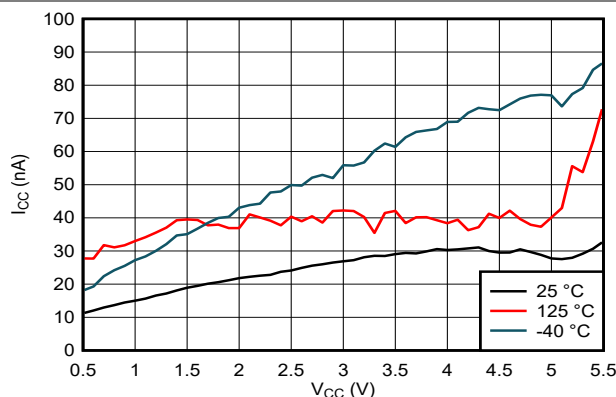


图 5-3. 电源电压两端的电源电流

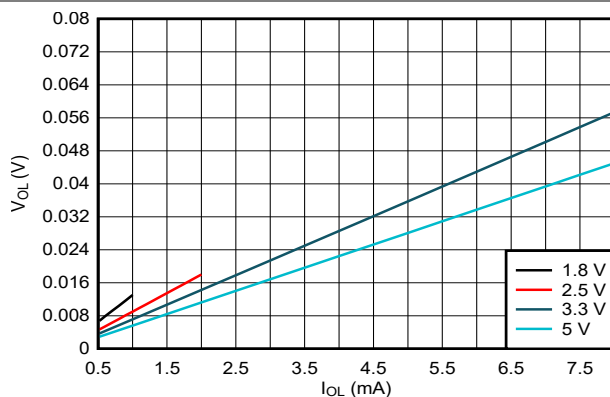


图 5-4. 低电平状态下输出电压与电流间的关系

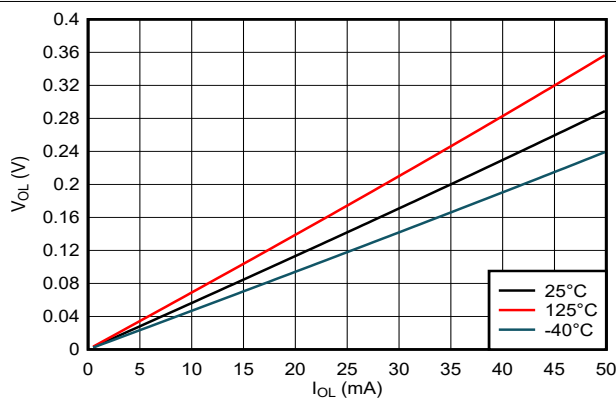


图 5-5. 低电平状态下输出电压与电流间的关系 (5V 电源)

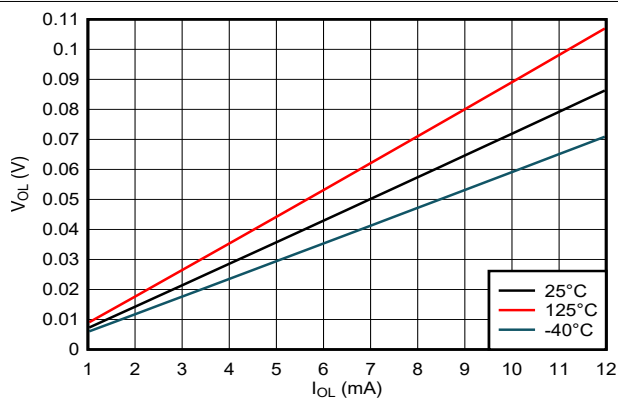


图 5-6. 低电平状态下输出电压与电流间的关系 (3.3V 电源)

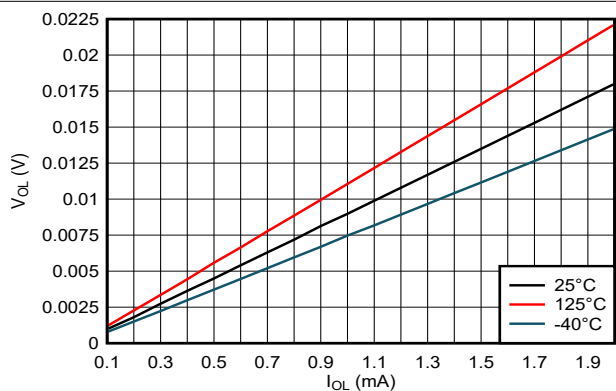


图 5-7. 低电平状态下输出电压与电流间的关系 (2.5V 电源)

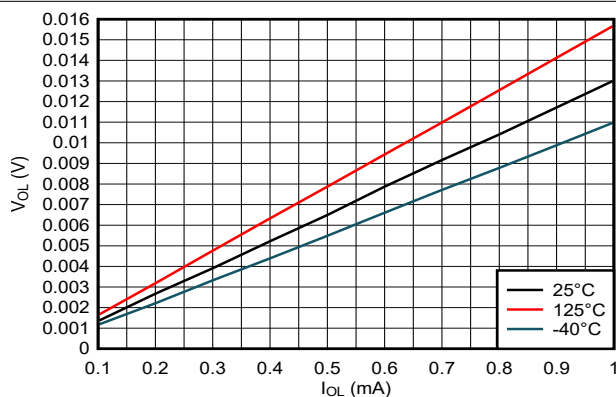


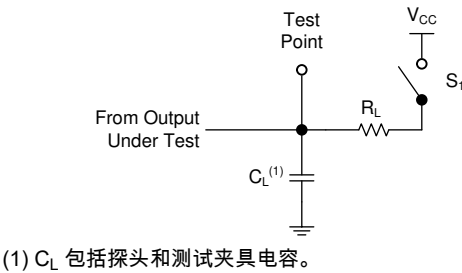
图 5-8. 低电平状态下输出电压与电流间的关系 (1.8V 电源)

6 参数测量信息

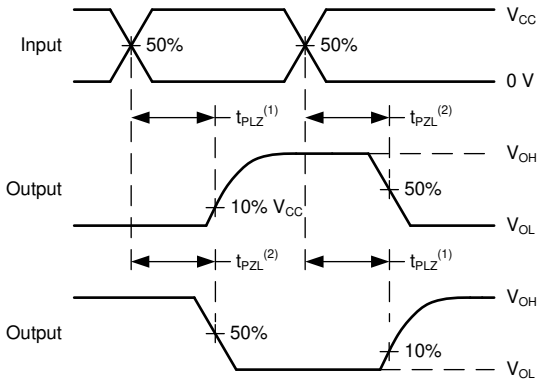
对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
 $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_t < 2.5$ 。

输出单独测量，每次测量一个输入转换。

测试	S1	R_L	C_L	ΔV	V_{CC}
t_{PLZ} 、 t_{PZL}	闭合	1k Ω	50 pF	0.15V	$\leq 2.5\text{V}$
t_{PLZ} 、 t_{PZL}	闭合	1k Ω	50 pF	0.3V	$> 2.5\text{V}$



(1) C_L 包括探头和测试夹具电容。
图 6-1. 开漏输出的负载电路



- (1) t_{PLZ} 与 t_{dis} 相同。
(2) t_{PZL} 与 t_{en} 相同。

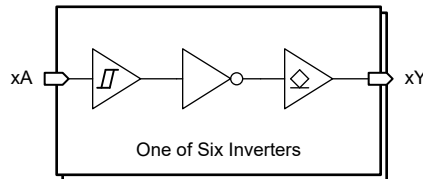
图 6-2. 电压波形传播延迟

7 详细说明

7.1 概述

SN74AC16 六路反相器提供逻辑函数 $Y = \overline{A}$ 。

7.2 功能方框图



逻辑图 (正逻辑)

7.3 特性说明

7.3.1 开漏 CMOS 输出

该器件包括开漏 CMOS 输出。开漏输出仅能将输出驱动为低电平。当处于逻辑高电平状态时，开漏输出将处于高阻态。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉电阻可以连接到输出端，以便当输出端处于高阻态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的开漏 CMOS 输出应保持断开状态。

7.3.2 CMOS 施密特触发输入

此器件包括具有施密特触发架构的输入。这些输入为高阻抗，通常建模为从输入到接地的电阻器并与输入电容并联，如 *电气特性* 表中所示。最坏情况下的电阻是根据 *绝对最大额定值* 表中给出的最大输入电压和 *电气特性* 表中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

施密特触发输入架构可提供由 *电气特性* 表中的 ΔV_T 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的更多信息，请参阅 [了解施密特触发](#)。

7.3.3 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-1 所示。

小心

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

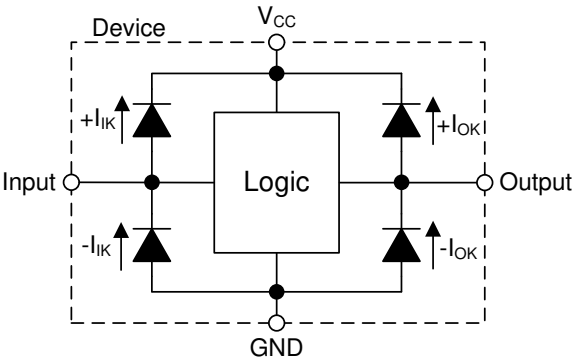


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1 列出了 SN74AC16 的功能模式。

表 7-1. 功能表

输入 ⁽¹⁾	输出
A	Y
L	Z
H	L

(1) H = 高电压电平，L = 低电压电平

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

在此应用中，开漏反相器用于驱动低压继电器线圈，如图 8-1 所示。SN74AC16 的高驱动强度允许直接驱动继电器线圈。当器件的开漏输出设置为高阻抗模式时，线圈电流无法像输出那样快速变为零，因此输出正向钳位二极管为该电流提供了一个安全路径，直至其耗散。图 8-2 中绘制了典型的线圈电流和二极管电流，显示了在驱动电感负载时二极管的正常电流行为。

8.2 典型应用

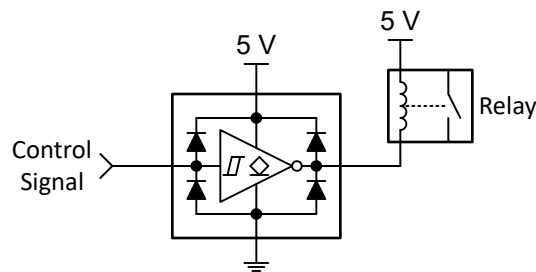


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SN74AC16 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74AC16 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74AC16 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{t(min)}$ 才能被视为逻辑低电平，超过 $V_{t(max)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74AC16 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10k Ω 的电阻值。

SN74AC16 由于具有施密特触发输入，因而没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参考 *电气特性* 中的 $\Delta V_{T(min)}$ 。此迟滞值将提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 V_{CC} 或地电平以外的值所导致的典型附加电流绘制在 *典型特性* 中。

有关此器件输入的其他信息，请参阅 *特性说明* 部分。

8.2.1.3 输出注意事项

接地电压用于产生输出低电平电压。根据 *电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

开漏输出可以直接连接在一起，以产生线与配置或获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅 *特性描述* 部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 $\leq 50\text{pF}$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74AC16 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$ 。这可防止超出 *绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 M Ω 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 [CMOS 功耗与 Cpd 计算](#) 中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

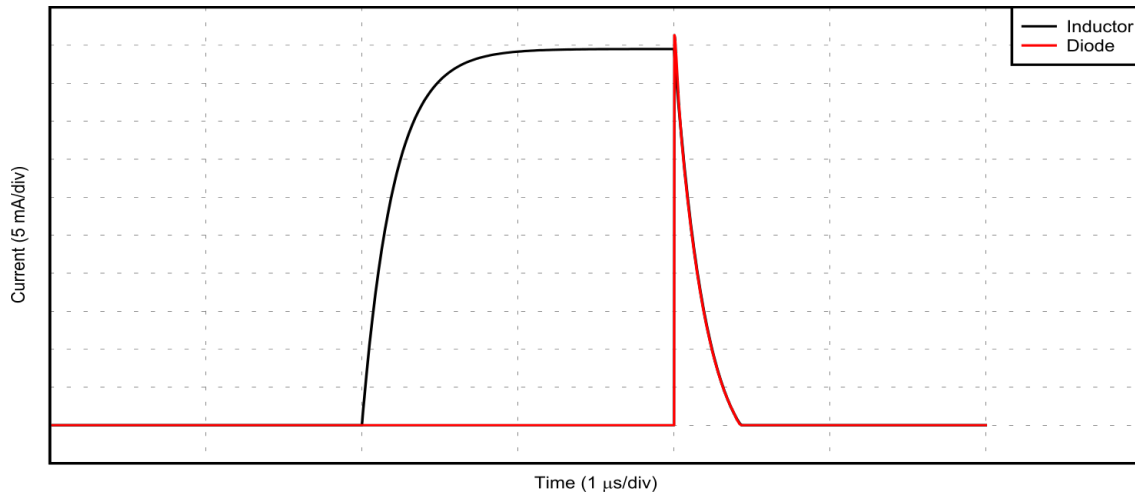


图 8-2. 应用曲线

8.3 电源相关建议

电源可以是 5.3 中最小和最大电源电压额定值之间的任意电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 $0.1\mu\text{F}$ ；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 $0.01\mu\text{F}$ 或 $0.022\mu\text{F}$ 。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu\text{F}$ 和 $1\mu\text{F}$ 通常并联使用。为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

8.4 布局

8.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。

在许多情况下，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时，未使用数字逻辑器件的功能或部分功能。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。图 8-3 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须被连接至一个高或低偏置以防止它们悬空。应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们将连接到 GND 或 V_{CC} ，具体取决于哪种更合理或更方便。浮动输出通常是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置位时禁用该器件的输出部分。这不会禁用 IO 的输入部分，因此它们在禁用后不能浮动。

8.4.2 布局示例

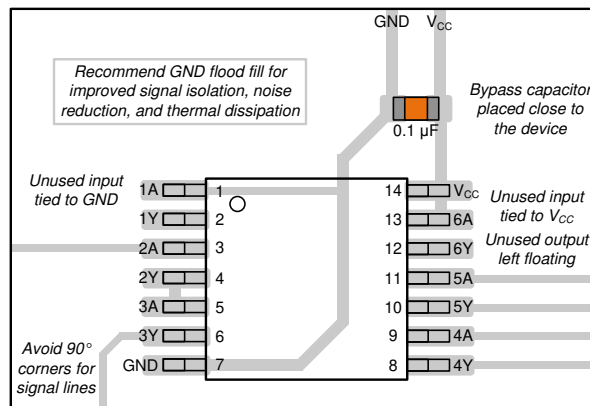


图 8-3. SN74AC16 的示例布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

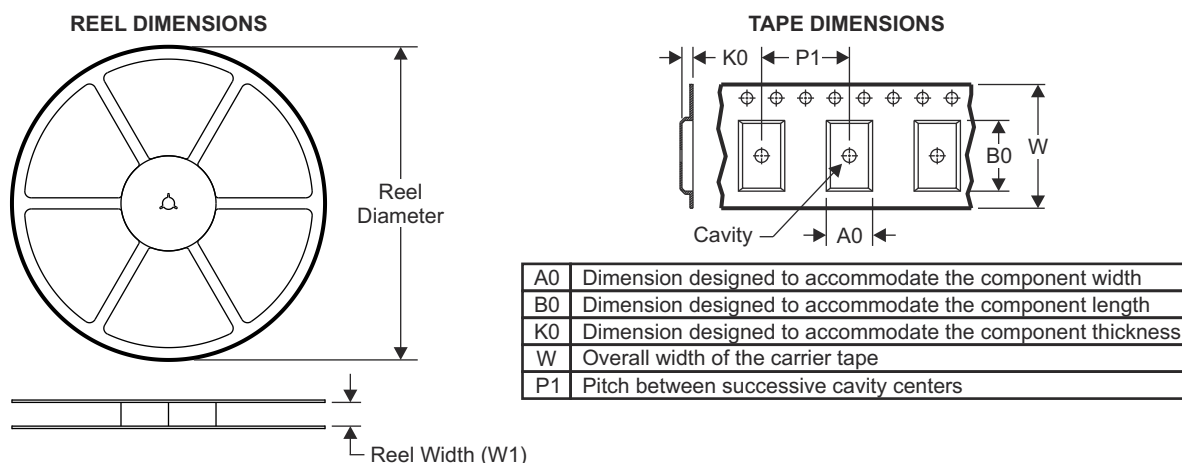
10 修订历史记录

日期	修订版本	注释
2024 年 7 月	*	初始发行版

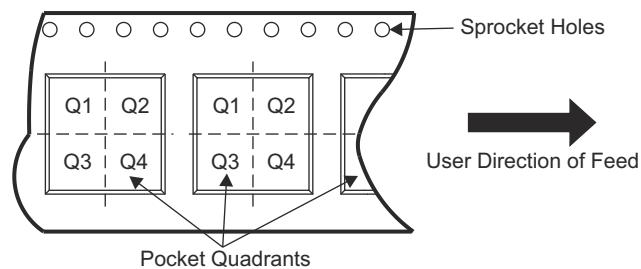
11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 卷带包装信息

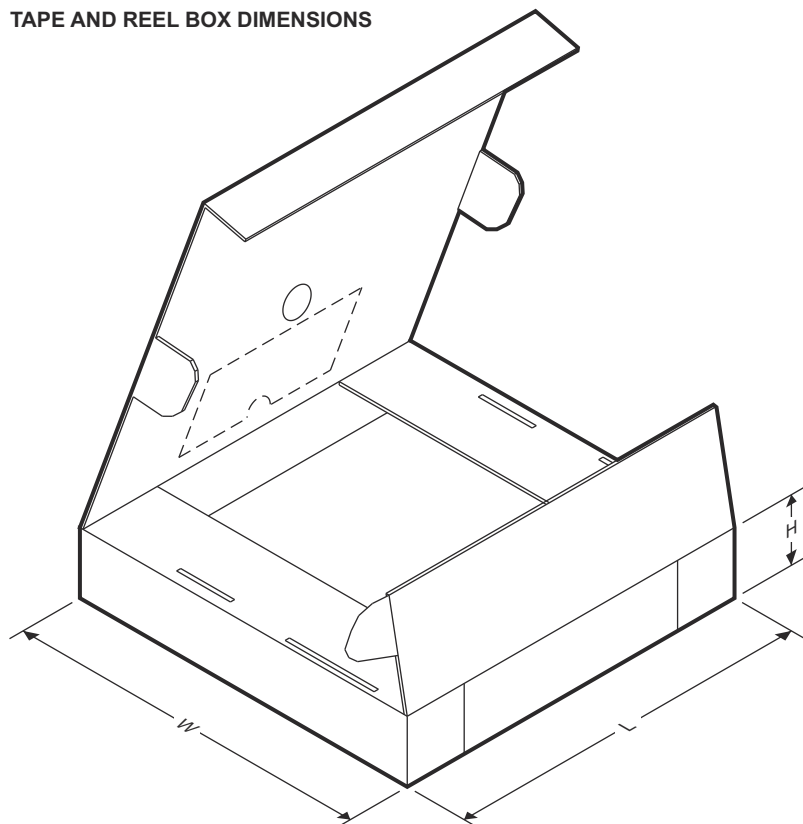


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚数	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PSN74AC16PWRQ1	TSSOP	PW	14	3000	330	12	6.90	5.60	1.60	8	12	Q1

TAPE AND REEL BOX DIMENSIONS



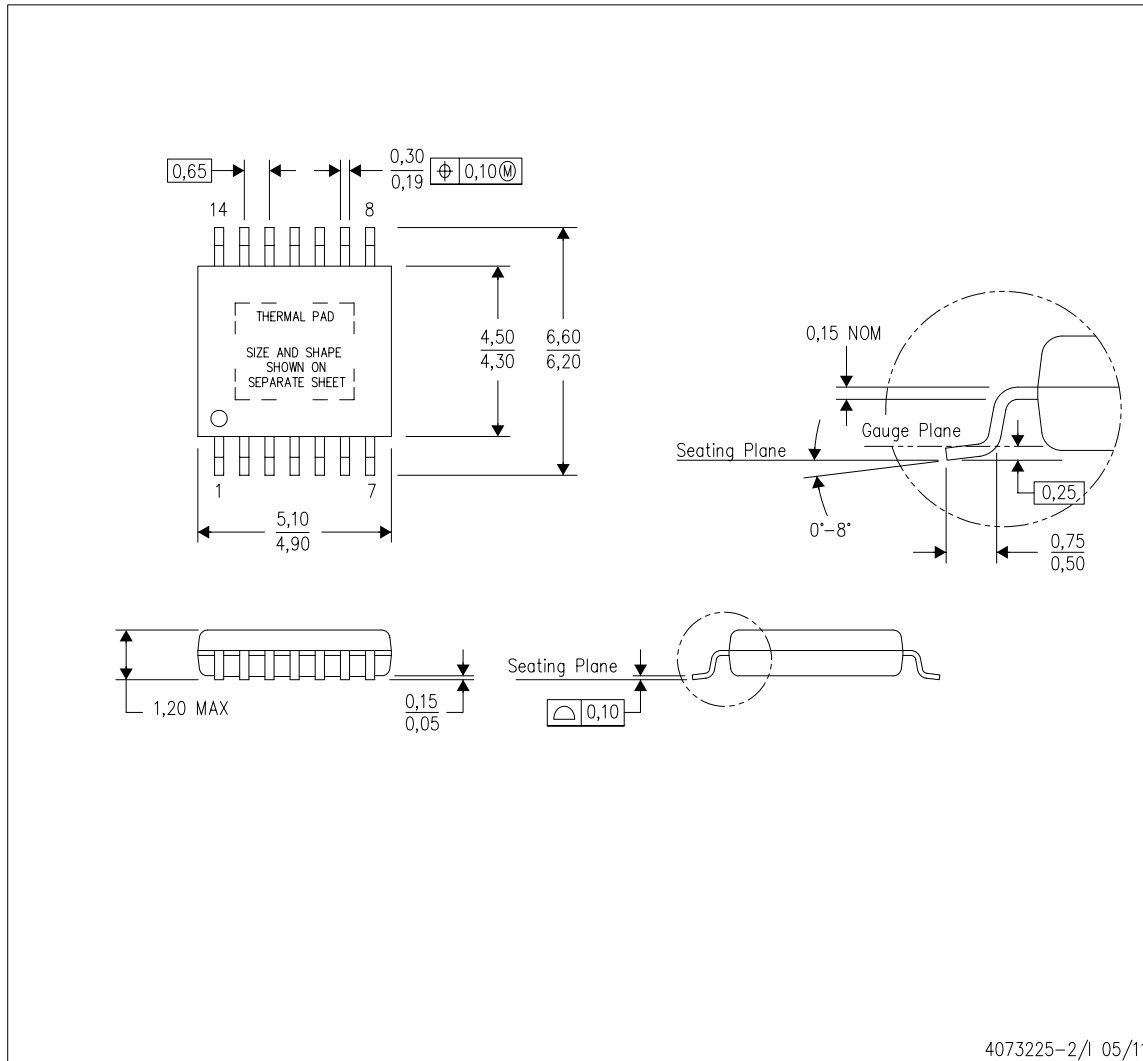
器件	封装类型	封装图	引脚数	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PSN74AC16PWRQ1	TSSOP	PW	14	3000	356	356	35

11.2 机械数据

MECHANICAL DATA

PWP (R-PDSO-G14)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.15 per side.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Falls within JEDEC MO-153

PowerPAD is a trademark of Texas Instruments.

THERMAL PAD MECHANICAL DATA

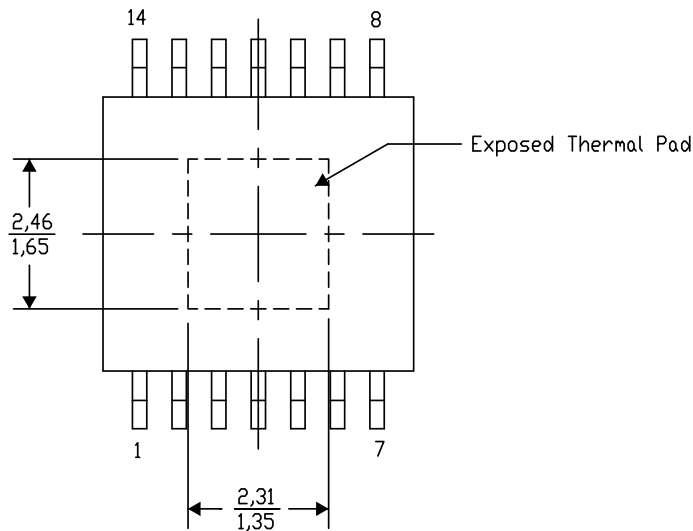
PWP (R-PDSO-G14) PowerPAD™ SMALL PLASTIC OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Top View

Exposed Thermal Pad Dimensions

4206332-2/A0 01/16

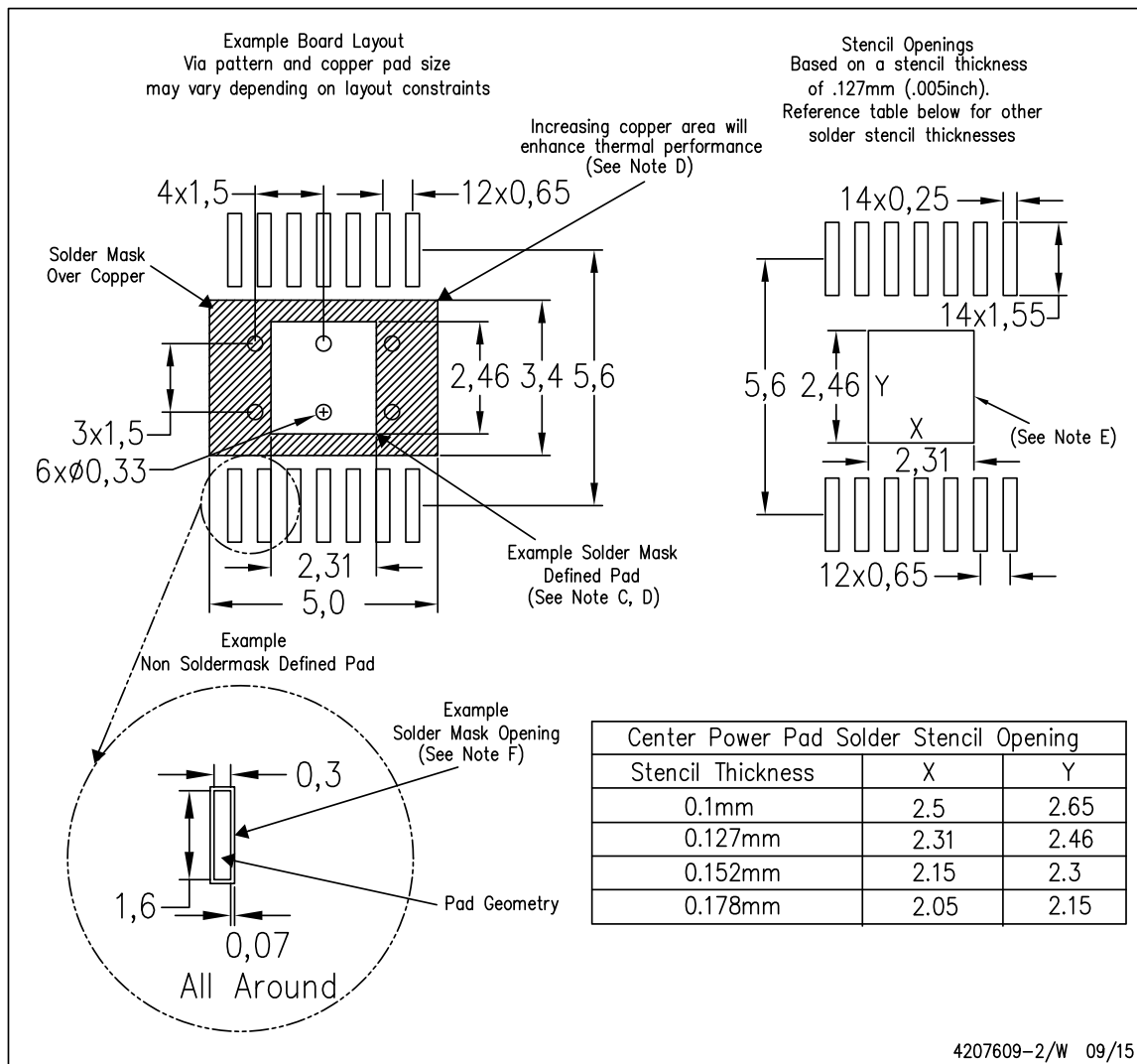
NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

LAND PATTERN DATA

PWP (R-PDSO-G14)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC–7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AC16BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC16	Samples
SN74AC16PWR	ACTIVE	TSSOP	PW	14	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	AC16	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AC16 :

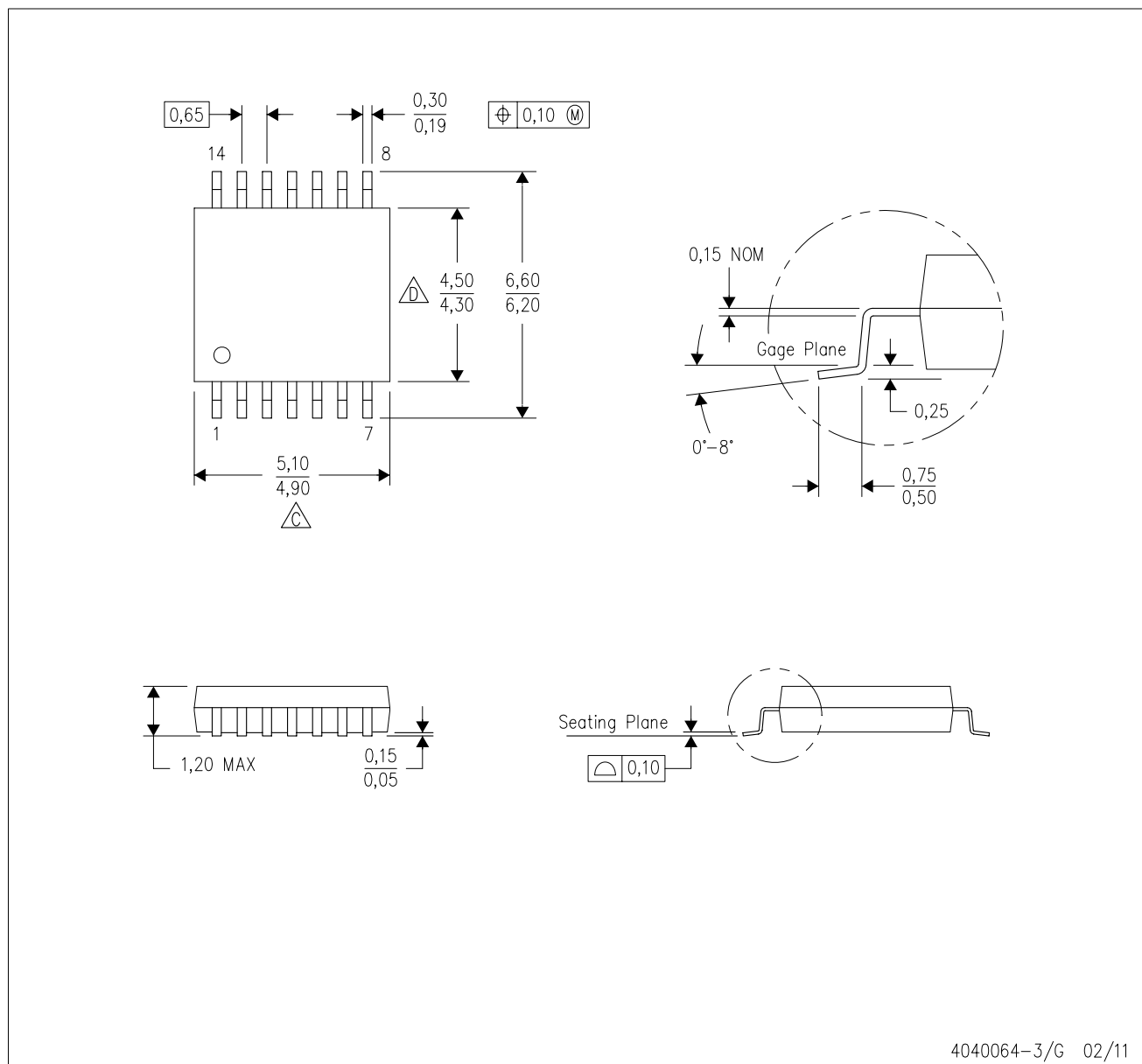
- Automotive : [SN74AC16-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

GENERIC PACKAGE VIEW

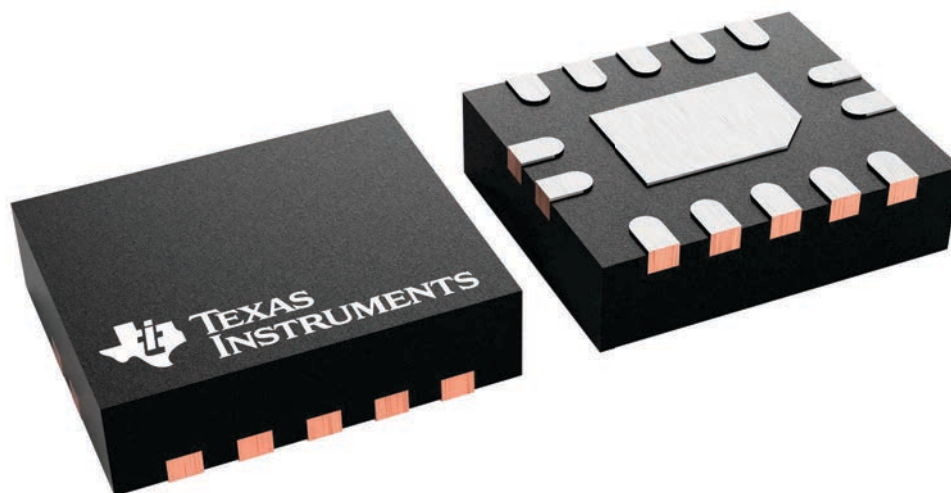
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

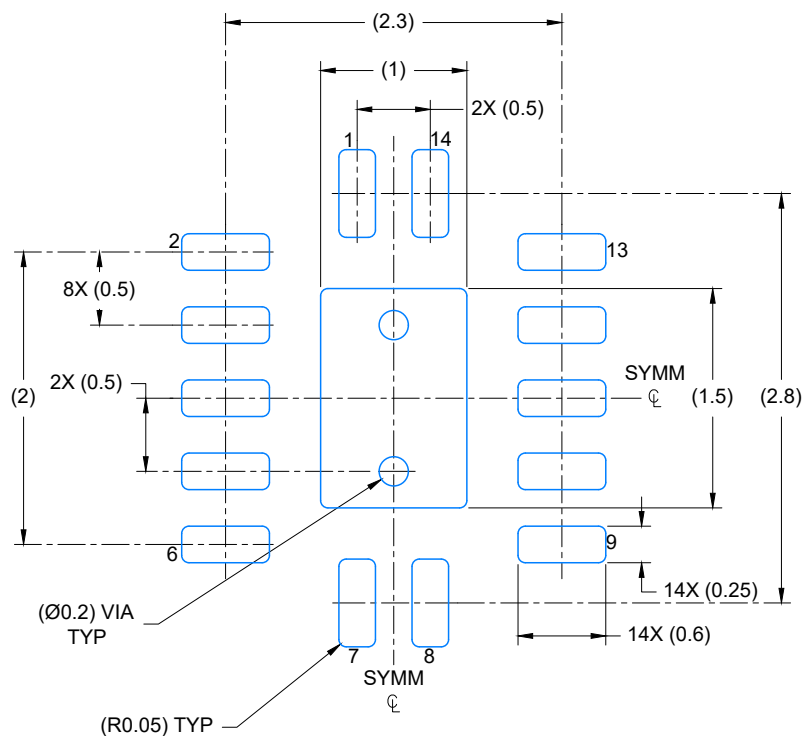
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



PLASTIC QUAD FLAT PACK-NO LEAD



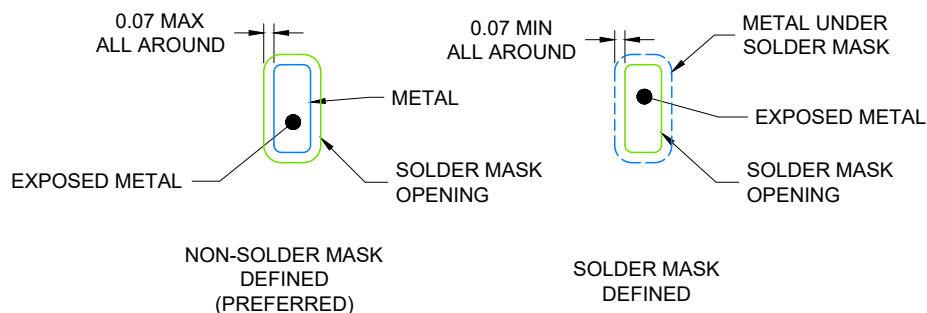
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

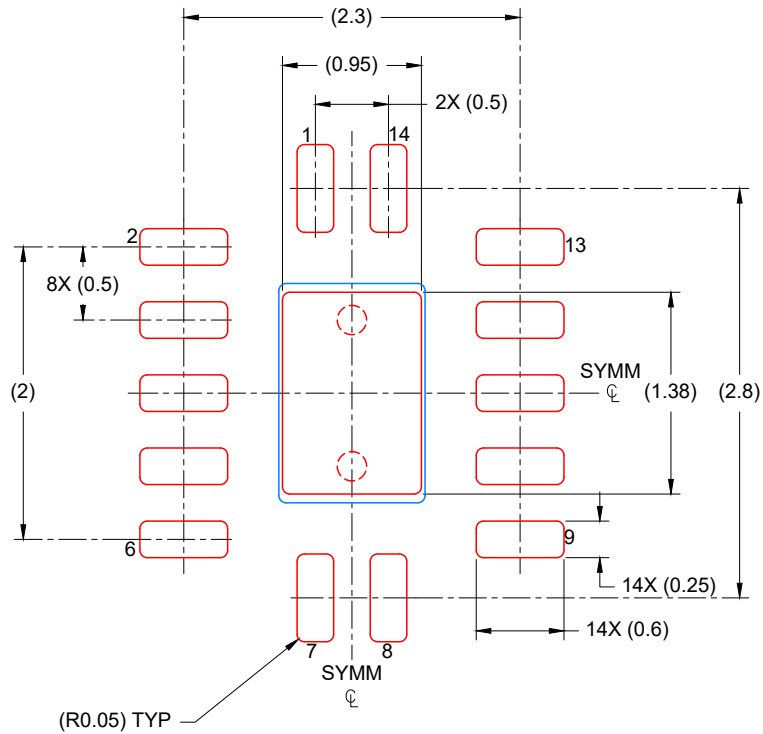
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司